

논문 15-4-2

## 선형가열기를 이용한 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 이종기판쌍의 직접접합

### Direct Bonding of Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si Wafer Pairs with a Fast Linear Annealing

이상현, 이상돈, 송오성

(Sang Hyun Lee, Sang Don Yi, and Oh Sung Song)

#### Abstract

Direct bonded SOI wafer pairs with the heterogeneous insulating layers of SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> are able to apply to the micropumps and MEMS applications. Direct bonding should be executed at low temperature to avoid the warpage of the wafer pairs and inter-diffusion of materials at the interface. 10 cm-diameter 2000 Å-SiO<sub>2</sub>/Si(100) and 560 Å-Si<sub>3</sub>N<sub>4</sub>/Si(100) wafers were prepared, and wet cleaned to activate the surface as hydrophilic and hydrophobic states, respectively. Cleaned wafers were pre-mated with facing the mirror planes by a specially designed aligner in class-100 clean room immediately. We employed a heat treatment equipment so called fast linear annealing(FLA) with a halogen lamp to enhance the bonding of pre-mated wafers. We kept the scan velocity of 0.08 mm/sec, which implied bonding process time of 125 sec/wafer pairs, by varying the heat input at the range of 320~550 W. We measured the bonding area by using the infrared camera and the bonding strength by the razor blade crack opening method, respectively. It was confirmed that the bonding area was between 80 % and to 95 % as FLA heat input increased. The bonding strength became the equal of 1000 °C heat treated Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si pair by an electric furnace. Bonding strength increased to 2500 mJ/m<sup>2</sup> as heat input increased, which is identical value of annealing at 1000 °C-2 hr with an electric furnace. Our results implies that we obtained the enough bonding strength using the FLA, in less process time of 125 seconds and at lower annealing temperature of 400 °C, comparing with the conventional electric furnace annealing.

**Key Words** : Direct bonding, Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si wafer pairs, Fast linear annealing, Heat input, Heterogeneous bonding

#### 1. 서론

직접접합법은[1,2] 1985년 1986년에 Shimbo[3], Lasky[4] 그룹에 의해 독립적으로 발명된 방법으로, 처음에는 기판쌍의 경면을 깨끗이 세척하고 물리적으로 가깝게 하여 반데르발스 결합이나 수소

결합으로 가접시킨 후 적절한 열에너지를 주어 접합강도를 향상시키는 방법이다. 실리콘 기판쌍의 경우 통상 1100 °C 이상의 고온에서 충분한 접합이 진행되는 것으로 알려져 있다.

세정된 표면 사이의 수소결합이나 반 데르발스 결합을 이용하여 두 기판을 서로 접합시키는 기판 직접접합 기술[5]은 초기의 실리콘간의 접합이 성공적으로 수행된 후, 발전을 거듭하여 오늘날 동종 재료는 물론이고 표면 원자배열이 완전히 다른 이종재료의 접합[6]에까지 적용분야가 확대되고 있다. 특히 수소 취성(hydrogen embrittlement) 현상

서울시립대학교 신소재공학과  
(서울시 동대문구 전농동90 130-743)  
Fax : 02 2215 5863  
E-mail : shmaker@sidae.uos.ac.kr

2001년 12월 5일 접수, 2001년 1월 2일 최종 심사완료

을 이용하여 기판으로부터 얇은 박막을 떼어내는 Smart-cut 방법[7]이 개발된 이후 직접접합법은 그 적용분야가 더욱 확대되고 있는 실정이다.

직접접합법은 동종재료인 Si/Si[8], SiO<sub>2</sub>/SiO<sub>2</sub>[7] 등의 접합은 성공적으로 가능하다고 보고된 바 있으나 이종재료간의 직접접합 연구는 아직 많이 진행되고 있지 않다.

선형가열기는 1개의 할로겐 램프를 포물 반사경을 이용하여 목적하는 기판의 표면에 선형적으로 집중하고 전체면적을 주사하는 변형된 급속가열기(rapid thermal annealing)로서 기존 급속가열기에 비해 램프수가 적고 주사시의 온도구배에 따라 접합계면에서의 기상불순물을 효과적으로 제거할 수 있는 장점이 있다고 보고된바 있다[9].

ONO구조의 적층절연층 구현[10] MEMS 공정을 사용하여 제작되는 마이크로캔틸레버[11]나 마이크로펌프[12]등의 기본재료인 Si || SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> || Si 구조의 이종 기판쌍의 제작을 위해 이들 구조의 직접접합 제조가능성에 대한 연구가 필요하다. ONO구조[13]는 DRAM의 차세대 유전체 박막으로 주목받고 있으나 최근의 MEMS공정을 활용하여 여러 가지 다양한 기능의 소자를 제작하기 위해서는 상대적으로 높은 식각비를 갖는 서로 다른 적층절연박막을 활용한다면 게이트 가공정밀도 향상 및 기판적층에 의한 공정단순화가 기대된다.

이러한 배경에서 본 연구에서는 직접접합법을 이용하여 낮은 표면온도에서 접합이 가능한 선형가열기를 활용하여 고품질의 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 이종 절연층을 가진 실리콘기판쌍의 제작 가능성을 확인하였다.

## 2. 실험방법

본 실험에서는 Si || SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> || Si 구조를 구현하기 위해서 Fig. 1에 나타낸 바와 같이 기판전면에 Si<sub>3</sub>N<sub>4</sub>와 SiO<sub>2</sub>층을 성막하고, 경면을 가접하여 입열량을 320, 396, 470, 550 W로 열처리하여 접합을 완료한 후, 완성된 기판쌍의 접합정도를 IR카메라와, 면도칼 삽입법으로 확인하였다. 세부 실험방법은 아래와 같다.

### 2.1 LPCVD Si<sub>3</sub>N<sub>4</sub>기판과 Thermal Oxide 기판의 준비

직경 10 cm의 p-type Si(100)기판의 전면에 LPCVD법으로 785 °C에서 Si<sub>2</sub>Cl<sub>2</sub>와 NH<sub>4</sub> gas를 사

용하여 560 Å 두께의 Si<sub>3</sub>N<sub>4</sub>막을 성장시켰다. 완성된 각 박막의 두께는 엘립소미터(ellipsometer)로 확인하였다. 이 때 Si<sub>2</sub>Cl<sub>2</sub> gas flow는 28.9 sccm이었고, NH<sub>4</sub> gas flow는 100 sccm을 유지하여 동일한 공정조건에서 복수의 Si<sub>3</sub>N<sub>4</sub> || Si 기판들을 제작하였다. 동일한 실리콘에 열산화막을 형성시키기 위하여 25매의 실리콘 기판을 한꺼번에 장입하고 O<sub>2</sub>를 불어넣어 주면서 dry O<sub>2</sub> 방법으로 두께 2000 Å의 열산화막을 실리콘 기판 전면에 성막하였다. 완성된 열산화막의 두께는 엘립소미터로 각 실리콘 기판마다 20지점을 측정하여 국부적인 두께뿐 아니라 전 기판의 두께 분포를 확인하였다. 실험의 재현성을 위하여 기판전면의 평균두께의 변화가 7% 이내인 시편을 활용하여 후속 전처리공정을 진행하였다. 서로 다른 이종박막을 실리콘기판 전면에 성막한 후 두께를 측정하여 전체기판에 대하여 SiO<sub>2</sub>는 2000±18 Å, Si<sub>3</sub>N<sub>4</sub>는 560±4 Å으로 전체 평균두께 ±7% 이내로 전체기판 면적에 대한 균일한 면방향 두께(transverse variation)를 유지하고 있음을 알 수 있었다.

### 2.2 전처리 세정공정

완성된 SiO<sub>2</sub> || Si 기판은 H<sub>2</sub>SO<sub>4</sub> : H<sub>2</sub>O<sub>2</sub> = 1 : 4인 Sulfuric Peroxide Mixture(SPM)용액과 초순수를 이용하여 세척한 후 스펀건조기로 건조시켜 SiO<sub>2</sub>표면이 OH<sup>-</sup>의 친수성으로 활성화되게 하였다[14]. Si<sub>3</sub>N<sub>4</sub> || Si 기판도 동일공정을 거치고 세척한 후 10%HF를 사용하여 세척하고 다시 초순수로 2차 세척한 후 스펀건조기로 건조시켜 기판표면이 H<sup>+</sup>로 활성화되어 소수성을 가지도록 처리하였다[15].

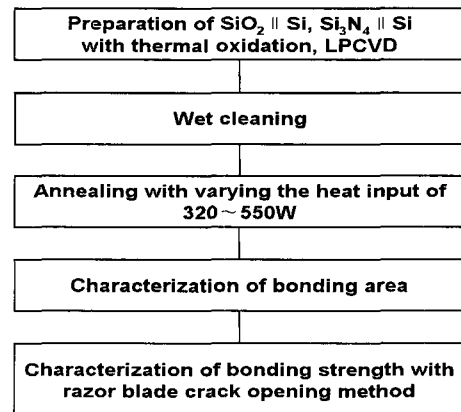


그림 1. 실험공정도.

Fig. 1. Experimental procedure.

### 2.3 기판쌍의 가접

건조 후 즉시 30분 내에 class 100의 청정실내에서 우선  $\text{SiO}_2$  실리콘 기판의 거울면을 위로 하여 플랫존(flat zone)을 Fig. 2에 나타난 바와 같이 정렬장치를 사용하여 정렬기 왼쪽에 표시된 플랫존 가이드의 두 포인트에 접촉시킨 후 무리한 힘을 가하지 않은 상태에서 정렬시켰다. 정렬된  $\text{SiO}_2 \parallel \text{Si}$  거울면과  $\text{Si}_3\text{N}_4 \parallel \text{Si}$  거울면이 서로 마주보게 한 후  $\text{Si}_3\text{N}_4 \parallel \text{Si}$  기판의 플랫존을 먼저 가이드에 정렬시키고 나머지 부분은 가이드에 따라 정렬시켰다. 이때 접촉된 기판의 계면은 계면의 수소결합으로 유지되어 기판쌍은 정렬면에서 이탈된 후에도 상온에서 계속 접합상태를 유지하였다. 가접 후의 모든 기판쌍의 가접접합율은 IR 분석기로 확인하였다. 이때 IR분석기로 내부기포가 없는 가접기판쌍만을 확인하여 후속 열처리공정을 진행하였다.

### 2.4 열처리 공정

선별된 기판쌍들을 선형가열기를 이용하여 각각 320, 396, 470, 550 W로 입열량을 달리하며  $\text{SiO}_2$ 와  $\text{Si}_3\text{N}_4$ 의 계면사이에서 계면확산이 일어나 직접접합이 완료되도록 하였다. 선형가열기에 의한 선형 가열은 대기중에서 실시하였다. 한편,  $\text{Si} \parallel \text{SiO}_2/\text{Si}_3\text{N}_4 \parallel \text{Si}$

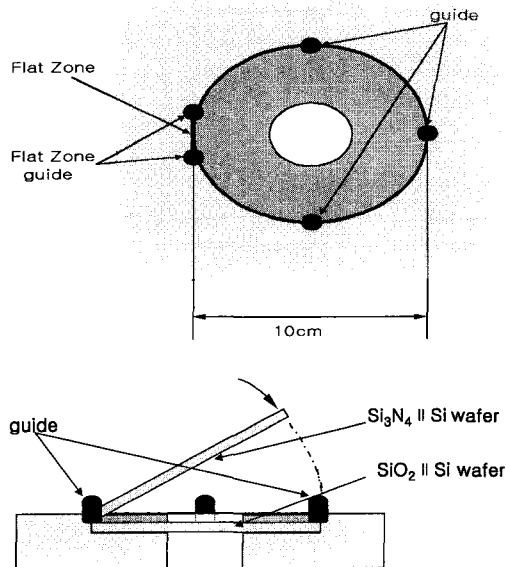


그림 2. 정렬기 개략도.  
Fig. 2. Schematic illustration of the aligner.

기판쌍은 3개의 석영 삼각뿔 위에 놓이기판 상 하부에 고르게 열 전달을 할 수 있게 하였다.

Figure 3에 급속 선형가열기의 모식도를 나타내었다. 12인치 길이의 w-halogen lamp는 포물선모양의 반사경에 의해 효과적으로 집속되어 약 2 mm폭의 선형열대를 형성한다. 형성된 선형열대로 가접된 기판쌍의 표면부를 가열하며 이때 스테인레스로 제작된 이송판(moving stage)에 의해 0.08 mm/s의 속도로 움직이며 125초만에 기판쌍의 한쪽끝에서 다른 쪽 까지 주사되어 전체 면적에서 접합이 일어나도록 설계되었다. 이때 기판쌍은 하부면에 의한 영향을 최소화하기 위해 석영핀(quartz pins)을 사용하여 이송판과 떨어져서 이동하게 된다. 반사경 내부 및 이송판 내부에는 수냉식 냉각수로를 이용하여 가열도중 과열을 방지하였다. 기판 끝에 열원이 도달하면 전원을 차단하고, 가열된 기판을 대기중에 공냉시켜 열처리를 완료하였다.

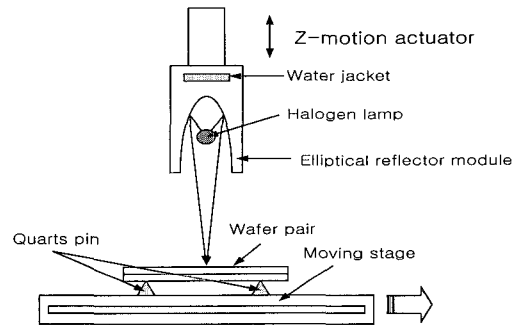


그림 3. 선형열처리기 개략도.  
Fig. 3. Schematic illustration of the fast linear annealing system.

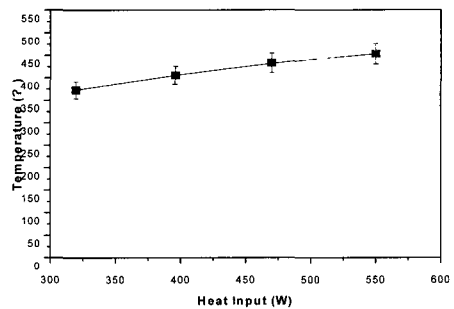


그림 4. 입열량에 따른 표면온도.  
Fig. 4. Plot of the surface temperature versus heat input.

이때 실험에 사용된 선형가열기는 램프에 가해지는 입열량에 따라 실험용 기판쌍의 하부에 장착된 열전대로 자동측정되는 장치에 의해 Fig. 4와 같이 전체 주어진 실험범위에서 기판쌍의 표면온도가 350~450 °C 정도의 저온으로 유지되어 진행되었다. 주어진 실험범위에서 입열량이 증가함에 따라 표면최고온도가 선형적으로 증가하였다. 선형가열법에 의해 주어진 온도범위에서 실험범위내 입열량(x)에 따른 표면온도(y, °C)는 선형적인 관계식인  $y = 0.35x + 265$ 으로 근사할 수 있었다.

**2.5 접합율 측정**

열처리가 끝난 기판쌍들의 계면에너지를 측정하기 위해 IR Camera를 이용하여 접합면 전체를 관찰하여 내부의 접합면적을 비파괴적으로 확인하였다[16].

Figure 5에 사용된 IR 카메라의 개략도를 나타내었다. Fig. 5와 같이 w-halogen 램프에서 발생된 적외선은 기판쌍을 투과하여 적외선 카메라에 도달한다. 적외선카메라 앞에 장착된 적외선 filter는 가시광선을 차단하고 적외선 신호만 선택적으로 투과시키고 만약, 접합기판쌍 내부에 기공 및 particle 등이 있으면 산란되어 이미지에 변화가 있게 되어 이를 모니터에서 보면 내부의 기공존재를 쉽게 확인할 수 있었다. 이와 같이 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 기판쌍을 투과한 적외선을 적외선 필터를 이용하여 가시광선으로 변형한 후, 적외선카메라를 이용하여 모니터에 형상을 구현하였다. 화상 처리된 기판쌍 이미지를 Image Pro™ 소프트웨어로 정확한 접합면적을 계산하여 결함이 발생된 영역/전체 기판크기의 비를 백분율로 표시한 접합율을 확인하였다.

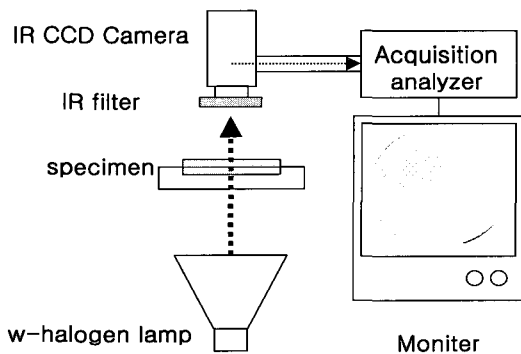


그림 5. IR 카메라시스템의 개략도.  
Fig. 5. Schematic illustration of a IR camera system.

**2.6 접합강도의 측정**

Figure 6에 면도칼 삽입법에 대한 개략도를 나타내었다. 접합면을 확인한 시편은 면도칼 삽입법을 사용하여 기계적인 접합강도를 측정하였다. 면도칼 삽입법은 하나의 기판쌍 3곳에 면도칼을 삽입하여 생성된 균열의 평균적인 길이로서 접합강도를 측정하였다. 완성된 기판쌍은 IR 분석기를 이용하여 전체 접합율을 분석하였고, 면도칼 삽입법으로 상대적인 접합강도를 판단하였다. 두 계면을 평균한 한 계면의 계면에너지는 식 (1)을 이용하여 판단하였다[5].

$$\gamma = \frac{3Eh^2d^3}{8c^4} \tag{1}$$

여기서 E는 Si(100)의 영률(Young's modulus)로서  $1.66 \times 10^{11}$  N/m<sup>2</sup>, 2h는 면도칼의 두께로서 0.1 mm, d는 Si(100) 기판의 두께 525 μm으로서 이때 기판에 성막된 두께는 전체 기판두께에 비해 매우 얇으므로 고려하지 않았다.

본 실험에서는 한 시편당 3개의 위치에서 면도칼을 삽입하여 3조건의 평균치를 이용하여 평균 계면에너지를 확인하였다.

**3. 결과 및 고찰**

**3.1 열처리된 기판쌍의 접합율 측정**

Figure 7에 선형열처리법으로 접합된 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 기판쌍의 선형 입열량에 따른 IR Camera 결과 및 기판쌍의 접합율을 Image Pro™ 소프트웨어를 이용하여 계산한 결과를 나타내었다.

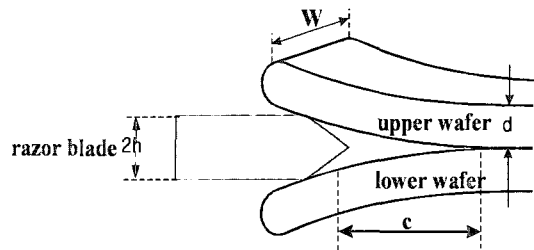


그림 6. 면도칼 삽입법의 개략도.  
Fig. 6. Schematic illustration of Crack Opening method. The razor blade of thickness 2h causes a crack of length c[5].

접합면은 입열량에 따라 약간의 의존성을 나타내었으며 기판쌍 모두 80 %이상의 접합율을 나타내었다. 이러한 결과는 기존의 Si // Si<sub>3</sub>N<sub>4</sub>/Si, Si/Si 접합[9]에 비교해 우수한 결과로서 본 실험에 사용된 정렬기가 두 기판쌍의 초기가접에 20 Å 정도의 균일한 계면 거리를 유지할 수 있을 정도로[17] 우수한 가접상태를 이루었기 때문이라 사료되었다. 400 W 이하의 선형열처리에 있어서 접합률이 낮은 이유로는 기판쌍의 접합에 있어서 입열량이 충분치 않았다고 판단되었다.

### 3.2 열처리된 기판쌍의 접합강도 측정

Figure 8에는 4쌍의 기판쌍의 접합계면에너지를 면도칼 삽입법으로 측정된 결과를 나타내었다. 각 입열량에 따른 접합계면에너지는 300 W에서부터 급격히 진행하여 400 W 이상에서 2300 mJ/m<sup>2</sup> 정도의 접합계면에너지를 얻을 수 있었다. 이는 기존의 전기로에 의한 접합계면 에너지와 동일한 수준이나[9] 면도칼 삽입법이 간접적인 방법으로 약 20 %이상의 측정오차를 갖는다고 가정[16]하더라도 1840 mJ/m<sup>2</sup> 이상의 높은 접합계면에너지라고 판단되었다.

Figure 9에는 선형가열기를 이용한 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 기판쌍의 접합계면에너지를 기존에 보고된 박스형 전기로를 통한 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si[18]의 열처리 온도와 비교하여 나타내었다. 본 연구에서의 선형가열기를 사용한 경우 400 °C 전후에서 이미 같은 수준의 접합계면에너지를 나타내고 있다. 이는 기존의 전기로에 의한 접합보다 40 % 정도의 낮은 온도에서 동등한 조건의 접합이 가능하다는 것을 의미하고 특히, 본 결과와 같이 열처리온도 감소에 따라 휨 현상과 이종재료간 열팽창계수차에 따른 접합강도의 저하 문제를 방지 할 수 있는

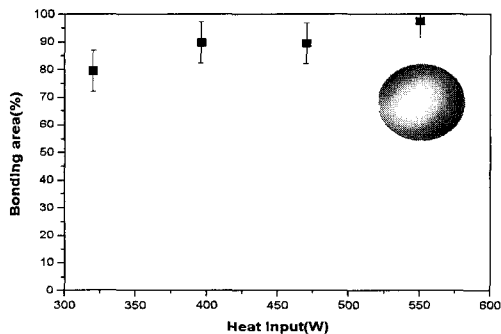


그림 7. 입열량에 따른 접합율.  
Fig. 7. Plot of bonding area versus heat input.

이점이 있어, 400 °C 정도로 낮은 표면온도에서 선형가열기를 활용하여 고품질의 SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> 이중 절연층을 가진 실리콘기판쌍의 제작이 가능함을 의미한다. 또한 2시간 이상의 기존의 고온열처리에 비해 저온에서 쌍당 125초의 짧은 공정 시간 안에 이중재료의 직접접합이 가능함을 의미하였다.

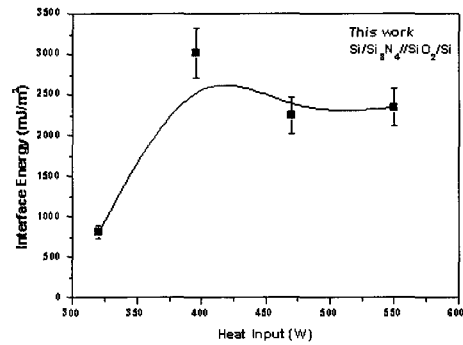


그림 8. 입열량에 따른 표면에너지.  
Fig. 8. Plot of the interface energy versus heat input.

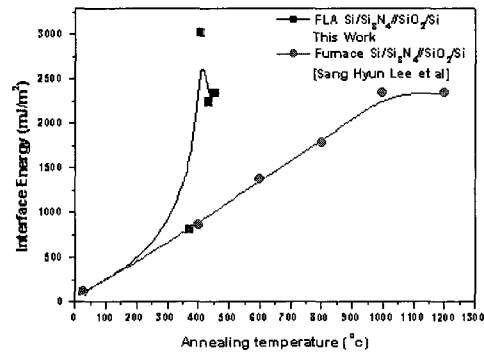


그림 9. 아닐링 온도에 따른 접합에너지.  
Fig. 9. Plot of the interface energy versus annealing temperature.

## 4. 결론

1. 선형가열기를 이용하여 580Å 두께의 Si<sub>3</sub>N<sub>4</sub>를 절연막질로 채용하여 선형가열기를 이용하여 입열량 320~550 W 범위에서 조절하여 쌍당 125초의 공정시간으로 열처리하여 SOI 기판을 제조하였다. 접합이 완성된 시편을 IR 카메라로 내부의 접합면을 확인한 결과 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si 기판쌍의 접합

율은 전 실험온도범위에서 80 %이상임을 확인하였고 입열량이 증가함에 따라 선형적으로 증가하여 최종적으로 95 %이상의 접합율이 가능하였다.

2. 번도칼 삽입법으로 확인한 접합강도는 입열량의 증가에 따라 증가하여 400 W 이상에서는 표면온도를 400 °C로 유지하여 기존의 고온가열과 동등한 접합강도를 얻었다.

3. 주어진 실험범위에서 접합율과 접합강도를 고려하여 550 W의 입열량 조건에서 선형가열조건이 가장 우수하였다.

4. 선형가열기는 Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si의 이중재료 접합에 적용하면 기존 전기로에 비해 공정시간, 표면온도, 최종접합품질에 있어서 우수하였다.

### 감사의 글

본 연구는 2001년 산업자원부 에너지기술학술진흥사업 에너지절약분야의 연구비 지원으로 수행되었으며, 이에 감사드립니다.

### 참고 문헌

[1] 정귀상, "Fabrication of a SOI hall sensor using Si - wafer direct bonding technology and its characteristics", 전기전자재료학회논문지, 8권, 2호, p. 165, 1995.

[2] 정수태, 정귀상, 박진성, 강경두, 주병권, "Study on pre bonding according with HF pre-treatment conditions in Si wafer direct bonding", 한국전기전자재료학회 1999년 춘계 학술대회논문집, p. 370, 1999.

[3] 김재민, 정귀상, 류지구, 정연식. "큰 초기 접합력을 갖는 Si 기판 직접접합에 관한 연구", 한국전기전자재료학회 2001년 하계 학술대회논문집, p. 447, 2001.

[4] M. Shimbo, K. Furukawa, K. Fukuda, and K. Tanzawa, "Silicon-to-silicon direct bonding method", J. Appl. Phys., Vol. 60, No. 8, p. 2987, 1986.

[5] J. B. Lasky, "Wafer bonding for silicon-on-insulator technologies", J. Appl. Phys. Lett., Vol. 48, No. 1, p. 78, 1986.

[6] Q.-Y. Tong and U. Goesele, "Semiconductor Wafer Bonding Science and Technology", New York, John Wiley & Sons, 1999.

[7] V. Lehmann, K. Mitani, R. Stengl, T. Mii, and U. Goesele, "Bubble-free wafer bonding of GaAs and Inp pn silicon in a microcleanroom", Jpn. J. Appl. Phys., Vol. 28, No. 12, p. 2141, 1989.

[8] M. Bruel, B. Aspar, and A. J. Auberton-Herve, "Smart-cut: A new silicon on insulator material technology based on hydrogen implantation and wafer bonding", Jpn. J. Appl. Phys., Vol. 36 No, p. 1636, 1997.

[9] J. W. Lee, "Study on the Characteristics of Si Wafer Direct Bonding using FLA Method", PhD. thesis, Seoul National University, 1999.

[10] O. S. Song, Y. M. Lee, S. H. Lee, J. W. Lee, and C. S. Kang, "Direct bonding of Si // 1.3µm-SiO<sub>2</sub> // Si SOI substrates prepared by FLA method", J. Korean Institute of Surface Engineering. Vol. 34. No. 1, p. 33, 2001.

[11] Naoto Matsuo, Yoshirou Nakata, and Shouzou Okada, "The oxide nitride oxide film deposition on the tunnel-structured polycrystalline silicon (polysilicon) electrodes for high-density DRAMs", J. Appl. Phys., Vol. 70, No. 10, p. 5085, 1991.

[12] B. D. Jensen, M. P. de Boer, N. D. Masters, F. Bitsie, and D. A. LaVan, "Interferometry of actuated microcantilevers to determine material properties and test structure nonidealities in MEMS ", J. Micro. Systems, Vol. 10, No. 3, p. 336, 2001.

[13] J. D. Zahn, A. A. Deshmukh, A. P. Pisano, and D. Liepmann,, "Continuous on-chip micropumping through a microneedle", J. Micro Electro Mechanical Systems, MEMS 2001. The 14th IEEE International Conference proceedings, p. 503, 2001.

[14] J. Robertson and M. J. Powell, "Gap states silicon nitride", Apply. Phys. Lett., Vol. 44, No. 4, p. 15, 1984.

[15] K.-Y. Ahn, R. Stengl, T. Y. Tan, and U. Gosele, P. Smith, "Stability of interfacial oxide layers during silicon wafer bonding", J. Appl. Phy. Vol. 65, No. 2, p. 561, 1989.

[16] Y. Backlund, K. Hermansson, and L. Smith,

- "Bond strength measurement related to silicon surface hydrophilicity", J. Electrochem. Soc., Vol. 139, No. 8, p. 2299, 1992.
- [17] T. Martini, J. Steinkirchner, and U. Gosele, "The crack opening method in silicon wafer bonding. how useful is it?", J. Electro. Soc., Vol. 144, No.1 p. 354, 1997.
- [18] F. P. Widdershoven, J. Haisma, and J. P. M. Naus, "Boron contamination and antimony segregation at the interface of directly bonded silicon wafers", J. Appl. Phy. Vol. 68, No. 12, p. 6253, 1990.
- [19] Sang Hyun Lee, Sang Don Yi, Tae-Yune Seo, and Oh Sung Song, "Direct bonding of Si // SiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub> // Si wafer pairs with a furnace", Materials Research Society of Korea, Vol. 12, No. 2, p. 117, 2001.