

논문 15-1-4

비선형 특성을 갖는 (Sr · Ca)TiO₃계 세라믹의 미세구조 및 유전특성

Microstructure and Dielectric Properties of (Sr · Ca)TiO₃-based Ceramics Exhibiting Nonlinear Characteristics

최운식*, 강제훈*, 박철하**, 김진사***, 조춘남***, 송민중****
(Woon-Shik Choi*, Jae-Hun Kang*, Chul-Ha Park**, Jin-Sa Kim***, Choon-Nam Cho***, and Min-Jong Song****)

Abstract

In this paper, the microstructure and the dielectric properties of Sr_{1-x}Ca_xTiO₃(0 ≤ x ≤ 0.2)-based grain boundary layer ceramics were investigated. The sintering temperature and time were 1420~1520 °C and 4 hours in N₂ gas, respectively. The average grain size and the lattice constant were decreased with increasing content of Ca, but the average grain size was increased with increase of sintering temperature. The second phase formed by the thermal diffusion of CuO from the surface leads to very high apparent dielectric constant, $\epsilon_r > 50000$ and low dielectric loss, $\tan\delta < 0.05$. X-ray diffraction patterns of Sr_{1-x}Ca_xTiO₃ exhibited cubic structure, and the peaks shifted upward and the peak intensity were decreased with x. This is due to the lattice contraction as Sr is replaced by Ca with a smaller ionic radius. The specimens treated thermal diffusion for 2hrs in 1150 °C exhibited nonlinear current-voltage characteristic, and its nonlinear coefficient(α) was over 7.

Key Words : Microstructure, Dielectric properties, Grain boundary layer, Lattice contraction

1. 서 론

최근 전자·정보통신 산업의 급속한 발전으로 인하여 각종 전기·전자기기가 소형·고성능화 되어가고 있으며, 아울러 다기능화가 진행되고 있다. 따라서 사용되는 전자부품에도 소형화 및 고신뢰성은 물론이고, 전자기기의 다양한 기능을 충족시

키기 위한 성능이 동시에 요구되고 있다. 이러한 요구에 부응하는 전자부품의 하나로서 입계절연형 반도체 세라믹 커패시터를 들 수 있으며, 이것은 단위면적당의 정전용량이 크기 때문에 소형·경량화는 물론 유전손실, 온도계수 등의 특성이 우수하여 고기능성 전자부품으로서 각광받고 있다. 입계절연형 세라믹 커패시터는 1961년 영국의 R. M. Glaister에 의해서 최초로 제조되었으며[1], 이 후 1963년 일본의 Waku에 의해 상유전 특성을 갖는 SrTiO₃계 BL 커패시터가 개발되어[2,3] 다양한 첨가물이 혼합된 SrTiO₃계에 대한 지속적인 연구 결과 비유전율이 100,000 이상까지 향상되었다. 또한, 전자부품의 다기능성화의 일환으로 고용량성 바리스타 특성을 갖는 (Sr · Ca)TiO₃계 BL Capacitor가 개발되어 전기적 특성을 향상시키기 위한 연구가

* : 대불대학교 전기공학과
(영암군 삼호면 산호리 산72-1,
Fax: 061-469-1264
E-mail : cws@mail.daebu.ac.kr)

** : 대불대학교 컴퓨터정보공학부

*** : 광운대학교 전기공학과

**** : 광주보건대 의료정보공학과

2001년 10월 4일 접수, 2001년 10월 19일 1차심사완료

2001년 11월 7일 2차심사완료

지속되고 있다[4-12].

본 연구는 고용량성 바리스타를 개발할 목적으로 $(Sr_{1-x}Ca_x)/TiO_3$ 계 입계 절연형 세라믹 커패시터를 제작한 후, 미세구조의 변화가 유전특성에 미치는 영향과 금속산화물(CuO)의 열확산 시간 및 온도에 따른 유전특성 및 전압-전류의 비선형 특성에 대하여 고찰하였다.

2. 실험

2.1 시편제작

본 연구에서는 유전상수 50000이상, $\tan\delta < 5\%$, 온도계수 $\Delta C\% < \pm 10$ 이내의 우수한 특성을 갖는 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 0.2$) 입계 절연형 세라믹 커패시터를 제작하였으며, 출발원료는 순도 99.9% 이상의 $SrCO_3$, $CaCO_3$, TiO_2 , Nb_2O_5 와 액상 소결소재로 미량의 SiO_2 를 사용하였다. 각 원료를 조성식에 따라 $10^{-4}g$ 까지 칭량한 후 아세톤을 분산매로 하여 알루미나 유발에서 충분히 혼합·분쇄하였으며, 혼합물은 1150°C에서 2시간 동안 하소하였다. 하소시킨 분말은 2.5wt%의 유기결합제(poly vinyl alcohol, PVA)와 혼합한 후 80메쉬의 체를 통과시켜 조립화(granulation)하였으며, $\Phi 20mm$ 의 금형을 사용하여 $1500kg/cm^2$ 의 압력으로 성형하였다. 성형한 시료는 반도체 세라믹스를 얻기 위하여 1420~1520°C(N_2 분위기)에서 4시간동안 소결(sintering)하였다. 소결한 시편은 양면을 균일하게 연마하여 일부는 반도체 세라믹스의 저항률을 측정하였으며, 일부는 BL(boundary layer)구조를 얻기 위하여 CuO를 온도와 시간의 변화에 따라 열확산시켰다. 열확산 시킨 시편의 양면을 평행이 되도록 연마한 후 전기적 측정을 위하여 은전극을 650°C에서 20분간 소결 부착하였다.

2.2 측정

소결온도 및 조성 변화에 따른 시편의 미세구조는 주사전자현미경(scanning electron microscopy, SEM)을 이용하여 관찰하였으며, 결정구조의 변화 및 고용체 형성과정을 고찰하기 위하여 $2\theta = 20 \sim 80^\circ$ 범위에서 X-ray 회절분석을 행하였다.

열처리 시편의 온도 및 주파수 변화에 따른 정전용량 특성은 HP4194A Impedance Analyzer를 사용하여 1kHz, $1V_{rms}$ 에서 측정하였으며, 측정된 정전용량을 이용하여 식 (1)에 따라 각 시편의 비유전율을 계산하였다.

$$\epsilon_r = \frac{C \cdot t}{\epsilon_0 \cdot A} \quad (1)$$

여기서, ϵ_r : 시편의 비유전율

C : 시편의 정전용량[F]

t : 시편의 두께[m]

ϵ_0 : 진공중 유전율(8.854×10^{-12} [F/m])

A : 전극 면적[m²]

조성 및 소결온도의 변화에 따른 반도체 시편의 비저항은 고저항 미터(K6517A Electrometer), 전압-전류 특성은 V-I 시스템(K237 Source Electrometer)을 사용하여 실온에서 측정하였으며, 측정시스템의 개략도를 그림 1에 나타낸다.

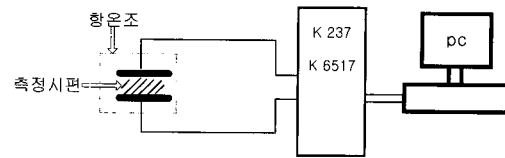


그림 1. 비저항 및 전압-전류 측정 시스템.

Fig. 1. Measurement system of resistivity and voltage-current.

3. 결과 및 고찰

3.1 구조적 특성

그림 2와 3은 소결온도와 x(Sr의 Ca로의 치환량)의 변화에 따른 SEM 사진을 나타낸 것이다. 그림 2에서 1440°C에서 소성시 미성장한 결정립과 거대성장한 결정립들이 혼재하고 있었으며, 소결온도를 증가시키기에 따라 결정립이 고르게 성장하며 치밀해지고 있음을 볼 수 있다. 그림 3에서 x=0.15까지 증가시 평균 결정립의 크기는 감소하나, x=0.20 첨가시 일부 결정립들이 파대 성장하였으며, 불균일도가 증가하고 있다. 이와 같은 미세구조의 조성에 대한 의존성은 각 소결온도에서 유사한 결과를 얻었으며, 결정립 분포의 불균일도의 증가는 입계(grain boundary)의 증가를 초래하여 반도체 저항률을 상승시키고, 또한, 최종 열처리 시편에서 동일 조건으로 열처리 할 경우 상대적으로 작은 결정립들이 먼저 열확산 하여 결정립 내에 고저항층을 형성할 것이므로 비유전율의 저하 및

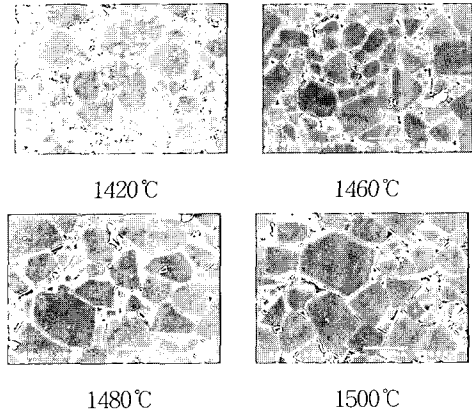


그림 2. 소결온도에 따른 SEM 사진(x=0.1).
 Fig. 2. SEM micrograph with the sintering temperature(x=0.1).

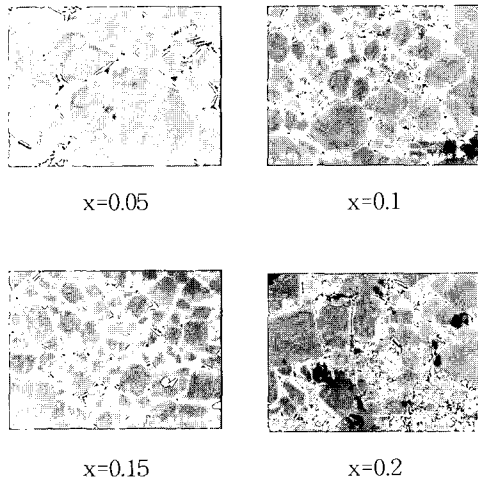


그림 3. Ca 치환량에 따른 SEM사진(1440°C).
 Fig. 3. SEM micrograph with the substitution of Ca(1440°C).

$\tan\delta$ 의 증가 등 전기적 특성에 악영향을 미치게 된다.

시편의 함성 정도와 결정상을 알아보기 위하여 X선 회절 분석을 행하였으며, 그림 4는 1480°C에서 소결한 시편의 x에 따른 X선 회절 분석 결과이다. M.Ceh, T.Hirata 등에 의하면 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 1.0$)의 결정구조는 x의 증가에 따라 입방(cubic)정계에서 사방(orthorhombic)정계로 서서히 변화해 간다고 하였으나[8,9], 앞선 보고에서, M.

Mcquarrie는 x가 증가함에 따라 순차적으로 Cubic \rightarrow Tetragonal \rightarrow Nearly Cubic \rightarrow Rhombohedral \rightarrow Orthorhombic 순으로 결정구조가 변화한다고 하였다[7]. 본 연구에 사용된 $Sr_{1-x}Ca_xTiO_3$ ($0 \leq x \leq 0.2$)의 조성에서는 X선 회절 분석 결과 단순 cubic 구조를 형성하고 있음을 알 수 있으며, 이것은 Ca의 치환량이 0.6몰까지는 cubic 구조를 형성한다는 T. Hirata의 연구 결과와도 잘 일치하고 있다. 또한, x가 증가함에 따라 새로운 피크(peak)가 나타나지 않는 것으로 보아 치환된 Ca는 Sr과 고용체를 형성하고 있는 것으로 생각된다[7,8]. 그림으로 부터 x가 증가함에 따라 주 피크들이 우측으로 이동하며, 회절강도가 감소하고 있음을 볼 수 있는데, 이것은 Sr(1.21Å)보다 이온반경이 작은 Ca(1.03Å)의 치환량이 증가함에 따라 격자가 수축하며 단위셀(unit cell)의 체적이 감소[11,13]하고 있기 때문이다.

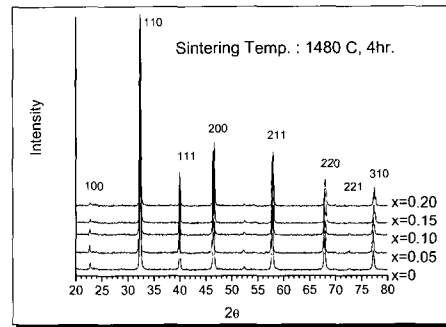


그림 4. Ca의 변화에 따른 X선 회절.
 Fig. 4. X-ray diffraction patterns with the substitution of Ca.

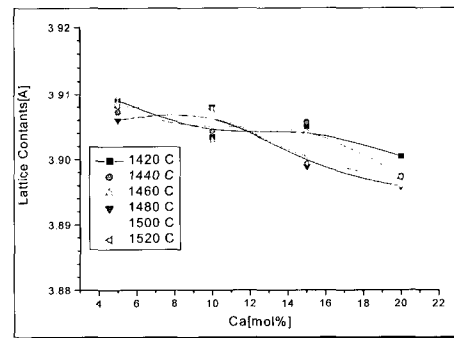


그림 5. 소결온도와 Ca 치환량에 따른 격자정수.
 Fig. 5. Lattice constants with the sintering temperature and the substitution of Ca.

그림 5는 X-선 분석으로부터 얻은 x와 소결온도에 따른 격자정수의 변화를 나타낸 것이다. x가 증가함에 따라 격자정수가 서서히 감소하고 있음을 볼 수 있는데, 이것은 x가 증가함에 따라 단위셀(cell)의 체적이 감소할 것이라는 그림 4의 분석결과와 잘 일치하고 있으며, 또한, x가 증가함에 따라 격자정수와 격자 부피가 직선적으로 감소한다는 기존의 연구보고들과도 잘 일치하고 있다 [5,7,8].

3.2 전기적 특성

3.2.1 반도체 시편의 비저항

일반적으로 (Sr,Ca)TiO₃계 세라믹을 반도체화제와 함께 환원분위기(H₂/N₂) 중에서 소결 할 경우 10⁻¹[Ωcm] 정도의 반도체 세라믹을 얻는 것으로 알려져 있다[13]. 본 연구에서는 N₂만의 분위기로 소결한 결과 H₂/N₂ 분위기보다 환원성이 약하였으나, 반도체 시편의 비저항은 1.34~29.4[Ωcm]의 비교적 양호한 값을 얻었다

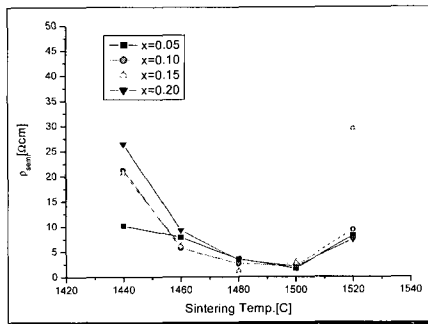


그림 6. 소결온도와 Ca치환에 따른 반도체 저항률.
Fig. 6. Resistivity of semiconductor with the sintering temperature and the substitution of Ca.

그림 6에 소결 온도에 따른 반도체 시편의 저항률을 나타낸다. 반도체 시편의 비저항은 소결온도에 따라 1480℃까지는 급격히 감소하며 1480℃~1500℃에서 안정된 후 1520℃에서 소결시 급상승하고 있다. 입계층 세라믹에서는 반도체 시편의 저항률이 작을수록 유효 유전층으로 작용하는 입계층의 두께가 얇아지므로 같은 조건에서 고용량의 커패시터용 재료를 얻을 수 있으며, 반도체 세라믹의 고저항률은 최종 입계절연형 커패시터의 유전손실을 증대시키는 원인이 된다는 것을 고려할 때

반도체 세라믹의 저항률을 최적화 할 필요가 있으며, 본 연구에서 얻은 반도체 비저항은 우수한 입계 절연형 커패시터를 얻기에 충분하였다.

3.2.2 유전특성

그림 7은 1150℃에서 2시간 표면으로부터 CuO를 열확산 시킨 시편의 소결온도 및 Ca 치환량에 따른 유전특성의 결과이다. 소결온도가 증가함에 따라 x=0.05는 거의 변화가 없으나 x=0.1이상인 경우 유전율이 점차 증가하고 있으며, 이는 SEM 사진으로부터 알 수 있듯이 소결온도가 증가함에 따라 평균 결정립 크기가 증가하여 상대적으로 유전층의 두께가 감소하므로 유전율이 상승하는 것으로 생각된다.

그림 8은 1500℃에서 소결한 시편을 1150℃에서

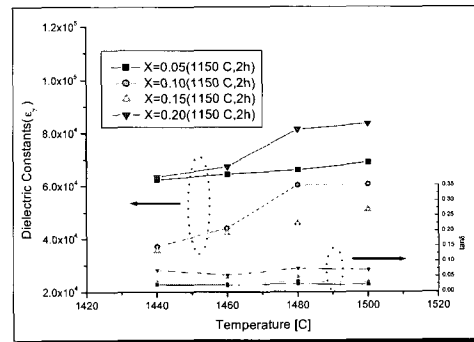


그림 7. 소결온도 및 Ca 치환량에 따른 유전특성.
Fig. 7. Dielectric properties with the sintering temperature and the substitution of Ca.

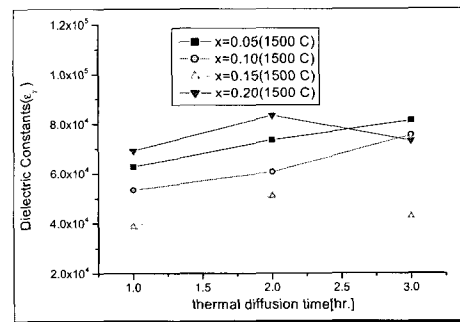
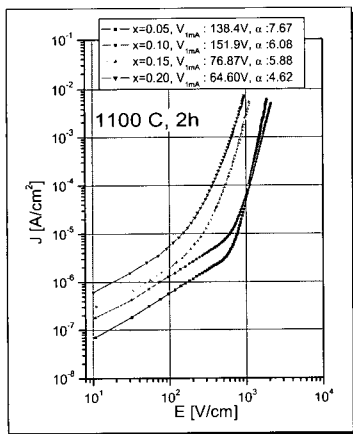


그림 8. 열처리시간과 Ca치환량에 따른 유전 특성.
Fig. 8. Dielectric properties with the thermal diffusion time and substitution of Ca.

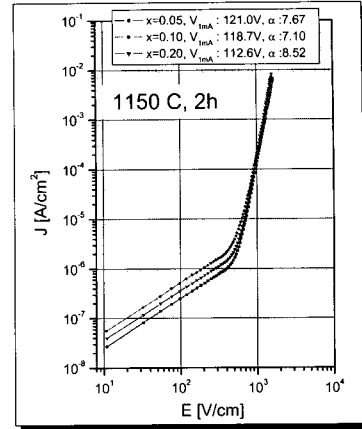
열처리 시간에 따른 유전 특성의 변화를 나타낸 것이다. 그림으로부터 $x=0.05, 0.10$ 인 시편은 열처리 시간에 따라 유전율이 상승하고, $x=0.15, 0.20$ 시편은 열처리 시간이 2시간을 넘는 경우 유전율이 감소하고 있음을 알 수 있다. 열처리 시간이 길어짐에 따라 유전율이 감소하는 현상은 산화되기 쉬운 Ca의 고용의 영향으로 재산화가 쉽게 진행되므로[13] 동일 조건에서 생각하면 열처리 시간이 길어질수록 확산층의 두께가 증가하여 유전율이 감소하며, SEM 분석 결과로부터 Ca의 치환량이 증가할수록 결정립의 크기가 작아지며, 결정립 분포의 불균일도가 증가하고 있는 것에 기인하는 것이라 생각할 수 있다[14]. 그림 7, 8에서 $x=0.20$ 일 때 유전율이 가장 높으나, $\tan\delta$ 가 다른 시편에 비하여 2배 이상 큰 값을 갖는다. 이것은 앞의 구조적 특성에서 언급한 바와 같이 $x=0.20$ 인 시편이 다른 시편에 비하여 결정립 분포의 불균일도가 심하기 때문에 동일 열처리 조건에서 상대적으로 작은 결정립들이 먼저 결정립 내에 고저항층을 형성하여 $\tan\delta$ 의 증가를 초래한 것이라 생각된다.

3.2.3 전압 - 전류 특성

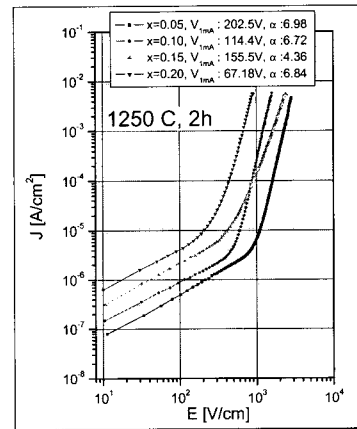
그림 9는 열처리 온도와 Ca 치환량에 따른 전압-전류(voltage-current) 특성곡선을 나타낸 것이다. 그림으로부터 누설전류($0.8V_{1mA}$ 의 전류)는 $1150^\circ\text{C}, 2\text{h}$ 에서 열처리 한 시편에서 대체로 작게 나타났으며, 바리스터 특성의 양부를 결정짓는 요소인 전압-전류의 비선형 계수(nonlinear coefficient; α)도 $1100^\circ\text{C}, 1200^\circ\text{C}$ 에서 열처리한 시편보다 우수한 특성을 나타내었다.



(a)



(b)



(c)

그림 9. 열처리온도와 Ca치환량에 따른 E-J 특성.
Fig. 9. E-J properties with the thermal diffusion temperature and substitution of Ca.

4. 결론

$\text{Sr}_{1-x}\text{Ca}_x\text{TiO}_3$ ($0 \leq x \leq 0.2$) 입계 절연형 세라믹 커패시터를 제작하여 미세구조 및 유전특성을 연구한 결과 다음과 같은 결론을 얻었다. 평균 결정립은 소결 온도에 따라서 증가하였으며, Ca의 치환

량에 따라서는 감소하였다. X선 회절은 Ca의 치환량에 따라서 주 피크가 우측으로 이동하며 회절 강도가 감소 즉, 단위 셀의 체적이 감소함을 나타내었다. Ca 치환량이 0.05~0.15인 시편에서 유전율 >50,000, $\tan\delta < 0.05$, $\Delta C < \pm 10\%$ 의 양호한 유전 특성을 얻을 수 있었으며, CuO의 적절한 열처리 시간은 1150°C, 2시간 이내였다. 1150°C에서 2시간동안 열처리한 시편에서 전압-전류의 비선형 계수 $\alpha > 7$ 을 얻었으나 좀 더 우수한 바리스타 특성을 갖는 고용량성 바리스타 소자로서 응용하기 위해서는 α 값을 상승 시키기 위한 연구 즉, 열확산 금속산화물의 선택, 열처리 조건 등에 대한 연구가 계속 진행되어야 할 것으로 사료된다.

참고 문헌

- [1] G. V. Planer and R. M. Glaister, British Pat., 861, p. 346, 1961.
- [2] S. Waku, "Studies on the boundary layer ceramic capacitor", Rev. Elect. Comm. Lab., Vol. 15, No. 9-10, p. 689, 1967.
- [3] S. Waku, M. Uchidata, and K. Kiuchi, "Study on the (Ba,Sr)TiO₃ boundary layer ceramic dielectrics", Rev. Elect. Comm. Lab., Vol. 18, No. 9-10, p. 681, 1970.
- [4] 최운식, 김충혁, 이준웅, "(Sr_{1-x}Ca_x)TiO₃ 입계층 세라믹의 유전 및 전기전도특성에 관한 연구", 전기전자재료학회논문지, Vol. 8, No. 5, p. 611, 1995.
- [5] 최운식, 김충혁, 이준웅, "(Sr,Ca)TiO₃계 입계층 세라믹의 Ca 변화량에 따른 미세구조 및 유전특성", 전기전자재료학회논문지, Vol. 7, No. 6, p. 534, 1994.
- [6] 김진사, 김성열, 유영각, 최운식, 이준웅, "(Sr_{0.85}Ca_{0.15})TiO₃ 입계층 세라믹의 열자적 전류 특성에 관한 연구", 전기전자재료학회논문지, Vol. 9, No. 4, p. 396, 1996.
- [7] M. Mcquarrie, "Structural behavior in the system (Ba,Ca,Sr)TiO₃ and its relation to certain dielectric characteristics", J. Am. Ceram. Soc., Vol. 38, p. 444, 1955.
- [8] M.Ceh, D.Kolar, and L.Golic, "The phase diagram of CaTiO₃-SrTiO₃", J. Solid State Chem., Vol. 68, p. 68, 1987.
- [9] T. Hirata, K. Ishioke, and M. Kitajima, "Vibrational spectroscopy and X-ray diffraction of perovskite compounds Sr_{1-x}M_xTiO₃(M=Ca,Mg;0≤x≤1)", J. Solid State Chem., Vol. 124, p. 353, 1996.
- [10] F. Poignant, G. Trolliard, and P. Abelard, "A TEM study of grain boundaries in internal boundary layer capacitors based on donor-doped (Sr,Ca)TiO₃ ceramics", J. Mater. Sci., Vol. 8, p. 139, 1997.
- [11] Masayuki Fujimoto, Junzo Tanaka, and Shinichi Shirasaki, "Planar faults grain boundary precipitation in non-stoichiometric (Sr,Ca)TiO₃ ceramics", J. Appl. Phys., Vol. 27, No. 2, p. 1152, 1988.
- [12] Yoshitaka Nakano, Masamitsu Watanabe, and Tomoharu Takahashi, "Investigation of interface states in (Sr,Ca)TiO_{3-x}-based ceramics", J. Appl. Phys., Vol. 70, No. 3, p. 1539, 1991.
- [13] 뉴클레러스시리즈 編集委員會, "ニューケラス ⑦ 半導體 セラミクスと その 應用", 學獻社, p. 222, 1990.
- [14] 강제훈, 박용필, 장경옥, 오제한, 최운식 "(Sr,Ca)TiO₃계 세라믹의 전압-전류 특성에 미치는 열확산 온도의 영향", 한국전기전자재료학회 2001학계학술대회 논문집, Vol. 2, No. 2, p. 697, 2001.