

핫 캐리어 신뢰성 개선을 위한 새로운 LDD 구조에 대한 연구

A Study on New LDD Structure for Improvements of Hot Carrier Reliability

서용진^{*}, 김상용^{**}, 이우선^{***}, 장의구^{****}

(Yong-Jin Seo^{*}, Sang-Yong Kim^{**}, Woo-Sun Lee^{***}, and Eui-Goo Chang^{****})

Abstract

The hot carrier degradation in a metal oxide semiconductor device has been one of the most serious concerns for MOS-ULSI. In this paper, three types of LDD(lightly doped drain) structure for suppression of hot carrier degradation, such as decreasing of performance due to spacer-induced degradation and increase of series resistance will be investigated. In this study, LDD-nMOSFETs used had three different drain structure, (1) conventional surface type LDD(SL), (2) Buried type LDD(BL), (3) Surface implantation type LDD(SI). As experimental results, the surface implantation type LDD structure showed that improved hot carrier lifetime to comparison with conventional surface and buried type LDD structures.

Key Words : Surface type LDD(SL), Buried type LDD(BL), Surface implantation type LDD(SI), Hotcarrier reliability, Spacer induced degradation, Hot carrier lifetime

1. 서 론

짧은 채널(short channel) MOSFET(metal oxide semiconductor field effect transistor)의 핫 캐리어 열화(hot carrier degradation)현상은 ULSI(ultra large scale integrated circuit) 기술개발의 신뢰성(reliability) 확보라는 면에서 중요한 문제로 대두되고 있다.

특히, 일정 구동전압의 소자 스케일(constant voltage scaling) 법칙을 계속 사용 할 경우 드레인 근처에서의 고전계로 인해 MOSFET의 핫 캐리어 열화 현상은 더욱 심각해지며, 이러한 MOSFET의 전기적인 열화현상을 억제하기 위한 방법으로 드레인 근처에서의 최대 전계를 줄이기 위해 LDD (lightly doped drain)구조가 제안된 이후 LDD 구조를 달리하면서 꾸준한 연구가 진행되고 있다[1-4]. 그러나 이러한 LDD 구조도 일정 전압 스케일링(constant voltage scaling)으로 소자가 더욱 스케일 다운됨에 따라 LDD 구조 자체에 의한 스페이서에 의해 발생하는 열화(spacer induced degradation)문제[5,6]와 직렬저항의 증가로 인한 성능저하 문제[7] 등으로 LDD 구조를 최적화 하기가 힘든 실정이다. LDD 이온주입 도즈(dose)가 높게 되면 소자의 성능은 향상되고 스페이

* : 대불대학교 전기공학과
** : 아남반도체 FAB 사업부
*** : 조선대학교 전기공학과
(광주시 동구 서석동 375,
Fax : 062-232-9218
E-mail : wslee@mail.chosun.ac.kr)
**** : 중앙대학교 전자전기 제어공학부
2001년 3월 30일 접수, 2001년 6월 25일 1차심사완료
2001년 10월 31일 2차심사완료

서에 기인하는 열화에 의한 소자성능의 감소도 억제되지만 짧은 채널 효과가 심각해지며, 측면(lateral) 전계의 증가에 의한 기판전류 값의 증가로 인해 래치업(latch up) 문제[8]와 누설전류[9]등을 보장할 수 없게 된다. 따라서 핫 캐리어에 대한 저항성을 높여서 높은 신뢰성을 보장하는 방법으로 피크농도를 표면에서 분리된 벌크 속에 위치시키는 매몰형(buried type) LDD(BL) 구조를 채택해서 주된 전류흐름과 최대 전계의 위치를 분리시켜서 핫 캐리어 효과의 원인이 되는 충돌전리율(impact ionization rate)을 감소시켰으며 이는 기판전류를 측정하여 확인하였다. 그러나 매몰형 LDD(BL) 구조에서는 표면의 농도가 낮기 때문에 스페이서에 트랩(trap)된 전하에 의한 외부 핀치오프(pinch off) 현상이 발생하므로 이를 억제하고자 표면근처의 도핑농도를 국부적으로 높여주는 표면 이온주입(surface ion implantation) 방법을 도입하였다.

본 논문에서는 종래의 표면형 LDD(Surface type LDD : SL)구조외에, 매몰형 LDD(Buried type LDD : BL)구조, 표면이온주입형LDD(Surface Implantation type LDD : SI) 구조와 같이 각각 LDD 구조를 달리하면서 소자를 제작하여 소자의 구동전압에 따른 기판전류의 변화와 기판전류에 따른 핫 캐리어 수명 등을 고찰하였다.

2. 실험

게이트 산화막의 두께는 140 Å, L=0.5 μm, W=50 μm 인 WSix 폴리사이드 구조의 게이트를 갖는 LDD nMOSFET를 제작하였다. 게이트 산화막을 형성한 후, 다결정 실리콘(poly-Si)과 WSix를 증착하여 게이트 전극을 형성하였다. 게이트를 보호하기 위해 보호(capping) 산화막으로 사용하기 위해 oxynitride 막을 300 Å 증착 하였고, 마스크를 사용하여 건식 식각을 통해 정의하였다. 게이트 정의 후, P₃₁ 이온을 2.0×10¹³/cm², 40 KeV(이하부터 SL 구조라고 약함), 2.0×10¹³/cm², 100 KeV(이하부터 BL-1 구조라고 약함), 그리고 2.3×10¹²/cm², 120 KeV(이하부터 BL-2 구조라고 약함)의 이온주입을 사용하여 각기 다른 농도를 갖는 n 영역을 형성시켰다. 그리고 나서 BL-2 구조를 갖는 n 영역의 표면지역에만 이온주입 도즈(dose)를 각각 1.0×10¹²/cm², 3.0×10¹²/cm², 5.0×10¹²/cm²의 As₇₅ 이온을 40 KeV로 각각 이온주입하여 SI-1, SI-2, SI-3 구조(이하부터 SI-1, SI-2, SI-3 구조라고 약함)를 갖는 n 영역을 형성하였다

(Precision Polishing Machine, Logitech PM5). 그 후에 0.2 μm의 길이를 갖는 사이드 월 스페이서(side-wall spacer) 산화막을 형성하였고, n⁺ 영역을 형성하기 위해 6.0×10¹⁵/cm²의 도즈와 80 KeV의 에너지로 As₇₅ 이온을 이온주입하였다. 표 1은 본 논문에서 고찰하고자 하는 각 LDD 구조의 이온주입 조건을 요약한 것이다.

표 1. LDD구조의 이온주입 조건.

Table 1. Conditions of ion implantation with LDD structure.

LDD Structure	Source	Dose (#/cm ²)	Energy
Surface LDD (SL)	P ₃₁	2.0×10 ¹³	40 KeV
Buried LDD (BL-1)	P ₃₁	2.0×10 ¹³	100KeV
Buried LDD (BL-2)	P ₃₁	2.3×10 ¹³	120KeV
Surface Implant LDD (SI-1)	As ₇₅	1.0×10 ¹²	40 KeV
Surface Implant LDD (SI-2)	As ₇₅	3.0×10 ¹²	40 KeV
Surface Implant LDD (SI-3)	As ₇₅	5.0×10 ¹²	40 KeV

이상과 같이 만들어진 nMOSFET에 DC 바이어스 스트레스를 기판전류가 최대가 되는 조건으로 인가해 주었으며, 스트레스를 가한 후에 선형 영역과 포화 영역에서 드레인 전류를 측정하여 소자의 열화현상을 관찰하였으며 스트레스 전후에 따른 소자의 전기적인 특성도 비교하였다. 이때 선형영역에서의 드레인 전류는 V_D=0.05 V, V_G=5 V에서 측정하였으며, 포화 드레인 전류는 역방향 모드에서 V_G=V_D=5 V 조건에서 측정하였다. 핫 캐리어 수명(lifetime)은 드레인 전류가 10 % 감소할 때의 시간으로 정의하였다.

3. 결과 및 고찰

그림 1은 서로 다른 LDD 구조에 따른 드레인 포화전류 및 드레인에서의 접합 브레이크다운 전압의 변화를 나타낸 것이다.

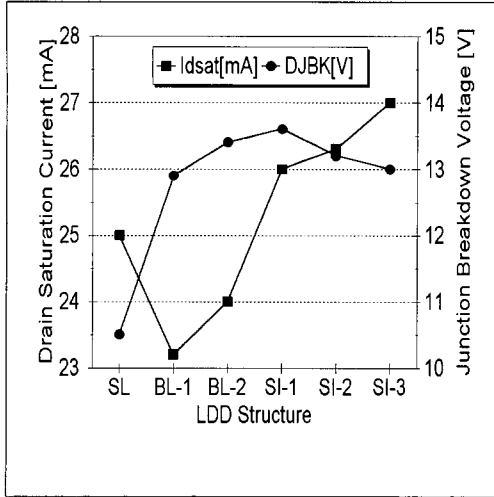


그림 1. LDD 구조에 따른 드레인 포화전류 및 접합 브레이크다운 전압의 비교.

Fig. 1. Comparison of drain saturation current and junction breakdown voltage with LDD structure.

브레이크다운 전압은 SL 구조보다는 BL, SI 구조가 더 높은 값을 나타내었고, 드레인 포화전류는 SI 구조가 가장 높은 값을 나타내었다. 이처럼 BL 구조가 SL 구조보다 접합 브레이크다운 전압이 더 큰 것은 n^- 영역의 표면 영역보다는 벌크 영역에 더 크게 영향을 받는 결과에 의한 것으로 생각된다. 즉, BL 구조는 SL 구조보다 n^- 영역이 벌크 쪽으로 더 침투해 들어감에 따라 벌크 내에서 경사형 접합 (graded junction)을 형성하여 드레인 퍼텐셜을 흡수함에 따라 드레인 근처의 전계를 감소시켜 접합 브레이크다운 전압이 더 커지게 된다고 생각된다. SI 구조의 경우도 표면에 이온주입된 As가 표면 근처에만 국부적으로 존재하므로 실제의 드레인 접합 브레이크다운이 일어나는 벌크(bulk) 쪽에 어떠한 영향도 미치지 않기 때문이다. 또한 SI 구조는 As의 표면이온주입으로 인해 비교적 저항이 높았던 LDD 영역의 직렬저항을 감소시키기 때문에 드레인 전류가 더 높게 나온 것으로 생각된다.

그림 2는 LDD 구조에 따른 기판전류(I_{sub})의 피크 값과 I_{sub}/I_D 값을 구동전압의 변화에 따라 측정된 결과이다.

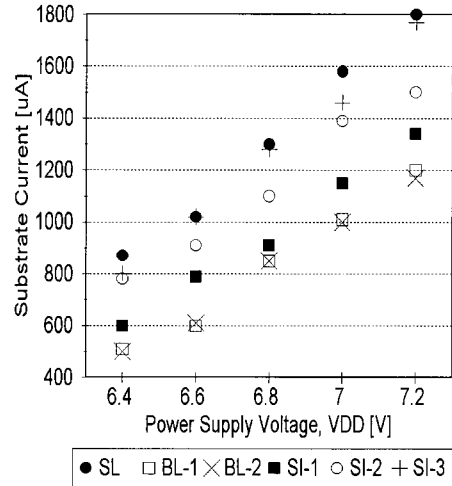


그림 2. 구동전압 변화에 따른 기판전류.

Fig. 2. Substrate current as a function of power supply voltage.

여기서, SL 구조가 BL, SI 구조보다 전계값이 더 크게 되므로 기판전류도 더 클 수 있다. 특히, SI 구조의 경우 각 드레인 바이어스에서 표면 이온주입 도즈가 클수록 I_{sub} 와 I_{sub}/I_D 값이 더 커짐을 알 수 있다. 여기서, I_{sub}/I_D 는 최대 전계와 관련이 있는 함수이므로 표면 이온주입 도즈가 커지면 전계도 큰 값을 갖게 된다. 그러나, 표면 이온주입 도즈가 $1.0 \times 10^{12}/cm^2$ 인 경우에는 I_{sub} 값과 I_{sub}/I_D 값이 표면 이온주입을 하지 않은 BL 구조와 거의 같은데 이는 표면 이온주입으로 인한 표면 근처의 도핑농도 증가가 충돌전리(impact ionization)를 일으키는 전계 형성에는 아무런 영향도 미치지 않았기 때문이다. 그러나 표면 이온주입 도즈가 $2.0 \times 10^{12}/cm^2$ 이상에서는 표면 이온주입 도즈가 클수록 I_{sub} 와 I_{sub}/I_D 값이 더 커지는데 이러한 현상은 표면 이온주입에 의한 전류경로(current path)나 전계 분포가 변경되었기 때문이라고 생각된다.

그림 3은 각기 다른 LDD 구조의 경우 기판전류가 피크인 조건에서 핫 캐리어 스트레스를 가해준 후, 핫 캐리어 수명을 I_{sub} 변화에 따라 나타낸 것이다.

이때, 핫 캐리어 수명은 선형영역에서의 드레인 전류(IDL)와 포화영역에서의 드레인 전류(IDS)가 10% 열화되는 시간으로 정의하였다.

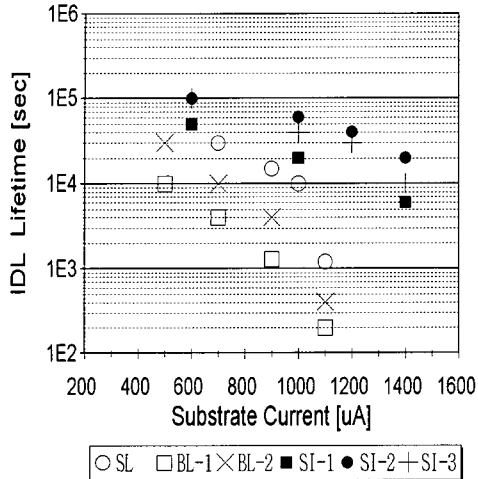


그림 3. 기판전류 변화에 따른 IDL 수명.
 Fig. 3. IDL lifetime as a function of substrate current.

일정한 I_{sub} 값에서 표면 이온주입을 하지 않은 SL, BL 구조 보다는 표면 이온주입을 행한 SI 구조가 더 큰 수명을 가지며, 표면 이온주입을 한 경우에 수명은 $1.0 \times 10^{12}/\text{cm}^2$, $5.0 \times 10^{12}/\text{cm}^2$, $3.0 \times 10^{12}/\text{cm}^2$ 의 순서로 커짐을 알 수 있다. 이러한 현상은 표면 이온주입 도즈의 증가에 따라 표면 부근 n^- 영역의 농도가 커지게 되므로 스페이서 산화막에 트랩된 전하에 의한 표면공핍의 억제력은 커지지만 반면에 $5.0 \times 10^{12}/\text{cm}^2$ 의 표면이온주입을 행한 SI-3 구조는 표면농도가 너무 높게되어 전류경로가 표면 근처로 물리게 되므로 충돌전리가 일어나는 부분이 표면에 집중되어 충돌전리로 발생한 핫 캐리어가 좀 더 쉽게 트랩될 수 있기 때문으로 생각된다.

그림 4는 각기 다른 LDD 구조의 경우 구동전압 ($1/V_{DD}$)에 따른 선형 드레인 전류의 열화에 의한 수명과 포화 드레인 전류 열화에 의한 수명을 비교한 것이다. 낮은 구동전압으로 갈수록 BL-2 구조가 SL 구조보다 수명이 더 커지는 경향은 BL-2 구조의 전류경로가 SL 구조보다 표면으로부터 더 벌크쪽에서 형성되기 때문인 것으로 판단된다. 즉, 전류경로가 표면에서 멀어질수록 충돌전리를 일으키는 위치도 표면에서 더 멀어지게 되고 따라서 핫 캐리어가 Si/SiO₂ 표면에 도달하기가 더 힘들어지게 되는 결과에 의한 것이다.

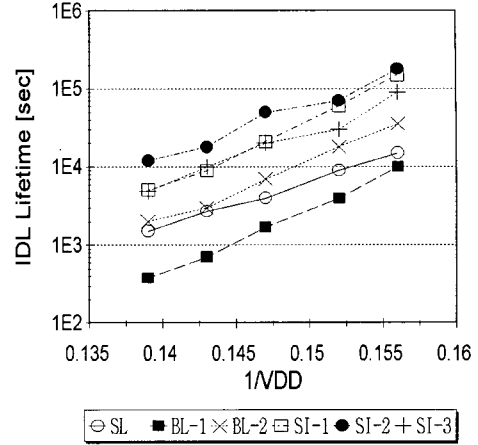


그림 4. 구동전압 변화에 따른 IDL 수명.
 Fig. 4. IDL lifetime as a function of power supply voltage.

그러므로 LDD 구조에 따른 수명은 기판전류와 n^- 영역의 표면농도 뿐만 아니라 충돌전리를 일으키는 영역이 표면으로부터 얼마나 멀리 떨어져 있는가에도 관계가 됨을 알 수 있다. 또한 SI 구조의 경우 높은 드레인 바이어스 조건에서는 표면 이온주입 도즈가 높은 쪽이 더 큰 수명을 갖는 반면에, 낮은 드레인 바이어스로 갈수록 표면 이온주입 도즈가 낮은 $1.0 \times 10^{12}/\text{cm}^2$ 인 경우가 더 큰 수명을 나타냄을 알 수 있다. 표면 이온주입 도즈가 $1.0 \times 10^{12}/\text{cm}^2$ 인 경우는 표면 이온주입을 하지 않은 경우와 비교해서 표면 근처의 도핑농도가 높음으로 인해 스페이서 쪽을 트랩된 전자에 의한 n^- 표면지역의 공핍현상을 억제한 결과로 향상된 수명을 갖는다고 생각하며, 다른 두 경우, 즉, $3.0 \times 10^{12}/\text{cm}^2$ 와 $5.0 \times 10^{12}/\text{cm}^2$ 의 경우는 n^- 표면의 농도가 높아서 스페이서에 의한 열화현상을 막을 수 있었다고 생각한다. 그러나 표면 근처의 도핑농도가 LDD 벌크 쪽의 피크농도보다 높으므로 표면 근처에서의 높은 전계가 도핑농도에 따라 형성됨을 예측할 수 있고, 같은 드레인 전류에 대해서도 기판전류의 발생량, 즉, 충돌전리율이 표면 이온주입 도즈에 따라 증가하기 때문에 $5.0 \times 10^{12}/\text{cm}^2$ 의 도즈가 $3.0 \times 10^{12}/\text{cm}^2$ 의 경우보다 작은 수명을 가졌다고 생각한다.

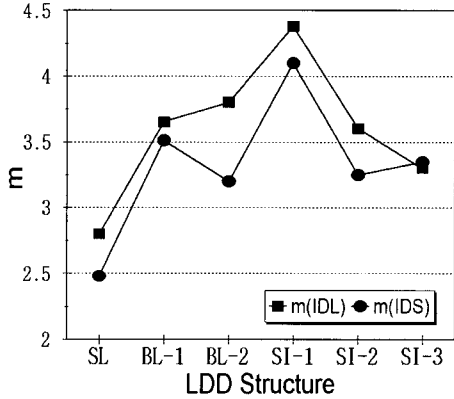


그림 5. LDD 구조에 따른 기울기 m의 변화.
 Fig. 5. Slope(m) variation as a function of LDD structure.

그림 5는 수명과 기관전류와의 관계인 (1)식에서 기울기 m값을 구하고, 수명과 구동전압과의 관계인 (2)식에서 기울기 n값을 구해 LDD 구조에 따라 보인 것이다.

$$\tau = A \cdot I_{sub}^{-m} \quad (1)$$

$$\tau = A' \cdot \exp(n/V_{DD}) \quad (2)$$

표면 이온주입을 $1.0 \times 10^{12}/\text{cm}^2$ 로 한 경우가 가장 높은 값을 나타내었고, 표면 이온주입 도즈가 더 증가함에 따라 기울기가 감소하는 현상을 보였다. 이때 표면 이온주입 도즈가 커질수록 수명의 기울기는 SL 구조에서의 기울기와 거의 비슷해짐을 알 수 있다. 즉, 기울기를 결정짓는 것은 주된 전류경로와 최대 전계의 위치 관계인 충돌전리가 발생하는 위치가 표면으로부터 어느 정도 분리되어 있는가에 관계가 있으며, 이는 생성된 전자가 표면 쪽으로 주입될 확률과 밀접한 관계를 갖고 있음을 알 수 있다.

4. 결론

ADD 구조를 달리하여 Si/SiO₂ 계면 근처인 n⁻ 영역의 표면농도를 증가시켜 핫 캐리어 효과로 인한 n⁻ 영역의 공핍을 억제하고자 As₇₅ 이온을 LDD 영역의 표면에 이온주입하는 방법을 도입하였다.

(1) BL 구조는 SL 구조와 비교하여 접합 브레이크 다운의 증가와 더불어 성능의 감소없이 기관전류를 감소시킴과 동시에 신뢰성 문제를 개선시킬 수 있었다.

(2) BL 구조의 경우 Si/SiO₂ 계면에서의 n⁻ 영역의 표면농도를 증가시켜 스페이서에 기인하는 열화를 억제하기 위해 표면 이온주입을 실시한 결과, 표면 이온주입 도즈가 클수록 표면에서의 최대 전계가 존재하는 영역이 더 커질 뿐 아니라 전류경로도 표면으로 몰려들어 기관전류의 증가와 더불어 수명과 기관전류, 수명과 구동전압과의 관계식에서 기울기가 더 완만해지는 경향을 보이면서 실제 동작 구동전압에서 수명이 감소하는 SL 구조와 비슷한 특성을 나타내었다.

(3) LDD 구조에서의 수명은 n⁻ 영역의 표면농도와 기관전류의 크기, 충돌전리가 일어나는 위치 등의 상호관계에 의해 좌우되며 어느 효과가 더 우세한가에 따라 결정됨을 알 수 있었다.

이상의 결론으로부터 BL 구조를 형성시킨 상태에서 n⁻ 영역의 표면에만 As₇₅, $1.0 \times 10^{12}/\text{cm}^2$, 40 KeV 로 표면 이온주입을 실시한 SI-1 구조가 가장 양호한 특성을 나타내었으므로 본 실험에서는 최적의 공정으로 판단된다. 또한 종래의 LDD 구조인 SL 구조와 비교하여 성능을 감소시키지 않은 상태에서 핫 캐리어 수명을 개선시킬 수 있었다.

참고 문헌

- [1] T. Hori, "A 0.1um CMOS technology with tilt implanted punchthrough stopper(TIPS)", Tech. Dig. of IEDM, p. 75, 1994.
- [2] J. P. Mieville, G. Van der bosch, L. Deferm, R. Bellens, G. Groeseneken, H. E. Mass, and W. Schoenmaker, "FOND (Fully Overlapped Nitride etch defined Device): A new device architecture for high reliability and high performance deep submicron CMOS technology", Tech. Dig. of IEDM, p. 83, 1994.
- [3] H. S. Chen, J. Zhao, C. S. Teng, L. Moberly, and R. Lahri, "Submicron large angle tilt implanted drain technology for mixed signal application", Tech. Dig. of IEDM, p. 91, 1994.
- [4] T. Hori and K. Kurimoto, "Deep submicrometer

- large angle tilt implanted technology" drain (LATID), IEEE Trans. Elect. Dev., Vol. 53, p. 2312, 1992.
- [5] A. Hori, H. Nakaoka, H. Umimoto, K. Yamashita, M. Takase, N. Shimizu, B. Mizuno, and S. Odanaka, "A 0.05 μm CMOS with ultra shallow source/drain junctions fabricated by 5 keV ion implantation and rapid thermal annealing", Tech. Dig. of IEDM, p. 485, 1994.
- [6] M. Ono, M. Saito, T. Yoshitomi, C. Fiegna, T. Ohguro, and H. Iwai, "Sub-50 nm gate length N-MOSFET's with 10 nm phosphorous source and drain junctions", Tech. Dig. of IEDM, p. 119, 1993.
- [7] 이우선, 정용호, 김남오, "전력 TFT의 제작과 전기적인 특성", 전기전자재료학회논문지, 11권, 10호, p. 790, 1998.
- [8] 이우선, 오금곤, 장의구, "비정질 실리콘박막 트랜지스터 히스테리시스 특성의 온도 의존성", 전기전자재료학회지, 9권, 3호, p. 277, 1996.
- [9] 서용진, 김상용, 김태형, 김창일, 이우선, 장의구, "CMP공정에 기인하는 소자의 열화를 방지하기 위한 PMD 구조에 관한 연구", 전기전자재료학회논문지, 12권, 2호, p. 111, 1999.