

SiGe HBT를 이용한 50 MHz~3 GHz 대역폭의 광대역 증폭기 IC 설계

The Design of 50 MHz~3 GHz Wide-band Amplifier IC using SiGe HBT

이 호 성 · 박 수 균* · 김 병 성

Ho-Sung Lee · Soo-Gyun Park* · Byung-Sung Kim

요 약

본 논문에서는 타키오닉스의 SiGe HBT 파운더리를 이용하여 50 MHz에서 3 GHz까지 동작하는 광대역 RFIC 증폭기를 구현한다. 평탄한 이득특성과 광대역 임피던스 정합을 위하여 voltage-shunt 피드백 구조를 이용하였으며, 저주파 소신호 해석을 이용하여 설계 파라미터의 초기값을 결정하였다. 설계시점에서 HBT의 대신호 모델이 준비되지 않았기 때문에 저주파에서 유효한 튜닝보드를 제작하여 설계 파라미터를 미세 조정하였다. 제작된 증폭기는 12 dB 이득에 1 dB 이득 변동특성을 갖고 있으며, P1 dB는 850 MHz에서 15 dBm이다.

Abstract

This paper presents the implementation of wide-band RFIC amplifier operating from near 50 MHz to 3 GHz using Tachyonics SiGe HBT foundry. Voltage shunt feedback is used for the flat gain and the broad band impedance matching. Initial design parameters are calculated through the low frequency small signal analysis. Since the HBT model was not available at the design time, discrete tuning board was made for fine adjustment in the low frequency range. Fabricated amplifier shows 12 dB gain with 1 dB fluctuation and P1 dB reaches 15 dBm at 850 MHz.

I. 서 론

정보량이 수 Gbps 이상이면 대역폭이 DC에서 수 GHz인 광대역 증폭기가 필요하다. 본 논문에서는 Tachyonics의 SiGe HBT를 사용하여 2.5 GHz 대역폭에 15 dB 이득을 갖는 광대역 증폭기 IC를 설계, 제작한 결과를 제시한다. 설계시점에서 출력단 트랜지스터의 모델링이 완성되지 않아 저주파 소신호 해석을 통해 설계 파라미터의 초기값을 설정하고 하이브리드로 제작하여 설계 파라미터를 미세 조정

하였다. 하이브리드 증폭기는 집중소자 형태로 설계되었기 때문에 소자간의 연결 선로 효과를 고려하면 수 백 MHz 이하 대역에서만 IC와 유사한 특성을 가질 것으로 예측된다. 그러나, 피드백 이론에 따르면 저주파 대역에서 원하는 정합특성과 이득특성을 얻으면 고주파 대역에서는 평탄한 이득을 얻을 수 있고 이 때 주파수 대역폭은 트랜지스터의 고유한 주파수 특성에 의해 결정되기 때문에 저주파에서 미세 조정된 설계 파라미터를 IC 설계에 이용하였다. 제작에 사용한 Tachyonics의 SiGe HBT는 0.6 um

성균관대학교 전기전자 및 컴퓨터 공학부(School of ECE, Sung Kyun Kwan University)

*타키오닉스(Tachyonics)

· 논문 번호 : 20011103-11S

· 수정완료일자 : 2001년 12월 3일

×8 μm 단위 트랜지스터가 $f_T=40$ GHz 특성을 갖고 있기 때문에 최소 3 GHz의 대역폭을 가질 것으로 예측하고 저주파 설계 및 검증을 진행하였다.

II. 증폭기 사양 및 저주파 설계

본 논문에서 제작하고자 하는 광대역 증폭기의 세부 사양은 표 1과 같다. 표 1의 사양을 충족시키기 위하여 출력단에 $I_C=40$ mA에서 P_1 dB=20 dBm의 조건을 만족하는 $0.6 \mu\text{m} \times 40 \mu\text{m} \times 4$ SiGe HBT 2개를 병렬로 사용하였다.

RFIC의 설계 및 제작에 있어서 중요한 요소중 하나는 소자 모델의 정확성이다. 이는 한번 IC가 제작 되면 더 이상의 미세 조정이 불가능하기 때문이다. 그러나 본 논문의 증폭기를 설계할 시점에서는 출력단 트랜지스터의 모델라이브러리가 완성되지 않아 저주파 설계를 통해 초기값을 설정하고 하이브리드로 증폭기를 제작하여 50 MHz ~ 300 MHz대의 저주파 영역에서 설계 파라미터를 미세 조정하였다. 부캐환 이론에 따르면 피드백을 통한 대역폭의 확대는 그림 1에서와 같이 트랜지스터의 고유한 이득 특성을 저주파 대역에서 끌어내려 이득의 평탄화를 이루는 것이다^[1]. 따라서 저주파 대역에서 원하는 이득과 정합특성을 맞추면 증폭기의 대역폭은 트랜지스터의 고유한 이득 특성과 부캐환 이론에 의해 결정되어진다.

설계한 증폭기의 구조는 그림 2와 같다. 입력단의 Q_1 은 에미터 팔로워 구조로, 출력단의 Q_2 는 공통 에미터 구조로 구성된다. 에미터 디제너레이션 저항은 안정도를 올리고 바이어스 전류를 설정하는데

표 1. 광대역 증폭기 설계 사양.

Table 1. Design specification of wide-band amplifier.

Bandwidth	50 MHz ~ 3 GHz
P_1 dB	18 dBm
Gain	15 dB
VSWR	2.0 이하
Operating voltage	5 V
Operating current	70 ~ 80 mA
Gain ripple	1 dB
Device	SiGe HBT

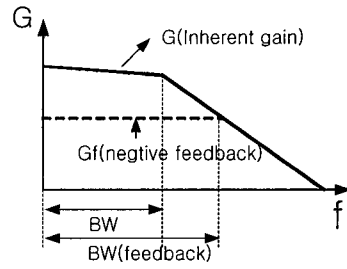


그림 1. 부캐환에 의한 증폭기의 이득 및 대역폭의 변화.

Fig. 1. Effects of negative feedback on gain and bandwidth of amplifier.

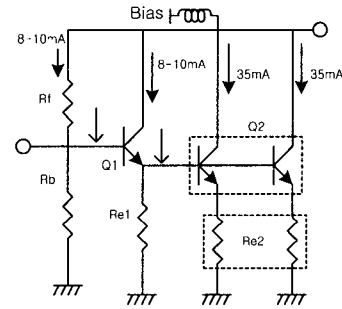


그림 2. 광대역 증폭기 회로도.

Fig. 2. Circuit of wide-band amplifier.

이용되며, 이득과 대역폭을 결정하는 역할은 입력단 바이어스 회로의 R_f 가 주로 하게 된다. 입력측 임피던스는 R_{e1} , R_{e2} 및 R_f 의 값에 동시에 영향을 받는다.

Q_2 의 바이어스 전류를 $I_{C2}=70$ mA로 놓고 $\beta=100$ 이라 가정하면, $I_{B2}=0.7$ mA이고 Q_2 의 베이스 전류 로딩을 고려하여 $I_{C1}=7$ mA로 설정하면, $I_{B1}=0.07$ mA가 된다.

P_1 dB가 18 dBm이고 이득이 15 dB이므로 최대 입력 전력을 3 dBm으로 보면 Q_1 의 베이스에 걸리는 최대 전압이 약 0.45 V이므로 $V_{BEQ}=0.75$ V로 보면, Q_2 의 베이스 바이어스 전압은 대략 1.2V를 유지해야 한다. 따라서 Q_1 의 베이스는 2.05 V를 유지해야 되고 이 값으로부터 바이어스 전류를 유지하기 위한 R_{e1} , R_{e2} 의 값을 근사적으로 결정할 수 있다. R_{e1} , R_{e2} 를 트랜지스터의 일부로 간주하면 피드백 회로는 단순히 R_f 에 의한 병렬-병렬 캐환 회로가

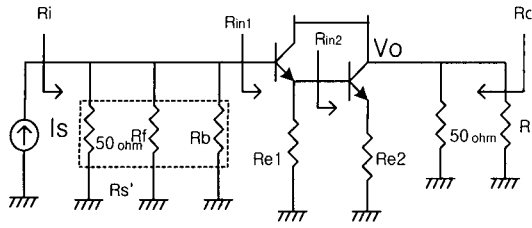


그림 3. 초기 설계값 계산을 위한 간단한 등가회로.
Fig. 3. Equivalent circuit of amplifier to determine the initial design parameters.

되며 증폭기의 구조는 트랜스레지스턴스 타입이 된다^{[2],[3]}. 이득과 입출력 정합임피던스를 맞추기 위한 R_f 값은 피드백 이론에 따라, 아래와 같이 구할 수 있다. 피드백이 걸릴 경우 입출력 저항 R_{if} 와 R_{of} 는 아래 식으로 주어진다. R_i 와 R_o 는 그림 3 등가회로의 입출력 저항이다.

$$R_{if} = \frac{R_i}{1 + A\beta_f} \approx 25\Omega \quad (1)$$

$$R_{of} = \frac{R_o}{1 + A\beta_f} \approx 25\Omega \quad (2)$$

식 (1), (2)에서 A 는 그림 3의 트랜스레지스턴스 이득이고, 저주파 소신호 등가회로로부터 계산한 A 와 전력이득은 다음 식과 같다.

$$A = \frac{V_o}{I_s} = \frac{R'_s}{R'_s + R_{in1}} \beta \frac{R_{e1}}{R_{e1} + R_{in2}} \beta (50 \parallel R_f) \quad (3)$$

$$G_T = [A / (1 + A\beta_f)]^2 / 625 \quad (4)$$

식 (1)~(4)를 보면 설계 파라미터는 R_f , R_b 이고 조건은 R_{if} 와 R_{of} , 전력이득 G_T 및 Q_1 의 베이스 바이어스 전류를 가하기 위한 조건이 추가되기 때문에 바이어스 전류 결정에 사용한 Q_1 , Q_2 의 베이스 전압과 R_{e1} , R_{e2} 를 포함하여 최적화를 수행해야 한다.

각 저항의 최종값은 계산값을 기초로 하이브리드 증폭기를 제작한 후 저주파에서 특성을 관측해 가며 최적화한 값을 이용하였기 때문에 계산값과는 약간의 차이가 있다.

III. 실험결과

저주파 대역에서의 증폭기의 특성 검증 및 저항 값의 미세 조정을 위해 유전율이 4.6인 FR-4 기판에 칩 트랜지스터와 0203 사이즈의 칩 저항을 사용해 그림 2의 하이브리드 증폭기를 제작하여 실험하였다. 배선 길이에 의한 기생성분을 줄여 가능한 한 IC와 유사한 특성을 갖도록 최대한 보드 크기를 줄여 설계하였지만 bias 회로에 의해 늘어나는 패턴의 길이는 줄일 수 없었다. 또한 프로토타입의 트랜지스터를 사용하였기 때문에 0.7 mil 두께의 와이어 본딩을 하였으며, 일정시간의 큐어링이 필요하였다.

저주파 대역의 결과를 검증하기 위하여, 50 MHz ~ 300 MHz 대역에서 바이어스 전류, VSWR, 이득, P1 dB가 만족되도록 저항값들을 조정하였으며, 총 바이어스 전류는 78 mA가 소모되었다.

그림 7의 실험결과에서 알 수 있듯이 하이브리드 증폭기는 고주파 대역에서 VSWR 특성이 사양을 만족하지 못하나, 이는 보드 패턴의 기생성분 때문으로 판단된다. IC로 제작될 경우 패턴에 의한 기생성분의 영향은 현저히 줄어들 것이다. 저주파시험 결과 300 MHz 이하에서는 P1 dB도 목표로 했다

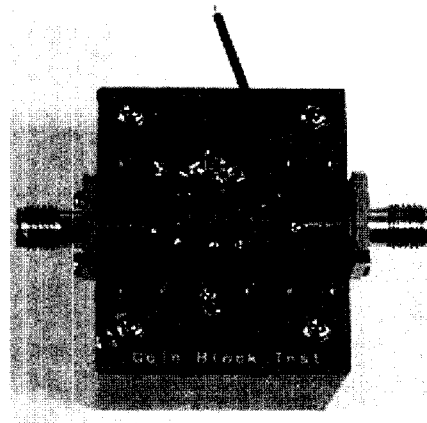


그림 4. 저주파 튜닝 및 특성 검증을 위해 제작한 하이브리드 증폭기.

Fig. 4. Fabricated hybrid amplifier for tuning and performance evaluation in the low frequency range.

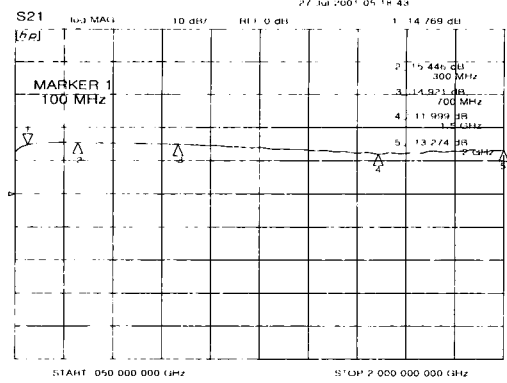
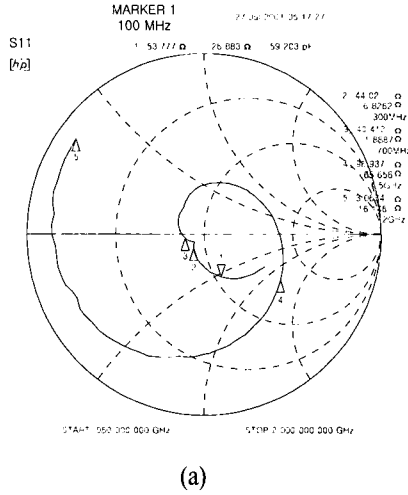


그림 6. 제작된 저주파 검증용 하이브리드 증폭기의 이득 특성(S_{21}).

Fig. 6. Gain of fabricated hybrid amplifier.

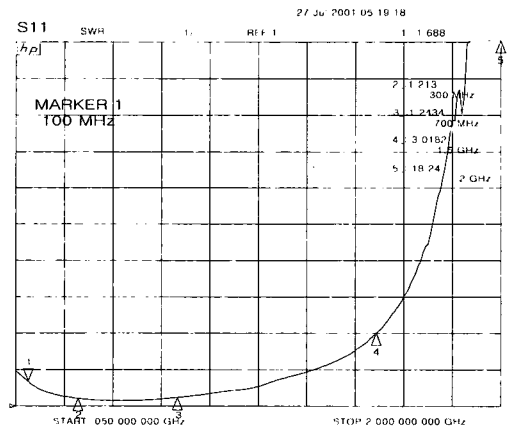
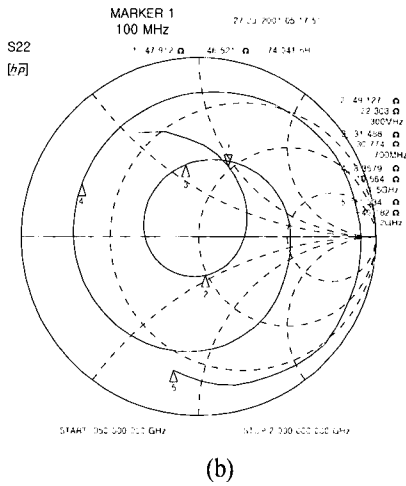


그림 7. 제작된 저주파 검증용 증폭기의 VSWR 특성.

Fig. 7. VSWR of fabricated hybrid amplifier.

그림 5. 하이브리드 증폭기의 입출력 특성. (a) S_{11} , (b) S_{22} .

Fig. 5. Input and output characteristics of hybrid amplifier. (a) S_{11} , (b) S_{22} .

18 dBm에 근접한 결과를 보이고 있으며 이득도 사양을 만족한다.

하이브리드로 제작된 증폭기의 설계 파라미터를 이용해 제작된 IC의 특성을 바이어스 티와 프로브 스테이션을 사용하여 측정하였다. 그림 9는 IC의 S_{11} , S_{22} 특성으로 3 GHz까지 VSWR 사양을 확인할 수 있다. 저주파에서 하이브리드 증폭기와 IC의 입출력 특성에 차이가 나타나는 것은 하이브리드 회로의 바이어스 인덕터 값의 차이, 패턴 및 측정 기준면의 위상 차이 때문으로 판단된다. 입

력 임피던스에서 위상의 차이는 있으나 VSWR 특성은 유사함이 확인되고 있다. 그림 10은 제작된 IC의 이득 특성이고 그림 11은 전력전달 특성이다. 전력시험결과를 보면 IC의 이득과 P1 dB가 하이브리드 증폭기에 비해 3 dB 정도 낮게 나타나고 있다. 이러한 특성의 저하는 일차적으로 바이어스 전류가 하이브리드 회로에 비해 12 mA 정도 적게 들어가는 데 있는 것으로 판단되며 현재 그 원인을 분석중이다. IC에서의 총 바이어스 전류는 66 mA이다.

IV. 결 론

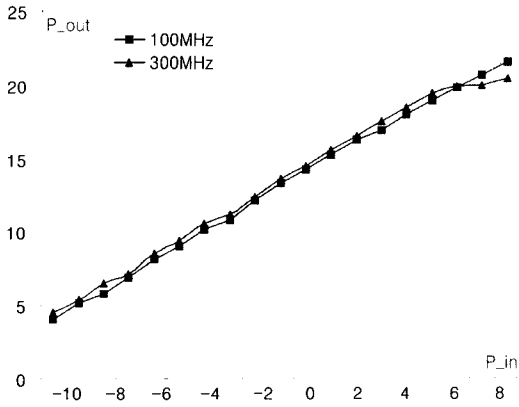


그림 8. 하이브리드 증폭기의 저주파 대역 전력 시험 결과.

Fig. 8. Power test results of hybrid amplifier in the low frequencies.

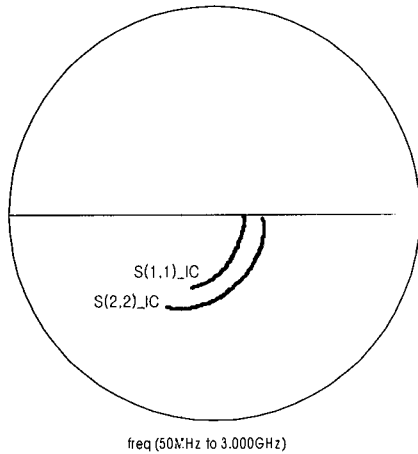


그림 9. 제작된 IC 증폭기의 S_{11} 과 S_{22} .

Fig. 9. S_{11} , S_{22} of fabricated IC amplifier.

본 논문에서는 Tachyonics의 SiGe HBT를 이용하여 50 MHz에서 3 GHz까지 동작하는 광대역 IC 증폭기의 설계 및 제작을 수행하였다. 본 논문의 실험 시점에서 트랜지스터의 모델링이 완료되지 않았기 때문에 저주파 소신호 해석을 통해 파라미터의 초기값을 계산하고, 집중소자 형태의 하이브리드 증폭기를 제작하여 저주파 대역에서 저항값을 미세 조정하였다. 제작된 하이브리드 증폭기는 15 dB의 이득과 18 dBm의 P1 dB 사양을 보여주었다. 하이브리드 증폭기에서 미세 조정을 통해 구한 저항값을

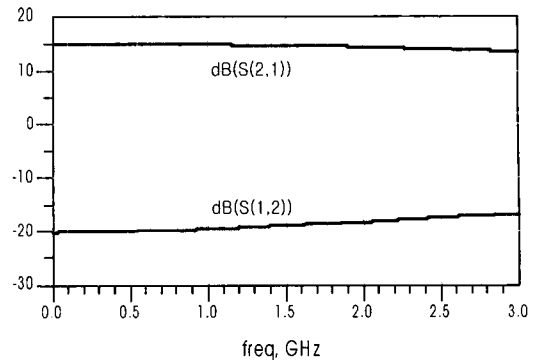


그림 10. 제작된 IC 증폭기의 이득 특성.

Fig. 10. S_{21} , S_{12} of fabricated amplifier.

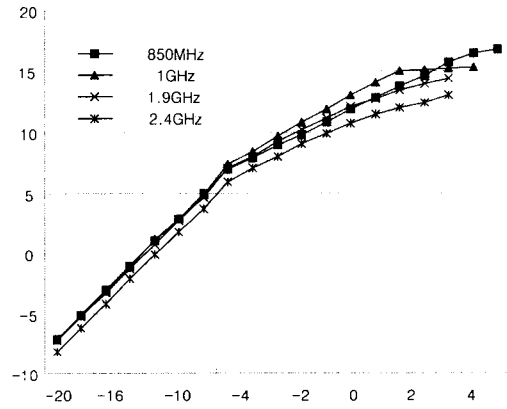


그림 11. 제작된 증폭기 IC의 전력특성 시험결과.

Fig. 11. Power test results of fabricated IC amplifier.

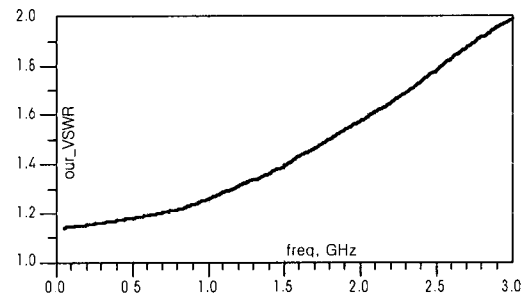


그림 12. 제작된 IC 증폭기의 입력 VSWR 특성.

Fig. 12. VSWR of fabricated IC amplifier.

이용해 IC를 제작하여 실험한 결과를 보면, 고주파 대역에서의 기생성분 효과가 현저히 줄어든 결과를

확인할 수 있었고, 입출력 정합특성도 사양을 만족함을 확인할 수 있었다. 그러나, 이득 및 출력 전력이 3 dB 정도 저하된 문제점이 나타났으며 이는 하이브리드 증폭기와 비교하여 IC에서 바이어스 전류가 약 12 mA 정도 감소해 발생한 것으로 판단된다. 바이어스 전류의 변동에 대해서는 현재 그 원인을 분석중이다.

참 고 문 헌

[1] Thomas H. Lee, *The Design of CMOS Radio-*

Frequency Integrated Circuits, Cambridge University Press., pp. 385-398, 1998.

[2] Adel S. Sedra, Kenneth C. Smith, *Microelectronic Circuits*, Oxford University Press., pp. 667-708, 1982.

[3] S. Nam, S. Miya, M. Ozaki, and I. D. Robertson, "A comparison of topologies for single-ended millimeter-wave monolithic amplifier design", *IEEE, MTT-s International*, 1998.

이 호 성



1999년: 경기대 전자공학과 (공학사)
 2001년: 성균관대 전기 전자 및 컴퓨터 공학부 (공학석사)
 [주 관심분야] RFIC설계, RF 부품설계

박 수 균



1985년: 전북대 전자공학과 (공학사)
 1988년~현재: Tachyonics (구. 대우 반도체) 책임 연구원
 [주 관심분야] SiGe HBT, BiCMOS 소자개발, RFIC 및 PAM 개발

김 병 성



1989년: 서울대학교 전자공학과 (공학사)
 1991년: 서울대학교 전자공학과 (공학석사)
 1997년: 서울대학교 전자공학과 (공학박사)
 1997년~현재: 성균관대 전기전자 및 컴퓨터 공학부 조교수

[주 관심분야] RFIC설계, 능동소자 모델링