논문 2002-11-1-07

SDB와 전기화학적 식각정지에 의한 마이크로 시스템용 매몰 공동을 갖는 SOI 구조의 제조

정 귀 상*, 강 경 두*, 최 성 규**

Fabrication of SOI Structures with Buried Cavities for Microsystems SDB and Electrochemical Etch-stop

Gwiy-Sang Chung*, Kyung-Doo Kang*, Sung-Kyu Choi**

요 약

본 논문은 Si기판 직접접합기술과 전기화학적 식각정지를 이용하여 마이크로 시스템용 매몰 공동을 갖는 SOI 구조물의 일괄제조에 대한 새로운 공정기술에 관한 것이다. 저비용의 전기화학적 식각정지법으로 SOI의 정확한 두께를 제어하였다. 핸들링 기판 위에서 Si 이방성 습식식각으로 공동을 제조하였다. 산화막을 갖는 두 장의 Si기판을 직접접합한 후, 고온 열처리(1000℃, 60분)를 시행하고 전기화학적 식각정지로 매몰 공동을 갖는 SDB SOI 구조를 박막화하였다. 제조된 SDB SOI 구조물 표면의 거칠기는 래핑과 폴리싱에 의한 기계적인 방법보다도 우수했다. 매몰 공동을 갖는 SDB SOI 구조는 새로운 마이크로 센서와 마이크로 엑츄에이터에 대단히 효과적이며 다양한 응용이 가능한 기판으로 사용될 것이다.

Abstract

This paper describes a new process technique for batch process of SOI(Si-on-Insulator) structures with buried cavities for MEMS(Micro Electro Mechanical System) applications by SDB(Si-wafer Direct Bonding) technology and electrochemical etch-stop. A low-cost electrochemical etch-stop method is used to control accurately the thickness of SOI. The cavities were made on the upper handling wafer by Si anisotropic etching. Two wafers are bonded with an intermediate insulating oxide layer. After high-temperature annealing(1000℃, 60 min.), the SDB SOI structure with buried cavities was thinned by electrochemical etch-stop. The surface of the fabricated SDB SOI structure have more roughness that of lapping and polishing by mechanical method. This SDB SOI structure with buried cavities will provide a powerful and versatile substrate for novel microsensors and microactuators.

1. 서 론

최근, Si 마이크로머시닝기술을 이용한 마이크로 3차원 구조물 제작이 용이해짐에 따라, 전자소자와 기계부품 그리고 신호처리용 마이크로프로세스까지 집적화된 마이크로 시스템(MEMS : Micro Electro Mechanical System)을 구현하고자 하는 연구가 활발히 진행되고 있다.[1,2] 특히, Si 벌크 마이크로머시닝기술은 압저항 효과와 홀 효과 등 감지에 대한 우수한 물리적, 자기적 효과와 기계적 미세구조물 제작이 용이하기 때문에 압력센서, 가속도센서, 각도센

* 동서대학교 정보시스템공학부(School of Information System Eng., Dongseo University)
** 영남대학교 전자공학과(Dept. of Electronic Eng., Yeungnam University)
<접수일자 : 2001년 8월 27일>

서, MOS 홀센서, 밸브 그리고 펌프 등의 마이크로 센서 및 마이크로 액츄에이터 개발에 널리 이용되고 있다.

고성능 MEMS를 연구·개발하기 위한 능동소자 혹은 표면 미세구조물을 제작하기 위해서는 Si 벌크 마이크로머시닝기술과 기존 IC 제조기술 및 Si 제조시설과 단결정 Si의 우수한 기계적 성질뿐만 아니라 전기적 절연체 상부에 단결정 Si 박막이 존재하는 SOI(Si-on-Insulator) 구조의 기판을 이용하는 것이 가장 적합한 기술로 전망되고 있다.

현재, SOI 구조의 제작기술중에는 절연층 상부에 성장된 비결정 혹은 다결정의 Si 박막을 용융 후 재결정화하는 방법,[3] 에피택시 성장을 이용하는 방법,[4] 기판내부에 산소이온 주입 후 열처리를 행함으로써 산화층을 형성하여 표면 Si층과 기판을 분리하는 방법[5] 그리고 산화막이 형성된 두 장의 Si기판을 직접접합(SDB : Si-wafer Direct Bonding)한 후, 한 면의 Si기판을 화학적·기계적 연마로써 박막화하는 방법[6] 등이 있다. 여러 가지 방법 중에 SDB기술은 완벽한 단결정 Si 박막과 우수한 절연특성을 갖는 매몰층 산화막뿐만 아니라 대면적의 SOI기판을 제작할 수 있다. 특히, MEMS 분야에 있어서 매몰 공동 혹은 3차원 미세구조물을 갖는 Si 벌크 마이크로머신용 후막 혹은 박막 다이어프램, 켄티레버, 브리지[7] 등을 보다 쉽고 정확하게 제작이 가능하며 단결정 Si의 우수한 전기적·기계적 특성을 이용할 수 있기 때문에 최근 활발히 연구·개발되고 있다.[8,9] 이러한 SDB SOI기술을 MEMS 분야에 이용하기 위해서는 SOI 능동층의 박막화와 정확한 두께제어기술이 무엇보다도 중요하다. 현재, SDB SOI 구조의 박막화에는 래핑 후 폴리싱에 의한 기계적인 방법(mechanical method)이 널리 사용되고 있지만,[10] 장비의 평탄도와 정밀도에 크게 의존하며 대면적의 능동층 박막두께를 정확하게 제어하기가 대단히 어렵다. Si 이방성 습식식각기술을 이용해서 공동과 다이어프램 제조시 두께제어법으로는 식각시간법, 불순물 농도차를 이용하는 방법[11]과 전기화학적 식각정지법[12] 등이 있다. 그러나, 고농도 불순물을 식각정지층으로 사용할 경우, 잔류응력의 영향과 고농도 부분에 소자를 형성할 수가 없다. 한편, 역바이어스된 pn접합 다이오드 성질과 양극산화현상을 이용한 전기화학적 식각정지법은 식각정지에 필요한 불순물의 농도가 높지 않고 정확한 능동층의 두께제어가 가능하다.

따라서, 본 연구에서는 SDB기술과 전기화학적 식각정지법으로 매몰 공동을 갖는 SOI기판을 제조하여 식각정지 표면 및 박막두께 제어특성을 분석·평가하였다.

2. 매몰 공동을 갖는 SDB SOI 구조의 제조

본 연구에서 사용된 Si기판은 (100)면의 결정방위를 가지고 5000Å의 열산화막이 성장된 p형 핸들링 기판과 (100)면의 결정방위를 가지는 p형 기판 위에 15 ㎛의 n 에피층이 성장된 액티브 기판을 사용하였다.

그림 1은 매몰 공동을 갖는 SDB SOI 구조의 제조공정순서를 도식적으로 나타낸 것이다. 열산화막이 성장된 p형 핸들링 기판은 전기화학적 식각정지시 액티브 기판의 n 에피층쪽으로 바이어스인가를 위한 전극창과 매몰 공동 형성을 위하여 SDB 공정전에 이방성 식각하였다. 식각이 완료된 p형 핸들링 기판과 p형 기판 위에 n 에피층이 성장된 액티브 기판은 HF 2.0 % 희석용액에서 1분간 전처리한 후 초기접합을 수행하였다.[13] 초기접합이 완료된 시료는 열처리

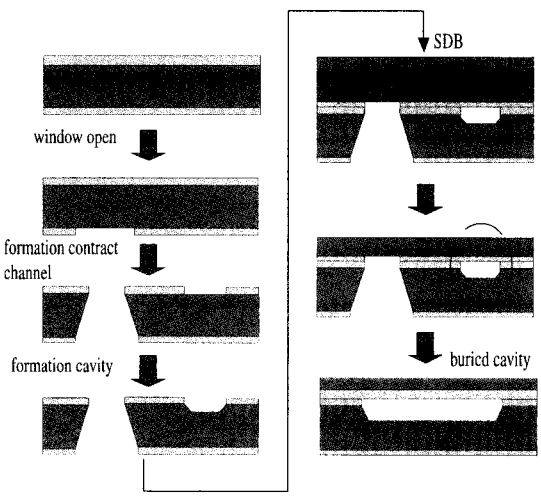
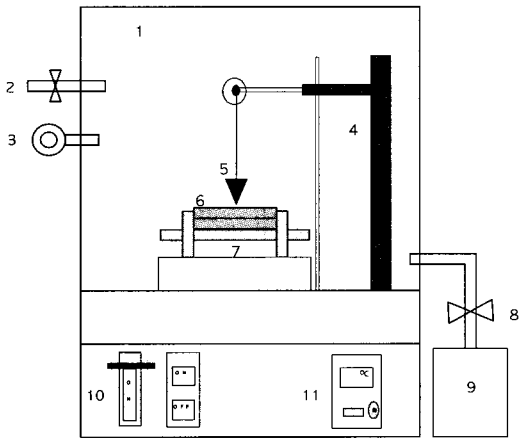


그림 1. 매몰 공동을 갖는 SDB SOI 구조의 제조 공정 순서도.

Fig. 1. Fabrication process sequence for SDB SOI structures with buried cavities.

(1000℃, 60분)를 거친 후, 전기화학적 식각정지법으로 n 에피층의 두께를 제어함으로써 매몰 공동을 갖는 SOI 구조를 제조하였다.

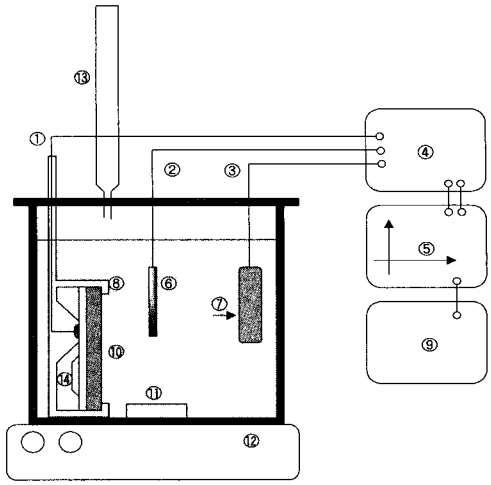
그림 2는 SDB의 초기접합 장치도를 나타낸 것이다. SDB는 초기접합시 사용된 시료와 먼지 같은 외부 오염물과의 접촉을 억제하기 위해 로터리 펌프를 이용하여 -760 ㎜Hg으로 진공을 유지하였다. 또한, 접합시 약간의 하중을 시료 중심에 인가함으로서 접합의 진행이 시료의 중심에서 외부로 진행되도록 하여 공정중 발생가능한 기공(void)을 억제하였다.



1. Vacuum chamber
2. Leak valve
3. Vacuum gauge
4. Stand
5. weight point
6. Sample
7. Teflon holder
8. Main valve
9. Rotary pump
10. Main power
11. Temperature controller

그림 2. SDB 공정용 초기접합 장치도.
Fig. 2. Pre-bonding configuration for SDB process.

그림 3은 전기화학적 식각정지 장치도를 도식적으로 나타낸 것이다. 이방성 식각용액은 TMAH 20 wt.%를 사용했으며, 식각용액의 온도는 80℃로 유지하였다. 식각이 진행되는 동안 Si기판의 두께변화에 따른 인가전압값의 변화를 막기 위해 정전위계(Potentiostat)를 사용하여 WE(Working Electrode)와 RE(Reference Electrode)사이에 항상 일정한 전압을 공급하였다. 용액의 교반 효과를 위해서 자기 교반장치를 사용하였으며, 온도는 ±0.5℃로 유지하였다. 용액과 저항 접촉을 방지하기 위하여 테프론, 고무오링을 이용하여 샘플 홀더를 제작하였다.



1. Working Electrode
2. Reference Electrode
3. Counter Electrode
4. Potentiostat
5. Plotter
6. Ag/AgCl
7. Pt mesh
8. Teflon holder
9. PC
10. Sample
11. Magnetic stir-bar
12. Hot plate
13. Reflux condenser
14. buried cavity

그림 3. 전기화학적 식각정지 장치도.
Fig. 3. The configuration for electrochemical etch-stop.

3. 결과 및 고찰

그림 4는 온도 80℃, TMAH 20 wt.% 식각용액에서 인가전압에 따른 p형의 누설전류 특성곡선을 나타낸 것이다. 인가전압은 5 mV/sec

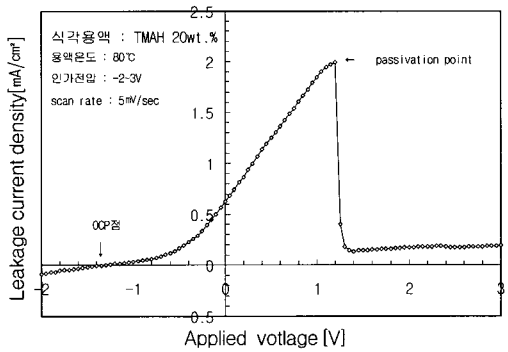


그림 4. p형 Si기판의 누설전류-전압 특성곡선.
Fig. 4. Leakage current-voltage characteristic curve of p-type Si wafer.

으로 -2 V에서 +2 V까지 인가하였다. OCP (Open Circuit Potential)점은 -1.4 V로 이후 PP(Passivation Potential) 점에 도달하기 전까지는 누설전류가 계속해서 증가한다. 1.2 V의 PP점에 도달하게 되면 계속해서 증가하던 누설전류가 Si 표면에서 양극산화현상 때문에 갑자기 감소된다. PP점에서의 최대 전류밀도는 약 2.05 mA/㎠로 측정되었으며, 식각정지가 일어난 후의 누설전류밀도는 0.135~0.146 mA/㎠를 유지하였다.

그림 5(a)는 전기화학적 식각정지시의 누설전류 대 시간 특성곡선을 나타낸 것이다. 3전극 시스템에서는 RE전극[11]을 이용하여 Si의 식각에 대해 누설전류를 일정하게 유지한다. p형 Si이 식각된 후, n 에피층이 식각용액에 노출될 때부터누설전류는 급격히 증가하다가 n 에피층이 완전히 노출되면 식각용액과의 화학적인 반응에 의한 양극산화현상으로 식각이 정지된다.[12] 그림 5(b)는 전기화학적 식각시 누설전류에 따른 식각정지 진행상태를 도식적으로 나타낸 것이다.

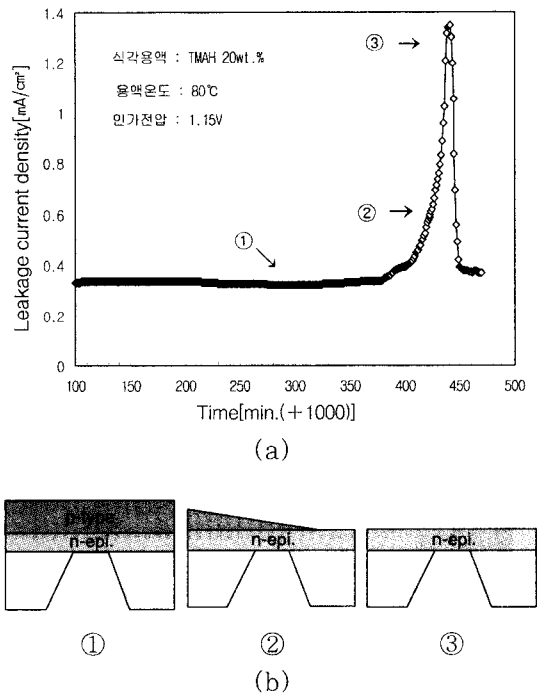


그림 5. (a) 전기화학적 식각정지시 누설전류-시간 특성곡선과 (b) 식각정지 단계.

Fig. 5. (a) Leakage current-time characteristic curve at electro-chemical etch-stop and (b) etch-stop step.

최초 ①은 식각용액에 노출된 p형 Si이 산화·환원반응에 의해서 자연식각되는 상태이며 ②는 p형 Si의 표면일부가 완전 식각되고, n 에피층 표면이 식각용액에 노출되면서 pn접합의 누설전류가 급격히 증가하는 상태를 나타낸 것이다. ③은 p형 Si이 완전히 식각되고, n 에피층에서 양극산화현상으로 식각이 완벽하게 정지된 상태를 나타낸 것이다.[14]

그림 6(a)과 (b)는 본 연구에서 사용한 Si기판과 TMAH 20 wt.%에서 전기화학적 식각정지법으로 제조된 매몰 공동을 갖는 SDB SOI기판의 거칠기를 각각 평가한 AFM 이미지이다. Si기판과 p형 실리콘이 식각정지된 SOI기판의 평균 거칠기는 각각 5.12 nm와 5.4 nm였다. 전기화학적 식각정지법으로 SDB SOI 박막화할 경우, 식각정지된 SOI기판의 거칠기는 기존에 널리 사용되고 있는 기계적인 방법보다는 훨씬 우수하며 또한, Si기판에 상응하는 거칠기를 얻을 수 있었다.

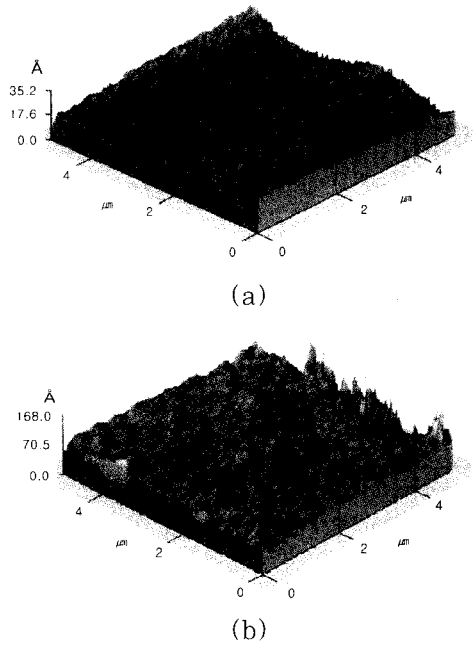


그림 6. (a) Si기판과 (b) TMAH용액에서 전기화학적 식각정지된 매몰 공동을 갖는 SOI기판의 AFM 이미지.

Fig. 6. AFM images of (a) Si wafer and (b) SOI substrates with buried cavities etch-stopped by electrochemical etch-stop in TMAH solution.

그림 7은 전기화학적 식각정지법에 의해 제조된 SDB SOI기판의 단면도 SEM 사진이다. 샘플의 단면 절단시 공동의 손상을 방지하기 위해서 에폭시를 사용하였다. 전기화학적 식각정지법에 의해 p형 기판상에 성장된 15 ㎛의 n 에피층에서 식각이 정확하게 정지됨을 알 수 있다. 또한, 식각정지된 SOI기판의 n 에피층 두께가 15 ㎛으로 전체적으로 균일하며 전기화학적 식각정지법은 정확한 SDB SOI의 두께제어가 가능함을 알 수 있다.

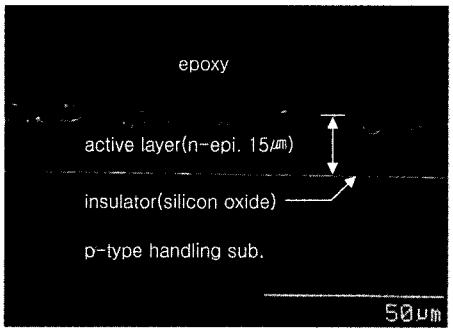
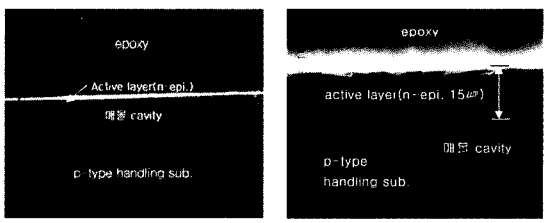


그림 7. 전기화학적 식각정지로 제조된 SDB SOI 구조의 단면 SEM 이미지.

Fig. 7. Cross-sectional SEM image of SDB SOI substrates fabricated by electrochemical etch-stop.

그림 8 (a)과 (b)는 SDB와 전기화학적 식각정지법에 의해 제조된 매몰 공동을 갖는 SOI 구조의 전체와 코너부분을 확대한 각각의 단면 SEM 사진이다. P형 핸들링기판과 p형 기판 위에 15 ㎛ 두께의 n 에피층이 성장된 액티브기판을 사용하여 SDB와 전기화학적 식각정지법으로 SOI 구조를 제조하였다. 식각정지된 공동상부의



(a) (b)

그림 8. 매몰 공동을 갖는 SDB 구조의 단면 SEM 이미지.

Fig. 8. Cross-sectional SEM images of SDB SOI structures with buried cavities.

능동층 두께는 n 에피층의 두께인 15 ㎛이며, 매몰 공동의 깊이와 폭은 각각 18, 900 ㎛로 제작하였다. 따라서, 본 연구에서 제안한 SDB와 전기화학적 식각정지법으로 매몰 공동을 갖는 SOI 구조물을 제조할 수 있음을 확인하였다.

4. 결 론

본 연구에서는 SDB기술와 전기화학적 식각정지법을 이용하여 매몰 공동을 갖는 SDB SOI의 구조를 제조하였다. HF 2.0 % 전처리와 고온열처리로 SDB를 시행한 후, 전기화학적 식각정지법으로 SOI 구조를 박막화하였다. PP점과 OCP점을 분석하여 전기화학적 식각정지법으로 능동층 두께가 15 ㎛이고, 깊이와 폭이 각각 18, 900 ㎛인 매몰 공동을 갖는 SDB SOI 구조를 제조했으며, 매몰 공동을 갖는 SOI 구조물을 제조할 수 있음을 확인하였다.

따라서, SDB기술과 전기화학적 식각정지법은 정확한 두께제어와 우수한 식각정지 표면 그리고 매몰 공동을 갖는 SOI 구조의 기판 제조가 가능하기 때문에 DRIE(Deep Reactive Ion Etching)기술과 결합하면, 벌크 마이크로머신용 MEMS 분야에 유용하게 응용할 수 있을 것으로 기대된다.

참고 문헌

[1] M. A. Huff et al., "A pressure-balanced electrostatically actuated microvalve", IEEE Solid-State Sensors & Actuators Workshop, pp. 123-127, 1990.

[2] P. Barth et al., "A monolithic silicon accelerometer with integral air damping and over-range protection", IEEE Solid-State Sensors & Actuators Workshop, pp. 35-38, 1988.

[3] E. W. Maby et al., "MOSFET's on silicon prepared by moving melt zone recrystallization of encapsulated poly-crystalline silicon on an insulating substrate", IEEE Electron Device Letter, EDL-2, pp. 241-243, 1981.

[4] M. Ishida et al., "Epitaxial Al_2O_3 films

on Si by low-pressure chemical vapor deposition", Appl. Phys. Letter, vol. 53, pp. 1326-1328, 1988.
[5] Y. Irita et al., "Multiple SOI structure fabricated by high dose oxygen implantation and epitaxial growth", Jpn. J. Appl. Phys., vol. 20, pp. L909-L912, 1981.
[6] A. Yamada et al., "A computer controlled polishing system for silicon-on-insulator", Proc, of the 5th Int. Workshop on Future Electron. Devices, Jpn., pp. 201-205, 1988.
[7] J. M. Noworolski et al., "Fabrication of SOI wafers with buried cavities using silicon fusion bonding and electrochemical etchback", Sensors & Actuators A, vol. 54, pp. 709-713, 1996.
[8] K. Mitani et al., "Formation of Interface Bubbles in Bonded Silicon Wafer : A Thermodynamic Model", Appl. Phys. Letter, vol. 54, pp. 543-544, 1992.
[9] S. Cristoloveanu et al., "Electrical characteristics on of silicon on insulator materials and device", Kluwer Academic, pp. 16-22, 1995.
[10] V. M. Mcneil et al., "An investigation of the electro-chemical etching of (100)silicon in CsOH and KOH", IEEE Solid-State Sensors & Actuators Workshop, pp. 92-97, 1990.
[11] A. Soderarg, "Investigation of buried etch stop layer in silicon made by nitrogen implantation", J. Electrochem. Soc., vol. 139, pp. 561-567, 1992.
[12] G. S. Chung et al., "A study on electrochemical etch-stop in TMAH /IPA/pyrazine solutions", J. Korea Sensors Soc., vol. 7, pp. 126-131, 1998.
[13] G. S. Chung et al., "A study on pre-bonding according to HF pretreatment conditions in Si wafer direct bonding", J. Korea Sensors Soc., vol. 9, pp. 134-140, 2000.
[14] G. S. Chung et al., "Electrochemical etch-stop characteristics of TMAH /IPA/pyrazine solu- tions", Sensors & Materials, vol. 12, vol. 4 pp. 103~114, 2000.

著 者 紹 介

정 귀 상
1982 영남대학교(공학사 - 전자공학)
1985 영남대학교(공학석사 - 전자공학)
1992 도요하시기술과학대학(공학박사 - MEMS)
1993 - 현재 동서대학교 정보시스템공학부 부교수
주관심 분야 : Si, SOI 및 SiC-M/NEMS, 압전 및 SMA 액츄에이터

강 경 두
1999 동서대학교(공학사 - 전자공학)
2001 부경대학교(공학석사 - 전자공학)
2001 - 현재 (주)하이닉스반도체 중앙연구소 근무중
주관심 분야 : Si 및 SOI-MEMS

최 성 규
2000 영남대학교(공학사 - 재료공학)
2001 - 현재 영남대학교 대학원 전자공학과 재학중
주관심 분야 : Si 및 SOI-MEMS