

논문 2002-11-1-01

**SOI 구조를 이용한 열전쌍열(Thermopile) 제작**

이영태\*, Hidekuni Takao\*\*, Makoto Ishida\*\*

**Fabrication of the thermopile using SOI structure**

Young-Tae Lee\*, Hidekuni Takao\*\* and Makoto Ishida\*\*

**요 약**

온도 측정이 필요한 다양한 용도의 소자에 응용되고 있는 열전쌍열(thermopile) 제작에 SOI 구조를 응용하여, 특성을 개선하였다. 열전쌍열을 구성하는 저항체가 단결정 실리콘으로, 제벡 계수(seebeck coefficient)가 높은 재료일 뿐 아니라, 실리콘 저항체를 산화막을 이용하여 실리콘 기판과 절연 분리한 구조로 되어있어서, 기존의 이온주입 공정에 의해 불순물을 주입하는 방법으로 제작된 저항체에 비해서 두 접점(hot junction 및 cold junction) 사이의 열 전달을 극적으로 감소시킬 수 있어서 소자의 특성을 개선할 수 있었다. 열전쌍열은 p형 단결정 실리콘 저항체 17개 및 n형 17개를 직렬 연결로 구성했다. 저항체의 길이 1600 $\mu\text{m}$ , 폭 40 $\mu\text{m}$ , 두께 1 $\mu\text{m}$ 으로 제작된 열전쌍열에 빛을 조사하여 소자 양단에 온도차를 발생시키고, 그 때 발생하는 기전력을 측정할 결과 130mV/K의 우수한 특성을 나타냈다.

**Abstract**

In this paper, a thermopile which is applied to wide uses of temperature measuring was fabricated and its characteristic was improved by applying SOI structure to the fabrication. We improved characteristic of the thermopile by using single crystal silicon strips that has high seebeck coefficient and dielectric isolating the silicon strips from substrate with silicon dioxide film which dramatically decrease thermal conductivity between hot and cold junction compared to a silicon strip which was fabricated by ion implantation. The thermopile consists of 17 p-type single crystal silicon strips and 17 n-types by serial connection. The result of electromotive force measuring showed very good characteristic as 130mV/K when temperature difference between the two ends of the thermopile occurs by applying light on the thermopile fabricated with silicon strips of 1600 $\mu\text{m}$  length, 40 $\mu\text{m}$  width, 1 $\mu\text{m}$  thickness.

**1. 서 론**

제벡 효과(seebeck effect)를 이용한 열전쌍열(thermopile)은 온도 센서<sup>[1]</sup>, 비냉각식 적외

선 센서<sup>[2]</sup>, 칼로리미터<sup>[3]</sup> 및 밀리미터파 감지기<sup>[4]</sup> 등 다양한 소자 제작에 응용되고 있다. 실리콘 열전쌍열은 출력 신호가 비교적 크고, 집적회로 제조공정으로 제작이 가능하기 때문에 신호처리 회로와 같은 칩(chip) 위에 집적화가 가능하며, 소자의 크기가 작다는 장점을 가지고 있다. 제벡 효과를 극대화하여 고감도의 열전쌍열을 제작하기 위하여 다양한 재료들을 적용하고 있지만, 소자의 특성 및 실리콘 제작 공정과의 호환성을 고려하여, 확산 저항<sup>[5]</sup> 또는 다결정 실리콘을 이용한 저항체<sup>[6]</sup>가 주로 사용되고 있다. 확산 저항을 이용하는 경우에는 재료가 단결정 실리콘이기 때

\* 안동대학교 전기전자공학교육과 (Electronics Engineering Education, Andong National University)

\*\* 일본 토요하시 기술과학대학 전기전자공학부 (Department of Electrical and Electronic Engineering, Toyohashi University of Technology)

<접수일자 : 2001년 10월 24일>

문에 제백 계수는 높지만, 구조적으로 열 전달이 잘되는 문제점이 있으며, 다결정 실리콘 저항체의 경우에는 단결정을 사용한 소자에 비해 제백 계수가 낮아서 감도가 떨어지는 문제점을 나타내고 있다.

본 논문에서는 SOI(silicon-on-insulator) 구조를 열전쌍열 제작에 응용, 제백 계수 및 열 전달 특성 문제 등을 개선할 수 있어, 소자의 감도를 향상시킬 수 있었을 뿐 아니라 고온용 소자에 대한 선행 연구 등에서 잘 알려진 것과 같이 저항체가 실리콘 본체로부터 절연 층(SiO<sub>2</sub>)에 의해 절연 분리되어 있는 형태이기 때문에 300°C 이상의 고온 분위기에서의 사용이 가능할 것으로 기대된다<sup>(7,8)</sup>. 열전쌍열은 SDB(silicon direct bonding: Si/SiO<sub>2</sub>/Si-sub)웨이퍼<sup>(9)</sup>의 단결정 실리콘 층으로 제작된 17개 쌍의 p-Si/Al/n-Si의 열전쌍으로 구성했다.

## 2. 이 론

열전쌍(thermocouple)은, 잘 알려져 있는 것과 같이 제백 효과를 이용한 소자로, 가급적 제백 계수 차가 큰 두 금속을 접합하여 제작한다. 제백 효과에 의해 발생하는 열전쌍 양단의 기전력은 다음 식과 같이 나타낼 수 있다.

$$\Delta V = \alpha_{ab} \Delta T \quad (1)$$

이식에서,  $\Delta V$ 는 열전쌍 양단에 발생하는 기전력,  $\alpha_{ab}$ 는 금속 a와 b의 제백 계수 차,  $\Delta T$ 는 열전쌍 양단의 온도차이다. 식 (1)에서 알 수 있는 것과 같이, 금속의 제백 계수차가 클수록 온도에 대한 감도가 높아지는 것을 알 수 있다. 열전쌍을 구성하기 위한 다양한 금속 재료들이 알려져 있지만, 제작 공정이 반도체 공정과 호환성이 부족하기 때문에 집적화에 문제가 있다. 따라서, 최근에는 반도체 공정과 호환성이 우수하고, 신호처리회로를 동일 칩에 집적화 가능한 Poly-Si/Al<sup>(6)</sup>, Poly-SiGe/Al<sup>(6)</sup> 및 Si/Al 열전쌍<sup>(5)</sup> 등이 적극적으로 응용되고 있다.

일반적으로 열전쌍은 출력 신호가 크지 않기 때문에, 다수의 열전쌍을 직렬로 연결한 열전쌍열(thermopile)의 형태로 응용하는 경우가 많다. 이 경우에 직렬로 연결하는 열전쌍의 수가

많을수록 출력 신호는 커진다.

Poly-Si을 이용한 열전쌍열은, 질화막(Si<sub>3</sub>N<sub>4</sub>)이나 산화막(SiO<sub>2</sub>) 등과 같은 절연막 위에 CVD(chemical vapor deposition)로 증착된 Poly-Si 박막을 에칭 공정으로 패터닝(patterning)하여 제작한다. 반면에, 단결정 실리콘의 경우에는, 실리콘 기판에 확산 또는 이온 주입에 의한 확산 저항을 형성하여 제작한다. 열전쌍열의 출력 전압은 다음 식으로 나타낼 수 있다<sup>(5)</sup>.

$$V = N \alpha_s R_{th} P \quad (2)$$

이 식에서  $N$ 은 열전쌍 수, 즉 막대 모양의 저항체의 수이며,  $\alpha_s$ 는 제백 계수,  $R_{th}$ 는 열저항,  $P$ 는 열류를 나타낸다. 식 (2)에서, 출력 전압, 즉 감도를 향상시키기 위해서는, 먼저 열전쌍의 수를 증가시키면 출력 전압은 높아지나, 소자의 크기도 같이 증가하는 문제가 있어서, 열전쌍열 설계 시에 파라미터로 사용하기에는 한계가 있다.

제백 계수는 재료에 의한 의존성이 크기 때문에, 재료의 선택이 중요하다. 표 1에 열전쌍 제작에 흔히 응용되는 반도체 재료의 제백 계수를 나타냈다. 제백 계수가 영에 가까운 알루미늄은 기준 전극으로 사용되며, 다결정 실리콘에 비해 단결정 실리콘이 월등히 높음을 알 수 있다. 이것은 제백 효과의 메커니즘을 살펴보면 알 수 있다.

표 1. 제백 계수.  
Table 1. Seebeck coefficient.

Material	Seebeck coefficient ( $\mu\text{V}/\text{K}$ )
Single crystal silicon	300-1000(p-type)
Poly-Si	120-190
Poly-SiGe	136-144
Al	-1.7

반도체의 제백 효과와 관계되는 현상은 온도 변화에 의한, 페르미 레벨(fermi level)의 변화, 밴드갭(band gap)의 변화, 전하의 농도 기울기의 변화, 확산계수의 변화, 포논 드래그

(phonon drag) 현상 등을 들 수 있으며, 특히 열에 의한 캐리어의 운동에너지 변화에 따른 thermo-diffusion 현상(고온 부에서 저온 부로 캐리어가 이동하는 현상)은, 제백 현상을 가장 직접적이며 명확하게 나타내는 현상이다<sup>[5]</sup>. 따라서 반도체의 제백 현상은 캐리어의 농도에 강한 의존성을 나타낸다. 다음 식에 제백 계수를 나타냈다.

$$\alpha_s = \frac{mk}{q} \ln\left(-\frac{\rho}{\rho_0}\right) \quad (3)$$

여기서,  $m \approx 2.6$ 이고  $\rho_0 \approx 5 \times 10^{-6} \Omega m$  이다. 따라서 재료의 저항률  $\rho$ 가 높을수록 제백 계수가 높아지는 것을 알 수 있다. 반도체 공정에서 저항률은 불순물 농도의 조절에 의해 제어 가능하며, 불순물 농도를 낮게 제어할수록 제백 계수는 높아진다.

식 (2)에서 열저항을 크게 하면, 출력 전압이 커지는 것을 알 수 있다. 열저항은 다음 식으로 나타낼 수 있다.

$$R_{th} = \frac{L}{WDk} \quad (4)$$

이 식에서  $L$ 은 구조물의 길이,  $W$ 는 폭,  $D$ 는 두께이며,  $k$ 는 열전도도(thermal conductivity)이다. 따라서 일반적으로 열전쌍열의 열저항을 높이기 위하여, 질화막과 같은 얇은 절연체 diaphragm 위에 길고 얇은 단결정 실리콘 저항체를 형성하거나, 단결정 실리콘을 사용하는 경우에는, 에칭 공정으로 제작된 매우 얇은 실리콘 diaphragm 위에 확산 저항을 형성하는 형식으로 소자를 제작한다. 전자의 경우에는, 열전도도가 비교적 나쁜 얇은 질화막 위에, 길고 얇은 저항체를 형성하는 형식으로 열저항을 높였고, 후자는 확산 공정으로 저항체를 형성해야하기 때문에, 저항체가 형성되는 부분 전체의 두께를 얇게 하여 열저항을 낮추는 형식을 취하고 있다.

본 논문에서는, 고감도의 열전쌍열을 제작하기 위하여 SOI(Si/SiO<sub>2</sub>/Si-sub) 구조를 사용했다. 열전쌍열을 형성할 SOI 구조의 첫 번째 실리콘 층은 단결정이기 때문에, 제백 계수가 높고, 두 번째 SiO<sub>2</sub> 층은 열전도도가 질화막의 1/10배 이하로 극히 나쁘기 때문에, 고감도의

열전쌍열 제작을 기대할 수 있을 것이다.

### 3. 열전쌍열 설계

열전쌍열의 구조를 그림 1에 나타냈다. SOI 구조를 이용한 열전쌍열은, SiO<sub>2</sub> 층위에 에칭 공정에 의해 형성된 막대 모양의 단결정 실리콘 저항체를 알루미늄을 이용하여 직렬로 연결된 구조로 되어있다.

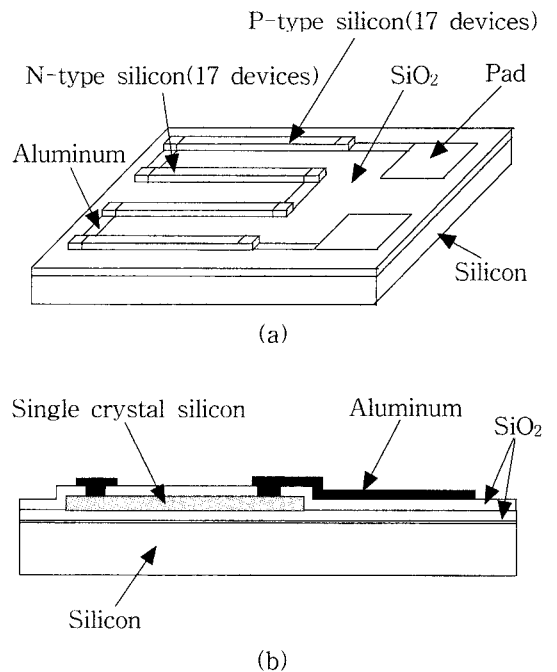


그림 1. SOI 구조를 이용한 열전쌍열.  
Fig. 1. Thermopile using SOI structure.

실리콘 저항체는 p형 17개, n형 17로 구성되어 있다. 열 운동에너지에 의해, 고온 부에서 저온 부로 이동할 캐리어가 p형은 홀(hole), n형은 전자(electron)이기 때문에, 발생하는 기전력의 방향도 반대로 나타난다. 따라서 그림 1(a)과 같은 지그재그 식 연결이 가능하다. 저항체를 형성한 SOI 구조의 첫 번째 층은 단결정 실리콘 층으로 제백 계수가 높은 재료이다. 식(3)에서, 실리콘의 제백 계수는 불순물 농도에 의존성이 강함을 알 수 있다. 본 논문에서는 가급적 높은 제백 계수를 확보하기 위하여 p형 및 n형 실리콘 저항체의 농도를 약  $1 \times 10^{17} \text{ cm}^{-3}$  정도로 제어하였다. 실리콘 저항체의 크기는 제백 계수

및 열저항 등을 고려할 때 가급적 길고, 얇게 설계할 필요가 있다. 본 논문에서는 저항체의 길이를  $1600\mu\text{m}$ , 폭을  $40\mu\text{m}$ , 두께를  $1\mu\text{m}$ 으로 설계했다. 그림 1(b)을 보면, 길고, 얇은 단결정 실리콘 저항체가,  $1.43\text{W/mk}$  정도의 매우 낮은 열전도도를 나타내는 산화막 위에 형성되어 있기 때문에 소자 양단간의 열저항이 매우 높다. 절연체인 산화막에 의해, 실리콘 저항체가 기판으로부터 단열 되어 있기 때문에 열용량이 비교적 작아서, 소자의 응답속도가 빠를 것으로 기대된다. 또한, 저항체가 산화막에 의해 기판으로부터 절연 분리되어 있기 때문에, 고온에서의 측정이 가능할 것으로 생각된다. 확산 공정에 의해서 제작되는 저항체는, p-n 접합의 공간전하 영역에 의해서 저항체와 실리콘 기판을 절연하기 때문에, 약  $120^\circ\text{C}$  이상의 고온 분위기에서는 p-n 접합을 통한 누설전류 때문에 사용이 불가능하나, SOI를 이용한 저항체는 절연 층에 의해 본체와 완전히 절연 분리되기 때문에 누설전류를 극적으로 줄일 수 있어서,  $300^\circ\text{C}$  이상의 고온에서도 사용이 가능하다.

#### 4. 제작 공정

열전쌍열 제작에는 SDB(silicon-direct-bonding) 웨이퍼를 사용하였다. 웨이퍼의 첫 번째 실리콘 층은 저항률  $10\Omega\text{cm}$ , p형이며, 웨이퍼의 두께는 Si( $1.5\mu\text{m}$ )/SiO<sub>2</sub>( $1\mu\text{m}$ )/Si-sub( $525\mu\text{m}$ )이다. 그림 2에 열전쌍열 제작 공정도를 나타냈다. 먼저, 이온 주입 공정의 전 처리 단계로, 드라이 산화(dry oxidation)를 실시하여, 약  $500\text{\AA}$ 의 산화막을 형성했다(그림 2 (b)). 이온 주입의 마스크로는 포토레지스터(negative, 100cp)를 사용했다(그림 2 (c)). p형 및 n형 저항체의 불순물 농도를  $1 \times 10^{17} \text{cm}^{-3}$  정도로 제어하기 위하여, 에너지는  $100\text{keV}$ , 도즈(dose)량은  $1 \times 10^{12} \text{cm}^{-2}$  정도로 이온 주입을 실시하고,  $1000^\circ\text{C}$ 의 산화로에 질소를 주입하면서 2시간 동안 드라이브인 했다(그림 2 (c)). p형 및 n형 저항체를 형성한 후에, 각 저항체를 완전히 절연 분리하여 아일랜드(island)화하기 위하여, RIE(reactive ion etching)를 사용했다. RIE 공정으로  $1\mu\text{m}$ 두께의 실리콘을 에칭하기 위해서는 약 3~5분 정도의 시간이 소요되며, 이 때 마스크로는 60cp 포

토레지스터로 충분했다(그림 2 (d)).

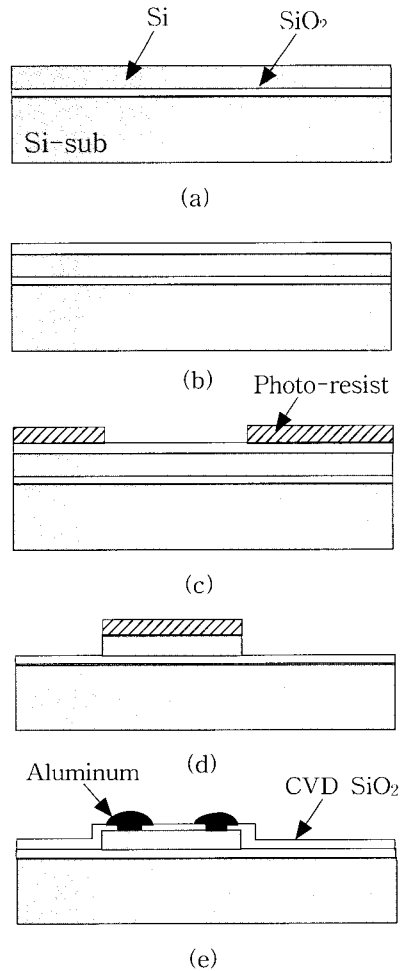
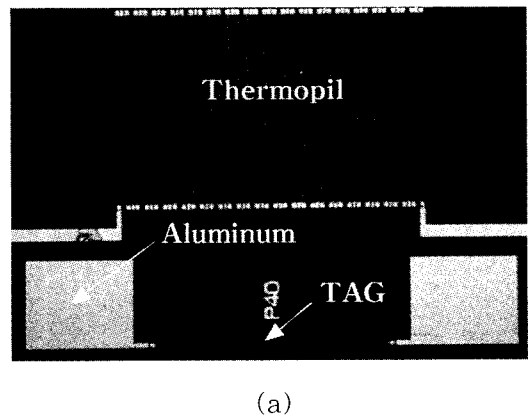
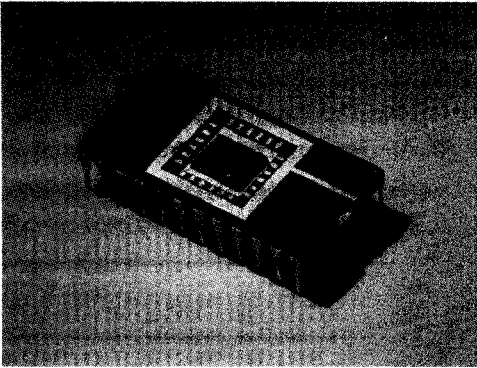


그림 2. 열전쌍열 제작 공정.

Fig. 2. Fabrication process of the thermopile.





(b)

그림 3. 제작된 열전쌍열 사진.  
Fig. 3. Photograph of the fabricated thermopile.

CVD(chemical vapor deposition) 공정으로 약  $1\mu\text{m}$ 의 산화막을 증착하고, 콘택(contact)을 형성한다(그림 2 (c)). 마지막으로 스퍼터(sputter)를 사용하여, 약  $1\mu\text{m}$ 의 알루미늄 전극을 형성했다. 그림 3에 열전쌍열 및 패키지(package)된 열전쌍열의 사진을 나타냈다.

### 5. 결과 및 고찰

제작한 열전쌍열의 열-기전력 특성을 분석하기 위하여, 그림 4와 같이 n형 실리콘 저항체 한 개의 열-기전력 특성을 분석하였다. 측정 방법은 그림 4와 같이 소자의 한쪽 끝단에서 다른 끝단까지 빛을 스캔하면서, 그 때 발생하는 기전력을 측정하였다.

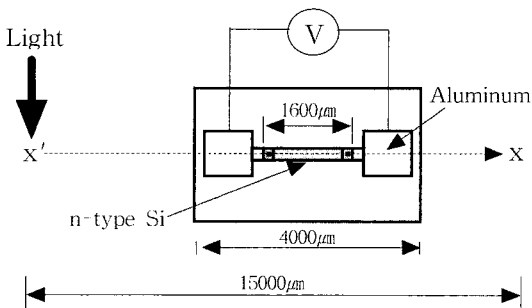


그림 4. n형 실리콘 저항체의 제벡 효과 측정 방법.  
Fig. 4. Measurement method of the seebeck effect of n-type silicon strip.

그림 4와 같이 빛을 조사하여 소자 양단에 온

도차가 생기도록 하고, 빛의 강약을 조절하여 온도차의 크기를 조절하였다. 소자 양단의 온도차는 정밀한 상용 열전쌍(thermocouple)을 이용하여 측정하였다. 그림 4에서, 빛을  $x'$ 에서  $x$ 까지 스캔하면서, 그 때 발생하는 기전력의 측정 결과를 그림 5에 나타냈다. 그림 5에서  $y$ 축은 기전력을,  $x$ 축은 그림 4의  $x'-x$ 에서 빛의 위치를 나타내고 있다.

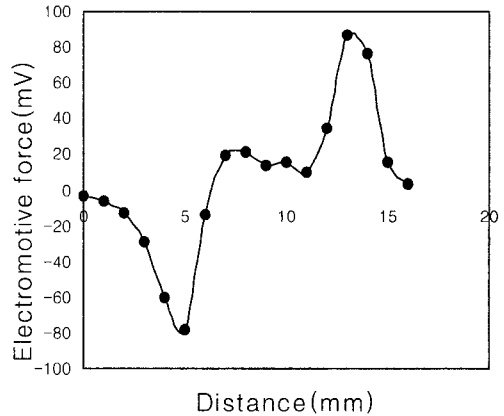


그림 5. 빛의 위치에 따른 기전력 측정 결과.  
Fig. 5. Measured result of electromotive force as a function of a light position.

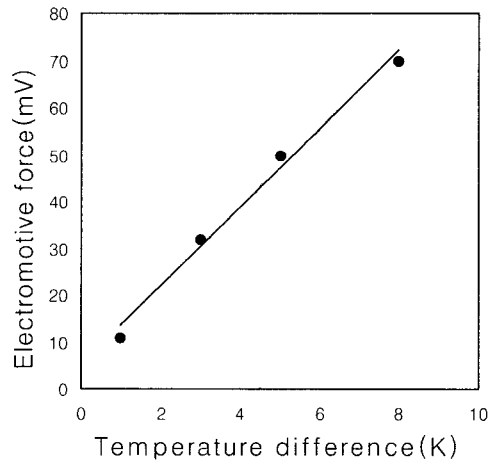


그림 6. 소자 양단의 온도차에 따른 기전력 측정 결과.  
Fig. 6. Measured result of the electromotive force as a function of temperature difference.

그림 5로부터, 빛의 위치에 따라서(그림 4에서 빛의 위치가 소자의 왼쪽 또는 오른쪽) 기전력의

방향(부호)이 반대가 되는 것을 알 수 있다. 빛의 위치에 따라서 고온 부와 저온 부의 위치가 달라지기 때문에, n형 실리콘의 다수 캐리어인 전자의 이동 방향도 바뀐다. 따라서 소자 양단에 발생하는 기전력의 방향도 바뀌게 된다. 그림 6에 소자 양단의 온도차에 따라 발생하는 기전력의 측정 결과를 나타냈다. 그림 4에 나타낸 것과 같은 n형 저항체 한 개에 대해 측정한 결과, 약  $10mV/K$ 의 매우 우수한 특성을 나타냈다. 같은 방법으로 제작된 열전쌍열을 측정한 결과, 약  $130mV/K$  정도의 특성을 나타냈다. 이 결과는, 온도차를 발생시키기 위해 작은 직경의 빛을 사용했기 때문에, 열전쌍열의 고온접합부(hot junction)에 균일한 온도를 가하는 것이 불가능해서, 실제 감도보다 낮게 측정된 것으로 생각된다.

그림 7에 열전쌍열의 응답 특성 등을 분석하기 위한 측정 셋업을 나타냈다. 제작된 열전쌍열 칩 위에 빛을 조사하고, 셔터를 x 방향(그림 7)으로 빛을 차단하면서 통과하게 하여, 그때 발생하는 기전력을 오실로스코프를 이용하여 측정하였다. 그림 7과 같이 셔터가 빛의 일부를 차단하면 열전쌍열의 두 접점 사이에 순간적으로 발생하는 온도차에 의하여 기전력이 발생하며, 빛을 차단하는 셔터의 속도에 따라 그 특성도 달라질 것으로 생각된다.

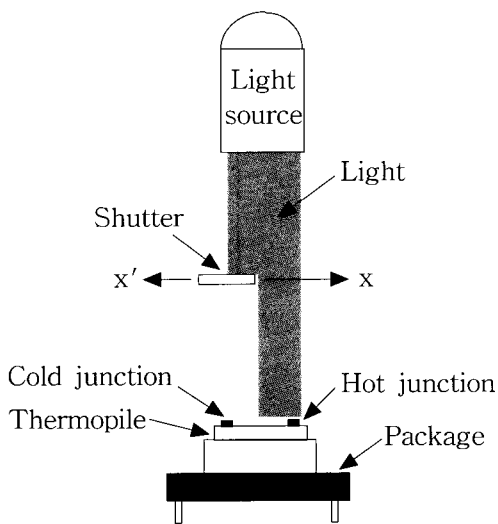
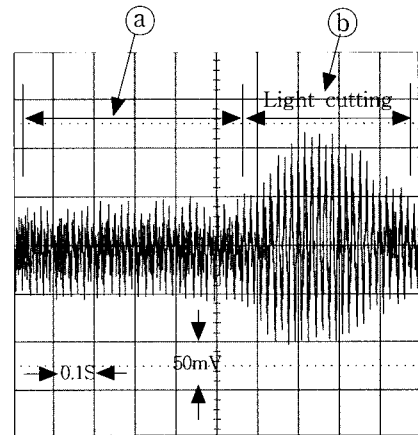


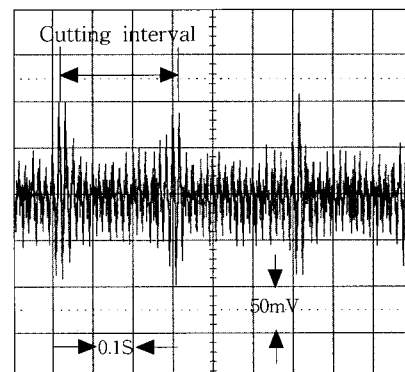
그림 7. 열전쌍열의 응답특성 측정방법.

Fig. 7. Measurement method of response characteristics of the thermopile.

그림 8에 제작된 측정 결과를 나타냈다. 그림 8(a)는 빛을 차단하며 통과하는 셔터의 속도를 비교적 느리게 하여 측정한 결과이다. 그림 8(a)에서 ㉠구간은 칩 위에 빛을 조사한 상태의 출력 특성으로, 주파수가 약 60Hz인 교류신호는 광원의 전원을 일반 가정용 전원을 사용하기 때문에 발생하는 신호이다. 그림 8(a)의 ㉡구간은 셔터를 이용하여 빛을 차단하면서 통과한 구간으로, 빛의 차단 정도에 따라서 신호가 증가하다가 감소하는 특성을 나타냈으며, 피크에서 열전쌍열의 두 접점 사이에 최대의 온도차가 발생했을 것으로 생각된다. 그림 8(b)는 셔터의 속도를 비교적 빠르게 x 및 x' 방향으로 반복하여 통과시키면서 측정한 결과를 나타냈다.



(a)



(b)

그림 8. 열전쌍열 출력 특성.

Fig. 8. Output characteristics of the thermopile.

이상의 결과로부터, 단결정 실리콘 저항체를 산화막을 이용하여, 단열 및 절연한, SOI 구조 열전쌍열의 특성 분석 결과, 고감도이며, 응답속도도 비교적 빠른 것을 알 수 있었다.

## 5. 결 론

SOI 구조를 응용하여 고성능의 열전쌍열을 제작했다. 열전쌍열은 단결정인 p형 실리콘 저항체 17개 및 n형 17개를 직렬로 연결한 형태로 구성되어 있으며, 저항체는 전부 산화막에 의해서 실리콘 기판과 절연 분리되어 있어서, 단열 특성의 개선에 따른 소자의 감도를 향상시킬 수 있었다. 제작된 열전쌍열을 측정된 결과  $130mV/K$ 의 우수한 특성을 나타냈다. SOI 구조 열전쌍열을 이용하여, 온도센서, 칼로리미터 및 적외선 센서 등에 응용한다면 고성능의 센서를 제작할 수 있을 것으로 기대된다.

## 참고 문헌

- [1] T. Berlicki, S. Osadnik and E. Prociow, "Thermal thin-film sensors for r.m.s. value measurements", Sensors and Actuators A, Vol. 25-27, pp. 629-632, 1991.
- [2] S. H. Kong, D. D. L. Wijngaards, M. Bartek and R. F. Wolffenbuttel, "Study of active on-chip cooling using integrated peltier elements", Proc. of The 13th European Conference on Solid-State Transducers, Netherlands, pp. 319-322, 1999.
- [3] A. W. van Herwaarden, P. M. Sarro, J. W. Gardner and P. Bataillard, "Liquid and gas microcalorimeters for (bio)chemical measurements", Sensors and Actuators A, Vol. 43, pp. 24-30, 1994.
- [4] 이대성, 이경일, 장세홍, 황학인, 신상모, 박동국, 민명식, 조영창, "Thermocouple를 이용한 밀리미터파 감지기", 한국센서학회 종합 학술대회 논문집, 제10권 1호, pp. 49-52, 1999.
- [5] A. W. van Herwaarden and P. M. Sarro, "Thermal sensors based on the seebeck effect", Sensors and Actuators, Vol. 10, pp. 321-346, 1986.
- [6] D. D. L. Wijngaards, S. H. Kong, M. Bartek and R. F. Wolffenbuttel, Thermal stabilisation of integrated silicon platforms using polysilicon and SiGe peltier element, Proceedings Transducers '99, Sandai, Japan, pp. 310-313, 1999.
- [7] G. S. Chung, S. Kawahito, M. Ishida and T. Nakamura, "Piezoresistive properties of thin SOI films prepared by SDB and its application to strain gauges", Proc. 11th Sensor Symp., Tokyo, Japan, pp. 153-156, 1992.
- [8] Y. T. Lee, H. D. Seo, M. Ishida, S. Kawahito and T. Nakamura, "High temperature pressure sensor using double SOI structures with two  $Al_2O_3$  films", Sensors and Actuators A, Vol. 43, pp. 59-64, 1994.
- [9] M. Shimbo, K. Furukawa, K. Fufuda and K. Tanzawa, "Silicon-to-silicon bonding method", J. Appl. Phys., Vol. 60(8), pp. 2987-2989, 1986.

---

 著 者 紹 介
 

---

**이 영 태**

1961년 12월 29일생

1989년 영남대학교 전자공학과 졸업(공학사)

1991년 영남대학교 전자공학과 졸업(공학석사)

1995년 일본 토요하시 기술과학대학 시스템정보  
전공 졸업(공학박사)

1995년~1996년 일본 동북대학교 문부교관조수

1996년~현재 안동대학교 전기전자공학교육과  
조교수주관심 분야 : Microstereolithography, 유체  
소자, MEMS 공정, 반도체 센서**Makoto Ishida**

1950년생

1979년 일본 교토대학 전자공학 전공(공학박사)

1979년~현재 일본 토요하시 기술과학대학 전기  
전자공학부 교수주관심 분야 : Heteroepitaxial growth, SOI  
제작 공정, SOI를 응용한 집적회  
로 및 센서**Hidekuni Takao**

1970년생

1993년 일본 토요하시 기술과학대학 전자공학과  
졸업(공학사)1995년 일본 토요하시 기술과학대학 전자공학  
졸업(공학석사)1998년 일본 토요하시 기술과학대학 시스템정보  
전공 졸업(공학박사)1999년~현재 일본 토요하시 기술과학대학 전기  
전자공학부 문부교관조수주관심 분야 : CMOS 스마트 센서, 고온환경용  
집적회로 및 센서, SOI-CMOS  
기술, 미소유체소자