

300mm 장치의 개발 현황 및 향후 방향

박 창 수 | 주성엔지니어링
기술기획팀 차장

E-Mail : csu_park@jseng.com

1. 300mm화 진행 현황

세계 반도체 시장은 2000년까지 꾸준히 성장하였으나 2001년 이후로 그 성장률은 해마다 감소 경향을 나타내고 있으며, 그에 대응하여 반도체 제조 장비 시장도 감소할 것으로 예상되고 있다. 특히, DRAM 위주의 제품 생산에서 고부가 가치 제품인 System LSI등에 대한 투자 전략 전환이 국내외 주요 DRAM 생산 업체들로부터 진행되고 있으나, 세계 반도체산업의 최근 불황으로 인해 300mm 웨이퍼 전용 생산 라인 건설을 위한 신설 투자 재고 또는 투자 억제 형태로 나타나고 있다. 그러나, 300mm 웨이퍼를 이용한 소규모 생산 라인을 신설하여 시험 가동에 의한 문제점 평가와 함께 제품 출하도 일부 업체에서 이루어지고 있다.

현재 8" Process 개발이 완료되어 양산화 준비 단계인 256M DRAM에서는 Chip 수가 70~80개로 감소하고 Logic Device는 절반이 될 것으로 예상된다. 이와 같이 0.35 μ m의 Logic Device 및 0.25 μ m의 256M DRAM 시대에는 200mm에서도 양산화가 곤란하므로 300mm화가 필요하다.

300mm화의 장점은 생산성 향상과 Chip 제조 원가 절감에 있다. 이를 위해 300mm 웨이퍼 제조 장비들이 200mm 웨이퍼 생산용 설비와 동등한 성능 및 생산성의 확보가 요구되나, 균일성 또는 재현성

과 함께 설비바닥면적(Footprint)의 증가나 생산성 저하도 여전히 해결되어야 할 문제이다. 즉, 성능면에서는 CVD와 Etcher 그리고 생산성 측면에서는 Stepper와 이온 주입 설비로부터 개선이 요구된다. 이러한 생산 설비를 이용한 양산 라인의 완전 자동화 구현이 중요한 최종 과제로 남아 있다.

2. 12"화에서 예상되는 기술적 문제와 과제

- 직경이 300mm로 크고 웨이퍼 1장 중량도 134g (두께 825 μ m로 가정)으로 무거워서 반송 및 Handling이 문제
 - 웨이퍼가 커지면서 장치대형화가 예상되므로 소형화하여 Footprint의 최소화가 과제
 - 약품 및 초순수의 효율적인 사용방법 실현
 - 장치의 처리능력 향상을 위해 종래의 Batch형이 아닌 매엽식이나 다른 방식 필요
 - 증착된 막의 두께 분포 및 단차피복성 향상
 - Clean Room 건설, 유지 비용 절감, Clean Room 형태 검토 필요
- 아래에서 각 공정에 대해 300mm화의 문제점과 과제를 소개한다.

(1) 웨이퍼

웨이퍼가 300mm로 커지면서 성막 공정에서 웨

이퍼가 크게 휘는데 이를 억제하기 위해 어느 정도 웨이퍼를 두껍게 해야 한다. 한편 웨이퍼가 두꺼워지면 Slip이 발생하기 쉬워지고 웨이퍼 낭비도 크기 때문에 가능한 한 웨이퍼를 얇게 하는 것이 큰 과제이다 (참조 표 2.1 웨이퍼 문제점과 과제).

표 2.1 웨이퍼의 문제점과 과제

문 제 점	과 제
<ul style="list-style-type: none"> · 넓은 면적에서의 표면 조도와 Warp 확보 · Slip 발생 · 부겁고 크다 · 고 비용 	<ul style="list-style-type: none"> · 안정한 연마기술 확인 · 적절한 두께 선택 · 취급용이 · 비용 절감

(2) 세 정

세정 공정에서는 Bath의 용량이 커지고 장치도 상당히 커질 것으로 예상된다. 8" Carrierless 세정 방식에서는 Bath의 용량이 25 liter, 웨이퍼 간격은 6.35mm이다. 12"가 되면 웨이퍼 간격은 약액의 순환효율을 향상시키고 웨이퍼 상호접촉을 방지하기 위해 적어도 9.52mm 정도로 넓혀야 하므로 세정조가 약 3.5배나 커져서 Footprint가 커진다. 그로 인해 약품 및 순수용량 증대가 문제시된다. 따라서 Footprint를 작게 하기 위해 처리조를 세로방향으로 내장하거나 또는 처리능력향상을 위해 Half-lot 처리장치의 실현 및 약품, 순수의 효율적인 사용방법 확립이 큰 과제가 된다.

(3) 산화 & 확산

산화, 확산 공정에서는 12"화에 따라 석영관의 구경이 350mm를 넘을 전망이므로 웨이퍼 In/Out 시의 공기 혼입이 증가한다. 따라서, Loadlock 방식 도입이 필요하다. 또, 12" 웨이퍼 중량이 134g으

로 증대되어 Slip 발생이 문제되므로 Holder 형상, Wafer In/Out 온도 및 속도 조절이 필요하다. 종래와 같이 100장 처리일 경우 웨이퍼 중량이 8"의 2.6배 정도가 되고, 그 결과 Holder의 강도와 변형이 문제이며 장치도 3.5배를 넘게 된다. 또, 온도안정화시간 및 온도하강 시간이 증대되어 처리시간이 매우 길어지고 Throughput 저하를 초래한다. 이 때문에 Slip Free를 실현하고, 아울러 Throughput 저하를 방지할 수 있는 Loadlock식 반송실을 중심으로 한 여러 개의 산화/확산 Tube를 갖춘 Multi-tube 방식의 Half-lot 처리 장치 채용이 본격화 된다. 표 2.2는 문제점과 과제를 나타낸다.

표 2.2 산화/확산 공정에서의 문제점과 과제

문 제 점	과 제
<ul style="list-style-type: none"> · 공기 혼입 · Slip 발생 · Holder 변형 · 처리시간증대 	<ul style="list-style-type: none"> · Loadlock 방식 · Holder 형상의 최적화 (지지방법 최적화) · SiC Holder 사용 · Half-lot용 Multi-tube 장치 · 강제 냉각

(4) CVD

산화, 확산공정과 마찬가지로 Batch 장치에서는 공기혼입이나 Holder 변형, 그리고 처리시간증대에 따른 처리능력저하가 예상되며 막두께 분포향상문제도 풀어야 할 과제이다.

따라서, Batch 처리에서는 산화, 확산과 함께 25~50장 처리 Tube를 여러 개 갖춘 Multi-tube 방식의 Half-lot 처리장치가 필요하다. 또한, 공정단축을 위해 기상식각과 성장의 조합이나 Doped Poly-Si 성장 등이 필요하다. 매엽처리장치도 많은 공정에서 본격적으로 사용개시 될 것이다. 표 2.3에

표 2.3 CVD 공정에서의 문제점과 과제

문 제 점	과 제
<ul style="list-style-type: none"> · 공기혼입 · Slip 발생 · Holder 변형 · 장치 높이 · 처리시간증대 · 막두께 분포 열화 	<ul style="list-style-type: none"> · Loadlock 방식 · Holder 형상의 최적화 · SiC Holder 사용 · Half-lot용 Multi-tube 장치 · 강제 냉각 · 연속 냉각 · 매엽처리장치

는 문제점과 과제를 나타낸다.

(5) Photolithography

12"시대의 256M DRAM에서는 Excimer Stepper가 채용될 전망으로, Chip 면적이 증대되어도 12"화 함으로써 Chip수가 증대되고 1 Chip 1 Shot 화로 인해 노광 시간이 증가함에 따라 처리능력 저하가 나타난다. 즉, 8" 16M DRAM (126.5mm)에 비해 12" 256M DRAM(276mm)에서는 약 1.5~2

표 2.4 Photolithography 공정에서의 문제점과 과제

문 제 점	과 제
<ul style="list-style-type: none"> · 노광시간 증대 · Chip 면적 증대 · 넓은 면적에서의 균일한 Alignment 정도 확보 · Resist 막두께 분포 열화 · Local Focus 오차 	<ul style="list-style-type: none"> · 노광 강도 증가 · 축소율 1/5에서 1/4로 조정 · Stepping 정도 향상 · Alignment 방법 개선 · 저점도 Resist · Coater의 저속도 회전 · Clean화

배로 노광 시간이 증가할 것이다.

또, Alignment 정확도에 관해서도 한층 더 높은 정도가 요구된다. Resist 도포, 현상에 관해서는 계속 현재의 도포, 현상 방식이 채용되지만, 12"는 8"에 비해 속도가 1.5배이므로 균일한 막두께를 얻기 위해서는 회전수 감소와 저점도화가 필요하다. 표 2.4에는 문제점과 과제가 정리되어 있다.

(6) Dry Etching

대면적을 높은 속도로 균일하게 제거하는 식각 기술이 필요하다. 이를 실현하기 위해서 균일한 고밀도 Plasma 발생이 필요하고 웨이퍼의 균일한 냉각과 가열이 요구된다.

또한, 종래 Clamp 방식에서는 균일성이 불안정해서 Edge 부분의 Plasma의 불균일성 문제나 Clamp 부분사용불가 문제가 있고 Particle 발생도 가능하다. 이로 인해 정전 Chuck (ESC | Electrostatic Chuck) 방식이 주류를 이룰 것이며, Chamber가 커지면서 Gas 유속이 느려지고 반응생성물 부착이 용이해지므로 이에 대한 대책 수립이 필요하다. 문제점과 과제는 표 2.5에 요약되어 있다.

표 2.5 Dry Etching 공정에서의 문제점과 과제

문 제 점	과 제
<ul style="list-style-type: none"> · Etch Rate 저하 · 냉각, 가열 불균일 · Clamp 영역이 큼 · 반응 생성물 부착 	<ul style="list-style-type: none"> · 고밀도 Plasma Etching · 정전 Chuck(ESC) 도입 · Cleaning 방법 개선 · 배기능력 증대

(7) 이온 주입

중전류 이온주입기에서는 매엽처리 하고 있으나 대구경화를 위해서는 8"와 같이 웨이퍼 중심과 주변에 동일각도로 주입할 수 있는 Parallel Scan 방식

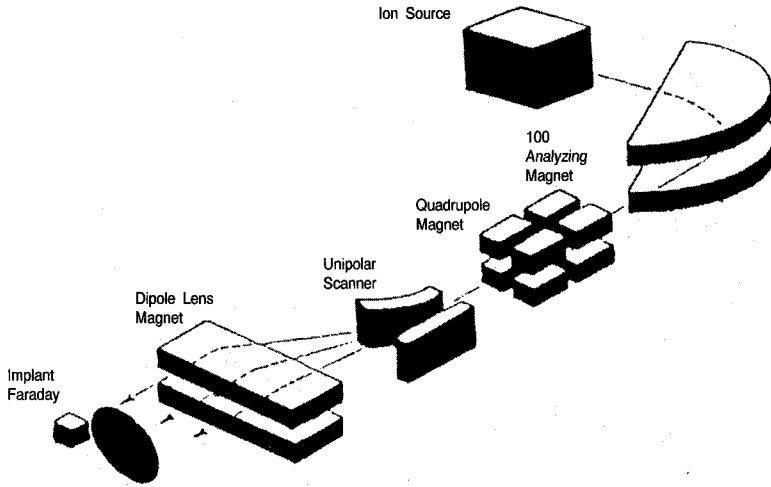


그림 1. Parallel Beam Scan System 구조도(ASM-220)

(그림 1)이나 대전류화가 필요하다. 고전류기는 Batch식으로 처리하므로 12"에서도 계속 적용될 수 있다. 매엽식에서는 이온수/단위면적 & 단위시간이 현재의 수 배가 되는데, 현재 개발된 Plasma Flood Gun을 사용하면 매엽식에도 대응 가능할 것이다.

(8) Physical Vapor Deposition

12"에서는 8"에 비해 웨이퍼 중심과 주변의 단차 피복성(Step Coverage)차가 더 커질 것이므로, 단

차피복성 자체도 불량해질 것이다. 따라서, 단차피복성을 개선할 수 있는 PVD 방식이 바람직하나 증착 기술 자체의 한계로 인해, CVD-Ti/TiN과의 조합과 나아가서 CVD-W/Etch-back 이외의 평탄화 기술도 필요하다 (표 2.6 PVD 공정에서의 문제점과 과제).

표 2.6. PVD 공정에서의 문제점과 과제

문 제 점	과 제
· 불균일한 단차피복성	· 중심 및 주변에서의 균일한 입사각도를 갖는 방식 확립(Slit 방식...)
· 단차피복성 저하	· CVD와 조합
· 냉각/가열의 불균일	· 2~3mm에서 고정 방법 확립
· 넓은 Clamp 영역	· 고밀도 Plasma Etching
· Etch Rate 저하	

3. Device 제조 기술 및 Line 구성

12"가 사용되는 256M DRAM에서는 공정수가 150 이상이 되어 양산중인 64M/128M에 비해 증가한다. 이러한 경우 수율 감소가 발생 가능하므로 연속처리나 높은 생산성이 필요하고 Logic 제품에서는 배선층이 5~6층 또는 그 이상이 되기 때문에 CMP를 포함한 평탄화 기술이 요구된다.

이와 함께 Particle 발생이 없는 공정을 확립하도록 지속적인 공정 및 장치 개선이 진행되어야 한다.

Device 시작 Line에서는 소량의 웨이퍼에서 설

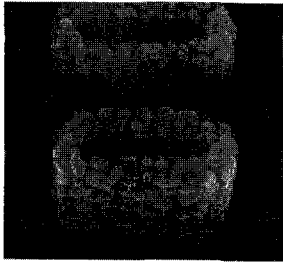


그림 2. HSG Cylinder Cell

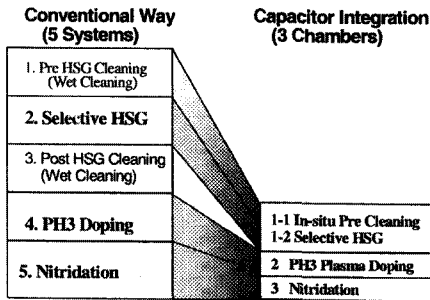


그림 3. Cluster화를 따른 비용 절감

계의 문제점을 조기에 발견하여 개선하는 매엽처리 장치를 주로 한 Line 구성이 채용될 것이다. 그러나, 제조 Line에서는 양산이 목적이므로 공정단축과 처리속도 향상을 도모할 수 있는 매엽처리장치 및 매엽화를 토대로 Cluster(Multi-chamber)화 하며, Multi-tube 방식의 Half-lot 처리 장치를 조합하여 구성될 것이며 저Particle화 및 균일성이 항상 안정적인 확보가 선행되어야 한다. 그림 2 & 3은 HSG를 사용하여 Capacitor를 제작할 때의 Storage Node상의 HSG 형상과 필요한 전후 공정을 in-situ Cluster System 적용시 얻어지는 설비 투자 비용 감소 효과를 나타낸다.

4. Process 개발 동향

직경이 300mm 및 그 이상의 웨이퍼를 사용하여

180 μ m 이하의 가공 사이즈를 가진 ULSI Device 실현을 위해서는 공정의 완전 균일성, Device의 고속 동작 성능 실현 및 미세 가공 기술의 확립이 요구된다. 특히, 웨이퍼 크기가 대구경화 됨에 따라 반도체 제조 공정은 Batch에서 매엽식으로 이행되기 때문에 고속 공정이 요구된다. 그러나, 고온 공정에서 대구경 웨이퍼를 고속으로 온도 상승하강 시킬 경우 공정의 완전 균일성은 확보할 수 없다. 미세한 공정 온도의 불균일이 결정적인 Device 특성 산포에 직결되며, 초미세 Device를 실현하려면 재확산에 따른 Dopant Profile의 변동도 없어야 한다. 아울러, Device 심장부에 금속 영역을 갖는 것이 초고집적 회로의 초고속 동작을 가능하게 할 수 있다. 따라서, 모든 공정의 완전 저온화 확립이 ULSI Device 실현의 열쇠인 것이다.

저유전막(Low-k)과 고유전막(High-k)등의 신 재료 기술 개발은 현재 가장 중요한 연구 항목이다. 그 개발을 위하여 주변의 Lithography, 박막형성 기술, 가공기술의 개발과 함께 장비의 완성도 향상이 이루어 지고 있다. 저유전/고유전막등의 재료기술은 소위 Process Integration 그 자체이고, 많은 기본 공정들이 복합화된 Module 기술이므로 주변의 많은 공정 및 재료 기술의 개발도 동시에 진행되어야 함을 의미한다[참조 그림 4].

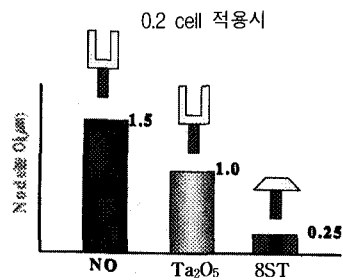


그림 4. 고유전 물질(High-k)에 따른 Capacitor 구조 변화

5. 300mm/0.13 μ m 대응 반도체 제조 설비 개발 동향

최근의 반도체 제조장비 동향은 300mm화 및 Module화를 중심으로 하여 진행되고 있다. 또한, Stepper 제조업체가 Developer 혹은 CMP 장비 업체와 협력 관계를 도모하는 기술 집약화가 계속되고 있다. Cu, 저유전막, CMP등에 새로운 원리를 기본으로 한 장비가 등장하기 시작하여 장비에서 공정 및 재료기술의 중요성이 다시 한번 인식되기 시작하고 차별화와 다양화의 시대에 진입했다. 단지 이전과 다른 것은 차별화 및 다양화의 주체는 장비 및 재료 업체측의 일이라는 것이다.

IC의 개발·제조공정 과정 중에 실리콘 기판상에서 진행되는 기본 공정 기술을 요약하여 정리하면 다음과 같다:

- + 표면/계면 처리기술
- + 산화(Oxidation) 기술
- + 불순물 도입 기술
 - 열화산(침전) & 드라이브 처리
 - 이온주입(주입 및 열처리)
- + 박막 형성 기술
 - 물리기상증착(PVD)
 - 화학기상증착(CVD)
- + Lithography
 - Photo Resist에 Pattern 전사
 - 건식 식각(Dry Etching)

5.1 표면/계면의 Ultra-clean화 처리/세정 기술

IC Pattern의 미세화와 처리공정 수의 증가에 따라 Particle, 금속불순물, 자연 산화막과 같은 오염물에 의해 반도체 장치의 성능 및 신뢰성에 악영향을 준다. 완전히 Clean한 기판표면이야말로 고성능

장치 구현을 위한 제 일단계 공정이다. 예를 들면 처리방법으로 화학적방법(약품), 물리적방법(스퍼터링, 플라즈마 처리), 그리고 기계적방법(Scraper) 등이 있으며 건조법에도 여러가지 방법이 있다. 이것들은 세정하여 제거할 대상물의 종류에 따라 구분하여 사용한다. 또한, 세정하는 기판상태(실리콘, 산화막,)에 따라서 세정방법의 차이가 생긴다. 예컨대 매우 얇은 접합(Shallow Junction)이나 MOS Device특성을 좌우하는 게이트 산화막 증착전 표면처리방법 등과 같이 세심한 주의가 요구되는 공정들이 많다. 통상적인 표면처리방법은 약품 사용에 의한 세정과 수세 그리고 건조의 과정이 포함되는 복합화된 공정이라고 할 수 있다.

Si 표면의 금속이나 유기물을 제거하기 위해서는 산화환원전위가 큰 용액에 의해 금속이나 유기물로부터 전자를 빼앗아 산화함으로써 금속을 이온화해서 용액 중에 용해 시키거나, 유기물을 분해할 필요가 있다. 산화환원전위가 큰 황산/과산화수소 수용액이나 염산/과산화수소 수용액은 이 때문에 사용된 것이다. 표면 흡착 입자를 제거하기 위해서는 기판표면과 입자가 동극성 Zeta전위를 나타내고, 기판표면이 약간 식각될 필요가 있다. 제작중인 Si 기판 표면은 Si 이외에 SiO₂, Si₃N₄, Al합금이나 Photo Resist등으로 덮여 있고 흡착 입자의 재료도 다양하다. 이런 모든 재료가 동극성 Zeta 전위(음)를 나타내는 것이 알카리 용액이다. 이 때문에 Si 표면의 식각 능력을 갖는 암모니아/과산화수소 용액이 입자 제거용으로 사용되어 왔다.

Si 기판상에서의 오염원은 환경/사람/재료/장치로 크게 나눌 수 있는데, Clean Room 청정도 향상, Operator의 소수화, 용액초순수 등의 고품질화에 수반해서 장치로부터의 오염이 문제시되고 있다. ULSI 제조는 금속이나 절연막 등의 박막을 Si 기판 전면에 형성한 후 필요한 Pattern만을 남기고

표 5.1 300mm 대응 세정 장비 개발 방향

장 비	Batch식			매엽식
	다 조	One Bus	Spray	-
응 용	전 세 정 후 세 정	전 세 정	전 세 정 후 세 정 CMP후세정	전/후세정 CMP후세정 이면세정
과 제	상호 오염	약액 절약		Throughput
	Footprint			

식각하는 공정의 반복이다. 따라서, 각 공정 전후에는 Si 기판상의 각종 오염을 제거하기 위한 세정 공정이 필요하며 이때 얻어지는 Ultra-clean 웨이퍼 표면의 조건이 다음에 나타나 있다:

- (1) Particle 오염 방지
- (2) 금속 오염 방지
- (3) 유기물 오염 방지
- (4) 수분 흡착 방지
- (5) 자연산화막 방지
- (6) 원자 Scale에서 표면 요철 무
- (7) 표면이 완전히 수소로 포획될 것
- (8) 대전하고 있지 않을 것

현재 일반적으로 사용되고 있는 세정방법은 과산화수소를 토대로 한 용액에 의한 습식세정방법(RCA 세정)을 바탕으로 구성되어 있다.

일 예로 H_2SO_4/H_2O_2 (SPM) 세정은 유기물을 산화해서 제거하는 공정으로, Resist 제거에 필수이며, NH_4OH/H_2O_2 (APM) 세정은 주로 입자 제거에 사용되며, HCl/H_2O_2 (HPM) 세정은 금속 오염을 제거하는 공정이다. Si 표면의 중금속 오염은 그대로 Device 불량으로 이어지기 때문에 금속오염 제거는 특히 주의를 요하는 공정이다. HF/H_2O (DHF) 처리는 자연산화막을 제거함과 동시에 Si 표면을 수소 포획하는 작용도 한다.

장기간에 걸쳐 반도체 제조에 사용되어 온 RCA 세정방법이긴 하나 전술한 Ultra-clean 웨이퍼 표면의 8가지 조건을 모두 만족하는 것은 아니다. APM 세정에서는 원자 Scale의 표면요철 증가가 확인되고, HPM 세정 후의 표면에는 Cu 등의 금속 부착이 일어나기 쉽다고 한다. 또한, RCA 세정공정은 대부분 고온하에서 이루어지기 때문에 증발에 의한 액 조성 변화가 현저해서 조성을 항상 주시하여 증발에 의해 감소한 약액을 첨가하는 실정이다. 한편 증발 성분을 Clean Room 밖으로 배기하기 때문에 고정정 Clean Room내 공기도 대량 배기해야 하므로 Clean Room 운전 비용에 영향을 미치고 있다.

Resist 식각 공정을 제외하면 오염된 웨이퍼라고 해도 오염량은 극미량이며, 이와 같은 불순물 제거에 고온에서 원액에 가까운 약품을 사용한 세정 적용은 무리이다. 이제부터의 습식처리기술 및 장치는 처리 성능 고도화, 분위기 제어력 향상, 사용 약품의 저농도화, 초순수 사용량 감소, 실온 공정을 실현하면서 RCA 세정 방식에서 탈피하여 Ultra-clean Si 표면을 만들고자 한다. 따라서, 각각의 공정별로 요구 조건을 토대로 처리수준의 고저 및 처리량과 집중처리(Off-line), 분산처리(In-line), In-situ 처리(In-line)와 같은 방식중에서 선택됨에 따라 대형다조식, 소형단조식, 매엽식 세정장치로 나누어진다.

표 5.2 300mm/0.13 μ m 대응 산화/확산/Anneal 장비 개발 방향

장 비	산 화 / 확 산		매 업 식
	응 용	극박 Gate Ox.	선택 산화
박막산화막(<2nm) SiON화		Poly Metal Gate 신뢰성 개선(Etch Damage 복구)	불순물 활성화 & 저 Thermal Budget 양립
과 제	고온승강온>50 $^{\circ}$ C/min. 입출로시 분위기 제어		고온역 시간 단축 온도분포 균일성
	Slip 제어		

표 5.1에는 300mm 대응 세정 장비 개발 방향이고 해결되어야 할 과제를 나타낸다. 기본적으로 종래 방식을 기본으로 한 개량으로 대응한다. 신재료나 새로운 약액개발 등의 유연한 대응도 하기 쉽고 Cross Contamination의 염려가 적다는 것도 있어 One Bus나 Spray식이 증가하는 경향이다. 미세화에 따라 물반점도 엄격해지기 때문에 건조도 중요한 과제이지만, 말랑고니형 IPA건조가 효과적으로 정착되어 간다.

300mm화의 과제로서 Footprint와 약액량의 저감이 요구되므로, Batch식의 다조에 있어서는 Wafer Pitch를 1/2로 함으로써 약액조의 소형화와 함께 전체 Footprint의 축소를 도모한다. 이와 함께 Batch식과 매업식 모두 표면 및 이면의 Particle 개선이 지적되고 있어 개선이 요망된다.

5.2 열처리(산화, 확산로, RTP)

300mm/0.13 μ m 대응 산화/확산/Anneal 장비 개발 방향이 표 5.2에 나타나 있다. Gate 산화막의 박막화와 SiON화, 얇은 접합의 저 에너지 주입 후의 TED(Transient Enhancement Diffusion)의 제어, 그리고 DRAM 공정에서 도입되는 Poly Metal (W/WN/Poly-Si) Gate의 Gate 산화막의 신뢰성

향상이 강하게 요구된다.

2nm 이하의 극박 Gate 산화막이나 SiON화에 있어서, Gate 산화전의 자연산화막이나 입출로에 생기는 산화막의 존재는 무시할 수 없는 인자가 된다. 이 문제에 대응하여 대표적인 기술로서 고속승강온, 입출로시의 분위기 제어를 도입한 Batch식, Mini Batch식 산화/확산로가 개발되어 왔다. 또한, Poly Metal Gate의 식각시의 Damage등에 기인하는 Gate 산화막의 신뢰성 저하를 개선하기 위하여 선택산화 공정이 개발되고, 이에 대응하는 수소/수증기 분위기 제어기구가 부착된 산화/확산로도 개발되고 있다.

RTP(Rapid Thermal Processor) 장비에서는 Transistor의 미세화에 따른 얇은 Source/Drain 접합과 TED 제어를 실현(불순물 활성화와 저 Thermal Budget의 양립)하기 위하여, 스파이크 Anneal이 개발되었다. 고온역의 시간단축과 웨이퍼 면내의 온도분포의 균일성 확보가 과제이다. 이와 함께 열처리장비에서 300mm화의 공통과제의 하나는, 웨이퍼의 대구경화에 따른 Slip 발생 확률의 증가이다. 산화/확산로에서 보트의 웨이퍼 지지 방법, RTP 장비에서는 웨이퍼의 보존 방법을 주제로 개선이 진행되고 있다.

표 5.3 300mm/0.13 μ m 대응 이온 주입 장비 개발 방향

장 비	고 전 류		중 전 류	고에너지
응 용	저 에너지	선택 산화	-	-
	Pre-amorphous S/D Extension S·D Conduct	Gate 전극	Vt 제어 Pocket 주입 Punch Through 억제	Well 주입
과 제	고온승강온>50 $^{\circ}$ C/min. 입노출시 분위기 제어		고온역 시간 단축 온도분포 균일성	-
	Slip 제어			

표 5.4 300mm/0.13 μ m 대응 FEOL용 CVD 장비 개발 방향

장 비	열 CVD					HDP-CVD	
	LP-CVD			AP-CVD			
응 용	반도체막	Gate 절연막	Capacitor	STI	PMD	STI	PMD
	Poly-Si α -Si	SiO ₂ Si ₃ N ₄ SiON	Si ₃ N ₄ Ta ₂ O ₅	SiO ₂	BPSG	SiO ₂	PSG
과 제	-			매립성 / 평탄성			
	균 일 성						

5.3 이온 주입

0.13 μ m Device에서 높은 포화 전류와 Short Channel 효과가 억제된 고신뢰성의 Transistor를 얻으려면, 고전류에서 저가속 에너지 주입과 낮은 Thermal Budget의 RTP에 의하여 TED가 억제된 얇은 접합이 필요하다. Vt 제어나 Punch Through 제어 등의 Channel 주입에도 정도가 높은 중전류의 주입이 요구된다. 혼재 공정에서는 고 에너지 주입에 의한 Triple Well 형성이 요구되며 이에 대하여 주입 정도(균일성), Throughput, Energy Contamination, charge-up 등의 과제를 미세화와 300mm화의 동향에 맞추어서 해결, 실용화를 하려고 한다. 특히, 300mm화의 과제로서 성능에서는 주입분포의 균일성, 생산성에서는 Throughput이 중요하다. Throughput은

웨이퍼 반송을 포함한 종합적인 관점에서의 개선이 필요하다. 그 외로서, 얇은 접합이나 Pre-amorphous 를 주입하는 신 Dopant(In, Sb, Ge)의 실용화, Total Cost 저감을 꾀하는 Well 형성에서 Gate 전극 Dope 까지 넓은 주입영역을 종래보다 적은 2 종류로 커버하는 제안이 있다.

5.4 CVD (FEOL(Front End Of Line) 공정)

표 5.4는 Metal 증착전의 CVD 장비와 해결 과제를 나타내는데, 미세화의 발전에 따라 0.13 μ m 세대의 STI(Shallow Trench Isolation) 및 PMD (Pre-metal Deposition)도 Aspect비가 증대함에 따라 대응하는 AP-CVD(Atmosphere Pressure-CVD), HDP-CVD(High Density Plasma-CVD)

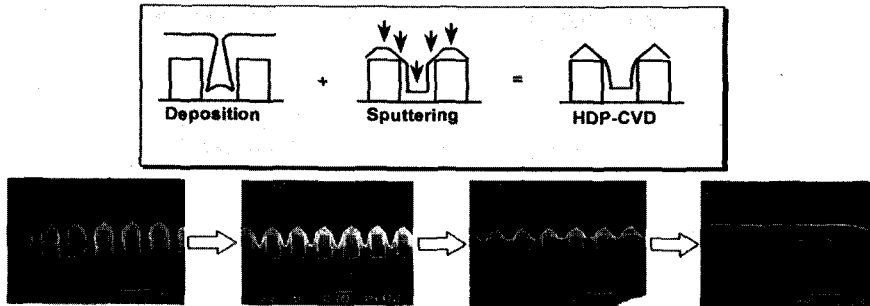


그림 5. HDP-CVD Gap Fill 원리 및 과정 도해

표 5.5 300mm/0.13 μ m 대응 CVD(BEOL 공정) 장비 개발 방향

장 비	PE-CVD		SOD
	ILD (k>3)	ILD (k<3)	Spike Anneal
응 용	SiO ₂ , SiN, PSG, SiOF계	SiOC계	PAE계 HSQ계 MSQ계
과 제		재료 성능향상(기계적 강도, 열적안정성 등) Integration화 과제해결(Etching, 세정 등)	
		균일성	

에는 높은 매립성과 평탄성이 요구된다. 그리고, PMD용으로 Thermal Budget의 저감을 위하여 저온화도 요구된다.

반도체막(Poly-Si, -Si), Gate 절연막, DRAM의 Capacitor용 절연막 모두 Device의 미세화에 따라서 박막화 하기 위하여, LP-CVD에는 증착막 두께의 제어성이나 균일성의 높은 정확도가 요구된다. 또한, LP-CVD, AP-CVD, HDP-CVD(참조 그림 5)에 있어서 매엽식 또는 Batch식으로 300mm화하는 데는 문제가 없다.

그러나, 웨이퍼 면내 및 웨이퍼 간의 증착막 두께

의 균일성과 증착시 부산물에 의한 Particle 등은 해결되어야 한다. 최근에는 소자 크기의 초미세화에 따라 단차피복성이 우수하며 박막의 두께 조절을 극미세 수준으로 조절할 수 있는 ALD(Atomic Layer Deposition) 기술에 대해, 생산성 개선을 위한 증착 방법 변경에 의하여 차세대 박막 증착용 기술로 부가되고 있다.

5.5 CVD (BEOL(Back End Of Line) 공정)

표 5.5에는 300mm/0.13 μ m Device에 대응하는 BEOL CVD와 SOD(Spin-On Dielectric) 장비와

표 5.6 300mm/0.13 μ m 대응 Metallization 장비 개발 방향

장 비	PVD		CVD		EP
	전극계	Hole계	전극계	Hole계	
응 용	Al 배선 : AlCu, AlSiCu Gate/Contact : TiSi ₂ , CoSi ₂ , WSi ₂ , W/WN	Barrier : Ti/TiN, Ta/TaN Seed : Cu	Cu 배선 Gate/Contact : TiSi ₂ , CoSi ₂ , TiSi ₂ , W/WN	Plug : W, Cu Barrir : Ti/TiN, Ta/TaN	Cu 배선
과 제	Coverage, 균일성		매립성, 균일성		매립성, 균일성

과제를 나타낸다. Cu와 비유전율 3이하의 Low-k의 본격적인 도입으로, 0.13 μ m 세대의 ILD (Inter-level Dielectric)을 형성하는 장비의 흐름에 변동이 일어나려고 한다. 비유전율 3이하의 Low-k로서 SOD 장비에서 형성하는 유기/무기 도포형 재료가 유망하고, 선행 Device Maker에서 채용하려는 단계이다.

SOD 장비 자체는 Lithography 분야 기술의 전용이 되기 때문에 완성도는 기본적으로 높아서 실용화 단계에 진입했다. 도포 후 Cure를 하는 Bake 노의 내장화에 의한 생산성의 개선이나 도포량의 삭감에 의한 재료 비용의 감소 및 300mm화에서 엄격해지는 도포막 두께의 균일성 확보가 남겨진 과제이다. 그러나, ILD 전체로서 본다면 Cu, Low-k의 Total Process Integration의 기술과제 쪽이 해결되어야 한다.

PE-CVD 장비는 종래의 Al 배선과 SiOF 계가 조합된 ILD와 새로운 Cu의 비유전율을 3 이하의 Low-k인 SiOC계의 조합으로 ILD에 응용이 필요하다. 종래의 조합에서는 미세화에 따라 Aspect Ratio의 증대와 Thermal Budget 감소의 요구가 있으므로, 매립성이나 평탄성의 향상, 그리고 저온

화 공정이 필요하다. Cu, Low-k의 조합에서는 Damascene 배선이 되기 때문에 미세가공에의 대응과제에 대신하여, PE-CVD에서 성막하는 SiOC계의 막질이나 Etch Stopper층과의 과제가 대두된다. 장비의 완성도는 기본적으로 높지만, CVD 장비공통의 기본성능(막 두께 균일성, Particle 등)이나 생산성의 향상은 계속 진행되어야 한다. Low-k막의 증착 후 Etch Stopper막도 연속처리하는 장비를 제안하기도 한다. 종래부터 있던 Resource를 계승한다는 관점에서, 본래 공정으로 간주되므로 실용화를 위한 과제해결이 시급하다.

5.6 Metallization(PVD, CVD, EP)

표 5.6에는 300mm/0.13 μ m 제품에 대응할 Metallization(PVD, CVD, Electroplating) 장비와 과제가 있다. Metallization은 Cu, Low-k 도입에 의하여, BEOL의 CVD, SOD 장비와 마찬가지로 큰 변화가 일어났다. 특히, CVD에 의한 Cu 배선형성까지 당분간 시간이 걸리는 일도 있어, 전기 도금(EP)으로 Cu Dual Damascene을 실현하여, 양산화에 들어간 것이 새로운 시장을 형성해 가고 있다. PVD는 기존의 Al과 W Plug의 배선이나 Dual

표 5.7 300mm/0.13 μ m 대응 CMP 장비 개발 방향

장 비	CMP			
	응 용	층간막(PMD, ILD) 평탄화	STI 평탄화	W Plug
	SiO ₂ , BPSG, FSG	SiO ₂	W Plug Ti/TiN Barrier	Cu Ta/TaN Barrier
과 제	-	고정정성	1 Step화	-
Through, 가공정도(균일성), 제어성, 연마제 절약				

Damascene에 있어서, Barrier 및 Seed막 형성에 필요한 도구이다. 이에 대해서는, 지금까지 사용되어 온 IMP(Ionized Metal Plasma), LTS(Long Throw Sputter), Collimation 등의 회사별 Sputtering 방식의 개선이 지속적으로 요구된다.

CVD 장비는 기존의 Hole계의 Plug 형성이나 Barrier 증착시에 PVD와 미세화에서 엄격해진 만큼의 단차피복성의 균일성 향상이 요구된다. Cu의 층간절연막 내의 흠을 CVD에 의한 매립은, 아직 개발단계이기 때문에 시간을 요한다. 최대 과제는 Precursor의 용도가 불분명하지만 Cu 배선의 미세화를 유지하기 위해서라도 빨리 개발되어야 한다. Cu Dual Damascene 공정 대응장비에 관련된 특징 중의 하나로는, 1개사 또는 여러 업체의 Alliance로 Low-k 층간막 증착에서 Etching, Seed막, Barrier 형성, 도금, CMP까지를 Total Solution으로 제공하려는 경향이 보이고 있다.

5.7 CMP(Chemical Mechanical Polishing)

표 5.7에는 CMP 설비 적용 분야 및 해결되어야 할 과제가 나타나 있다. 0.35 μ m의 층간막이나 W Plug의 평탄화 보다 양산 라인에 온 CMP 장비는,

STI 평탄화, DRAM에의 적용과 확대를 계속하여, Dual Damascene에서 더욱 큰 시장을 얻으려 한다. 제 1세대의 격리된 방에서의 매엽식 1 플라틴, Wet Out장비에서, 2세대의 생산성과 사용성을 향상시킨 복수 Head 및 복수 플라틴, Dry In/Dry Out으로 진화하고, 제 3세대기의 위치를 결정하는 300mm화에도 대응하는 기종이 각사에서 나오고 있다. 특히, 벨트식 연마방식이 새로운 지위를 확립하고 있다.

공통과제는 가공정도(평탄성과 균일성)과 생산성 향상으로, 미세화의 진전에 따른 요구 수준이 오르는 것에 대응해야 한다. 이에 대하여 Total 취급 (Slurry, Pad, Wafer 보존기구, 가압기구, 종점 검출방식, 연마방식, Mask Pattern Layout의 최적화 등)으로 개선을 시도할 필요가 있다. Metal CMP는 Metal 이외의 Barrier막이나 층간막도 연마의 대상이 되므로, 이런 것을 한번 연마할 수 있도록 연마 Step수의 감소도 오랜 기간의 검토 과제이며 연마제의 사용량 감소도 해결되어야 할 문제이다.

5.8 Lithography

노광장비로서는 금년에 각 사에서 판매되는 High NA(>0.75)의 KrF Scanner, 또는 ArF

표 5.8 300mm/0.13 μ m 대응 Lithography 장비 개발 방향

노광 장비	KrF Scanner 초해상기술 (0.248 μ m)	ArF Scanner (0.193 μ m)
Resist	화학증폭형 Posi Resist (페놀계 폴리머)	화학증폭형 Posi Resist (지환계 폴리머)

Scanner가 있다. KrF Scanner의 경우는 OPC (Optical Proximity Correction)나 윤대조명 및 Halftone이나 위상 Shift Mask 등의 초해상기술의 사용이 필수적이다. ArF의 경우는 Resist의 실용화 레벨의 완성도 향상을 서두를 필요가 있다. 또한, 어떤 노광장비를 선택하느냐에 따라 i-Line 노광장비와의 Mix & Match가 된다. 300mm화의 과제는 Shot수의 증가에 따라 생산성 문제로, 하나의 대책으로서 Reticle Size의 확대가 검토되고 있다.

Resist 도포/현상장비는 200mm의 Scale-up 장비에 있어서, Linear Scan 방식이나 유기용제

Pre-wet 방식채용에 의하여 도포막 두께 및 현상 Size의 Wafer면 내의 균일성, Resist 절약화라는 과제를 극복하여 완성도는 높다. 더구나, Resist 절약을 노린 새로운 Concept(Scan 도포 방식)의 제안도 있지만 실용화까지는 시간이 요할 것으로 생각된다.

5.9 Dry Etching & Ashing

미세가공이 발전됨에 따라 가공 Size, 정도의 난이도가 높아짐에 따라 식각의 대상재료가 바뀌는 새로운 개발과제가 발생한다(표 5.9). 새로운 식각 대상 재료는 Gate Etching에 있어서 Poly Metal (W/WN/Poly-Si), Cu 배선 도입에 따르는 Low-k 재료를 들 수 있다.

산화막 식각은 Contact Hole계의 미세화에 맞추어 식각의 Scaling이라고 할 수 있는 고 Aspect비, 고정도의 Trend 유지가 요구되고 있다. 특히, SAC 식각에서는 SiN 두께 선택비와 미세 Hole의 초과성 확보의 양립이 큰 과제이다(그림 6).

Gate 식각에서는 Gate 산화막의 박막화에 따르는 선택비와 신뢰성의 확보가 기본적인 과제이다. 또한, 새로 도입되는 Gate 전극재료에 대한 대응도

표 5.9 300mm/0.13 μ m 대응 Etching 장비 개발 방향

	산화막 Etching	Gate Etching	Metal Etching	Low-k Etching
Etching 대상	HAC, SAC	Poly Metal(W/WN, W/TiN) Poly-Si	Al 배선 (TiN/AlCu/TiN/Ti)	SOG계(HSQ, MSQ) PAE계
Plasma Source	ICP, ECR, CCP	ICP, ECR, CCP	ICP, ECR	ICP, ECR, CCP
공정용 Gas	C ₄ F ₆ , C ₅ F ₈	HBr, Cl ₂ 등	BCl ₃ , Cl ₂ 등	C ₄ F ₆ , C ₅ F ₈ , H ₂ /N ₂ 등
과 제	HAC : PR선택비 SAC : SiN선택비 Charge Up Damage	Gox 선택비 Charge Up Damage	PR 선택비 Charge Damage	Stopper막과의 정합성 Charge Up Damage

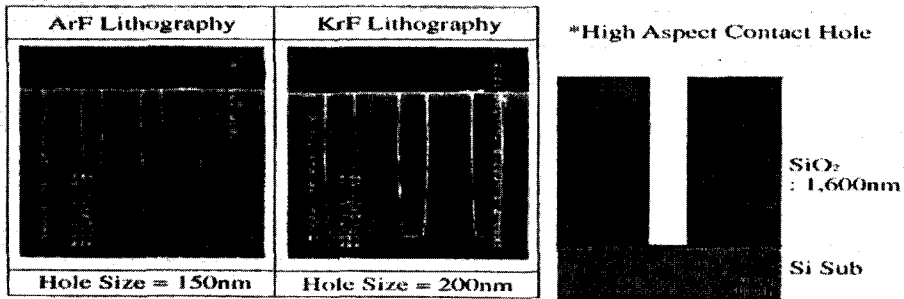


그림 6. 0.13 μ m Level의 고 Aspect Ratio Contact 단면 SEM(Contact Aspect Ratio=10→전세대 대비 형상 개선 필요)

해결되어야 할 문제이다.

Metal 식각에서는 Cu Damascene 공정에 대한 Shift도 있어 큰 변화는 없지만 미세화에 따라 Lithography에 도입되는 새로운 Resist의 선택비나 미세 형상의 확보가 과제이다. Low-k 식각은 기본적으로 산화막 식각 기술의 전용에 따라 대응 가능한데, Device 제조업체마다의 Low-k 층간 막 구조에 맞춘 최적화의 부분에서 개별 대응해야 한다.

Ashing 장비에서는 High Dose 이온주입 후 Ashing에서 Throughput이 낮다는 과제가 있다. 또, Low-k 재료의 Ashing Damage에 동반하는 개발과제가 있다. 300화의 공통과제는 가공정도와 식각속도의 기관내의 균일성으로, 특히 웨이퍼 주변부의 균일성이 수율에 직결되므로 개선이 시급하다.

6. 300mm/0.13 μ m 대응 위한 공정별 반도체 제조 장치

현재까지 설비업체에서 개발된 공정별 일련의 제조 장치들 가운데 대표적인 설비 업체 및 Model을 소개한다.

6.1 노광장치

- + Nikon(NSR-S203B)
- + Canon(FPA-5000 ES2)
- + ASML(PAS 5500/700B)
- + SVGL(Microscan III+)

6.2 Coater & Developer

- + TEL(CLEAN TRACK ACT12)
- + 대일본 Screen 제조(SK-300)
- + 동경 응화 공업(SKYWALK)

6.3 Etching

- + Applied Materials(DPS Centura (Metal, Si) / MxP Centura (Metal, Si))
- + TEL(UNITY II Series)
- + Hitachi 제작소(M-700 Series)
- + Anelva(I-4100SVIISD)
- + Tegal(6500HRE- Series)

6.4 이온주입장치

- + Varian(VIISta80/810)
- + Eaton(NV-MC3)

- + Applied Materials(Implant xR80s, xR120s, xRLEAPs)
- + ULVAC(IW-630|Medium Current)

6.5 Ashing

- + Eaton/TEL(ES3)
- + Plasma System(WIN-80 & 120 /SA-2000)
- + Canon(SURPASS 300)
- + 동경 옹화 공업(TCA-7222)

6.6 Wet Etcher

- + 대일본 Screen 제조(FC-3000)
- + TEL(UW8000/SS)
- + Semitool(Spectrum/Millennium)
- + FSI International(ZETA)
- + SES(SS-Techno-300)

6.7 산화 / 확산 / LPCVD

- + TEL(ALPHA-303)
- + 국제전기(ZESTONE-III & V)
- + SVG(RVP Series)
- + Semitool(Express)
- + 광양린드백(VF-5700/5900)
- + Jusung Engineering(Eureka 3000)
- + Applied Materials(RTP XEplus Centura)
- + STEAG Electronic System(AST3000 | RTP)

6.8 PE-CVD

- + AMT(Producer /Ultima HDP-CVD Centura)
- + Novellus Systems(Concept 3 SPEED/SEQUEL)
- + ASM(Eagle-12 Rapidfire)

6.9 Metal-CVD

- + Applied Materials(MCVD Centura WxZ/

WxP)

- + Novellus Systems(Concept 3-ALTUS)
- + ULVAC(Zi-1000CVD)

6.10 Sputtering System

- + Applied Materials(Endura VHP Metal)
- + Novellus Systems(INOVA)
- + ULVAC(Zi-3000PVD)
- + Anelva(COSMOS PVD Series)

6.11 Electro-plating

- + Semitool(LT-210c/LT-310)
- + 시마다이화공업

6.12 CMP

- + 임원제작소(EPO-112/222)
- + IPEC/TEL(AVANTGAARD 876)
- + SpeedFarm(CMP-200/300)
- + Applied Materials(Mirra CMP System)
- + Strasbaugh(6ED Symphony)
- + Sumitomo금속공업(MUSE)
- + Toshiba기계(CMS-200MX)
- + Sony(HV-9300)
- + Mitsubishi Material/Cybeq(Isoplanar 9000)
- + 동경정밀(A-FP-300)
- + Aplex/환홍Solution(Avera 300)

6.13 Epitaxy System

- + Applied Materials(Epi Centura)
- + Toshiba기계(HT3000)
- + ASM(Epsilon E-3000)

- 참고문헌 -

1. 鹽谷, 薄島, 월간 Semiconductor World, Vol

- 10, No 15, P118('91)
2. W. Kern, D.A. Puotinen, "Cleaning solutions based on hydrogen peroxide for use in silicon semiconductor technology", RCA Review, Vol. 31, No. 2, p187-206, June 1970.
3. M. Miyashita et al., "Dependence of surface microroughness of CZ, FZ, and EPI wafers on wet chemical processing," J. Electrochem. Soc., Vol. 139, No. 8, p.2133-2142, August 1992.
4. H. Aomi et al., "The adhesion and the protection of metallic impurities at the interface of Si wafer surface with anion species," Materials Research Soc. Symp. Proc., Vol. 315, p333-337, 1993.
5. 1999 Semiconductor Fab/Equipment/Materials[저Cost화/미세화/300mm화], p128~301.