

반도체 IP의 국제 표준화 동향

Trends of International Standardization on Semiconductor IP

임태영(T.Y. Lim) ASIC개발팀 책임기술원
엄낙웅(N.W. Eum) ASIC개발팀 책임연구원, 팀장
김대용(D.Y. Kim) 반도체종합공정연구부 책임연구원, 부장

본 논문은 반도체 공정이나 설계환경에 무관하게 재사용이 가능하면서 라이선스에 의해 보호되는 전자회로 설계 모듈 IP에 관한 세계적인 표준안들에 대하여 살펴본다. 현재 선진 외국의 반도체, 통신 관련 기업들은 자신들의 기능 모듈을 IP화 하는 데 있어서 1996년에 설립된 IP의 국제 표준화 단체인 VSIA의 표준안에 부합하도록 노력하고 있다. 현재까지 VSIA는 약 1,000페이지에 달하는 13종의 사양서와 표준안 및 기술문서를 개발하였으며, 전세계 200여 개의 회원기관에 공개하고 있다. 이와 같은 표준안들은 모든 회원사들이 제안하는 시스템 통합, 테스트, 혼성신호, 온칩버스, 검증, 보안 등의 표준관련 제안들을 8개의 VSIA DWG에서 심의하여 확정하며 지속적인 보완과 수정 및 추가가 진행되고 있다. 본고는 가장 최신 버전들을 중심으로 IP의 표준화 동향을 파악 분석하고, 표준안들의 본질을 정의하였으며, VSIA 표준안에 부합 시킬 수 있는 절차를 체계화 함으로 국내의 IP 개발에 일조를 하고자 하였다.

1. 개요

반도체 공정 기술의 발전 속도는 설계 생산성을 크게 앞질러서, 최근에는 단일 칩에 집적될 수 있는 게이트의 숫자가 천만 개에 육박하고 있다. 그러나 논리 합성에 기반을 둔 종래의 설계 기술로 그러한 규모의 칩을 주어진 기간 내에 제작하는 것은 곤란한 것으로 판단된다. 이 문제를 극복하는 방안의 하나로서 칩의 개발에 적용될 수 있는 설계 모듈을 재사용하기 위한 노력이 지난 '90년 후반부터 세계적으로 진행되고 있다.

어떤 설계 모듈이 공정이나 설계 환경에 무관하게 재사용 가능하면서 관련이나 특허 등과 같은 라이선스에 의해 보호될 때 IP(Intellectual Property)라고 부른다. 설계 모듈이 IP화 되면 사소한 사양 변경

에 따라 모듈을 매번 재설계 해야 하는 현재와 같은 번거로움을 피할 수 있다. 그리고 다양한 기능블록을 집적하는 SoC(System-on-a-Chip)의 개발이 IP의 손쉬운 통합 및 검증 절차에 의해 이루어 질 수 있다. 이러한 장점으로 인해 IP 개발 및 IP를 활용한 설계 방법론의 개발이 주목을 받고 있다. 현재 선진 외국의 반도체, 통신 관련 기업들은 자신의 기능 모듈을 IP화 하는 데 많은 노력을 기울이고 있으며 그에 따라 "IP 산업"이 태동하고 있다.

기능 모듈을 재사용하기 위해서는 먼저 데이터 형식, 검증 방안, 인터페이스의 표준화가 필요하다. 그에 따라 1996년 6월에 IP의 국제 표준화 단체인 VSIA(Virtual Socket Interface Alliance)가 설립되었다. 현재 VSIA에는 EDA 회사, 반도체 제조 회사, 독립 IP 개발 회사, 시스템 회사 등 200여 개의 기관

이 회원으로 활동하고 있다.¹⁾ VSIA는 DWG (Development Working Group)를 개설하여, 모든 회원사들이 제안하는 시스템 통합, 테스트, 혼성 신호, 온칩 버스, 검증, 보안 등에 관한 표준안을 심의하여 확정한다[1]. 본 고는 VSIA의 IP 표준화 동향을 파악하고 분석 함으로써 국내 IP 개발에 일조를 하고자 한다.

IP 표준화 관련 VSIA의 동향을 분석하기 위해 본 고의 II장은 VSIA의 목표와 조직을 살펴보고, III장에서 DWG에 대한 역할을 분석한다. 또한, IP 표준화 활동의 결과물들인 기술문서(Document)의 정의에 대하여 살펴보고, 사양서(Specifications)와 표준안(Standards) 및 기타 기술문서(Other Documents)에 대한 정의를 내린다. IV장은 VSIA의 IP 표준화 활동의 결과물들을 DWG 별로 분류하며, 공지된 각종 기술문서(사양서, 표준안, 기타 기술문서)를 요약하고, V장에서 VSIA 부합(VSIA Compliance) 방법을 분석하고, 이 절차를 체계화 하며 VI장에서 결론을 내린다.

II. VSIA의 조직

1. 사무소(Office)

VSIA에는 본사와 일본 및 유럽사무소 등 다음과 같은 3 개소의 사무소가 있다[2].

VSIA Alliance - Main Office

15495 Los Gatos Blvd.,
Suite 3, Los Gatos, Calif. 95032, U.S.A.
Phone: + 1 408 356 8800
Fax: + 1 408 356 9018
Email: info@vsi.org

VSIA Japanese Office

Contact Naoya Tsuruta
CyberTec Ltd., 19-4 Chigasaki-chuo
Tuzuki-ku Yokomaha, Kanagawa 224, Japan
Phone: + 81 45 945 3732
Fax: + 81 45 945 3680
Email: tsuruta@cyber-tec.co.jp

VSIA European Office

Contact: Adam Morawiec
European Electronic Chips & Systems
Design Initiative(ECSI)
Equation - 2, avenue de Vignate
38610 Gieres, France
Phone: + 33 4 76 63 4985
Fax: + 33 4 76 42 8787
Email: vsia@wanadoo.fr

2. 운영 조직

VSIA는 VSIA Member Support, VSIA Staff, VSIA Officers, VSIA DWG Chairs 등 4개의 운영 조직이 있다.

VSI Alliance Member Support		
Member Liaison	Kath Rogers (916) 608-1564	kathy@vsi.org
Manager, Administration	Nancy Cuforth (408) 356-8800	nancy@vsi.org
Associate Administrator	Jennifer Discher (408) 356-8800	jennifer@vsi.org

VSIA STAFF		
Executive Director	Stan Baker	sbaker@vsi.org
Technical Committee Chair	Larry Rosenberg	larryr@vsi.org
Marketing Communications	Caroline Yeung	carolineyeung@worldnet.att.net
DWG Coordinator & Website	Kathy Rogers	kathy@vsi.org

1) 세계적인 동향과 흐름을 같이 하기 위해, ETRI 회로소자 연구소는 2000년 12월에 VSI Alliance의 회원 기관으로 등록하였음.

VSIA Officers		
President	Tim O'Donnell	tim@vsi.org
Secretary	Kent Moffat	kent_moffat@mentorg.com
Secretary	Kent Moffat	kent_moffat@mentorg.com
Executive Director	Stan Baker	sbaker@vsi.org

VSIA Development Working Groups(DWG)			
Implementation/ Verification	Andres Teene	LSI Logic	andres.teene@lsil.com
IP Protection	Ian Mackintosh	Mentor Graphics	i.mackintosh@att.net
Manufacturing Related Test	R. Chandramouli	Synopsys	mouli@synopsys.com
Mixed Signal	Henry Chang	Cadence	henry@cadence.com
On-Chip Buses	Anssi Haverinen	Nokia	anssi.haverinen@nokia.com
System-Level Design	Chris Lennard	Cadence	clennard@cadence.com
VC Transfer	Tom McVay	Alcatel	william.mcvay@usa.alcatel.com
Verification	Robin Bhagat Tom Andeson (Co-Chairs)	Palmchip	robhagat@palmchip.com

위 조직에서 주목할 것은 VSIA Development Working Groups(DWG)이며, 이 조직에서 VSIA의 실제적 업무가 이루어지고 있다.

3. VSIA의 개발 워킹그룹

VSIA는 IP 제공자와 사용자간에 기술을 이전하는 기술문서 및 데이터 형식을 정의한 VSI의 "Architecture Document Version" 1.0을 1977년에 발표하였다. 이것은 VC를 사용하는 SoC 설계에 대하여 현재 사용되는 형식과 추천되는 형식을 광범위하게 다루었으며, VC의 행위와 구현 형식을 다양하게 묘사한 전달물들의 종합이다. 그러나 이것은 각

전달물에서 사용되어야 할 형식을 구체적으로 정의하고 있지는 않았다.

따라서 각 DWG는 각 전달물들의 내용에 대한 보다 상세한 정의와 어떻게 사용되기를 원하는 주문뿐만 아니라, 각 전달물에 대한 형식을 정의하는 임무를 지닌다. DWG는 초기에 다음과 같은 역할을 담당하는 위에서부터 6개까지의 개발 워킹그룹(Development Working Group)으로 출발하였으나 현재의 DWG는 아래쪽의 2개 그룹이 추가된 8개의 개발 워킹그룹으로 확대되었다.

- System-level design(SLD)
- Manufacturing related test(TST)
- Intellectual property protection(IPP)
- On-chip busses(OCB)
- Analog/Mixed signals(AMS)
- Implementation/Verification(I/V)
- VC Transfer(VCT) <----- 추가
- Verification(VER) <----- 추가

III. DWG의 활동

1. IP 관련 VSIA의 정의

VSIA에서는 표준적인 방식에 따라 설계되고, 정의된 전달물(Deliverables)을 포함하는 모듈을 VC (Virtual Component)라고 정의한다. 이 VC의 제공자가 VC의 사용자에게 넘겨주어야 하는 표준적인 전달물들을 규정한 문서를 VSIA 기술문서(Document)라고 정의한다. 여기에는 VC에 대한 행위수준의 모델, 에뮬레이션 모델, 데이터 시트, 합성 가능한 RTL HDL 모델, 관련 테스트 벤치, 게이트 네트리스트, 테스트 벡터 등의 데이터 전달물에 관한 사양들이 포함된다.

한편, 전달물의 정의를 살펴보면, "전달물"이란 VC 제공자가 VC 사용자에게 공급하는 어떤 항목들이며, 전자회로 설계에서 VC를 집적할 때 필요로 하거나 적용함으로써 유익한 것으로서, 정보류와 모델들 또는 틀들이 될 수 있다[3].

2. 각 DWG의 역할

VSIA의 개발 워킹그룹인 8개 DWG의 역할은 다음과 같다.

가. System-level design(SLD) DWG

SoC는 단독으로 동작하는 것이 아니고 큰 시스템의 일부로 동작하게 된다. 따라서 개발 초기에 SoC를 포함하는 전체 시스템을 모델링 해야만 시스템 아키텍처를 선택하고 검증하는 일이 가능해진다. 이 DWG는 IP 간의 인터페이스를 원활히 하는 방법을 강구하여 IP의 재활용이 용이하도록 하는 것을 목표로 한다.

나. Manufacturing related test(TST) DWG

다수의 IP를 포함하는 SoC를 제작했을 때 그의 정상동작 여부를 판단하는 비용이 높아서는 곤란하다. 이를 위해 IP의 테스트 방법과 테스트 구조에 대한 설계 가이드 라인을 제시하고 표준형식을 제시하는 것을 목표로 한다.

다. Intellectual property protection(IPP) DWG

IP는 소스코드를 포함하므로 그에 대한 기술을 보호하는 것은 매우 중요한 일이다. 그러나 보안의 정도를 강화할수록 유통은 어려워지는 경향이 있으므로 본 DWG는 IP의 권리 보호를 위한 적절한 메커니즘을 개발하는 것을 목표로 한다.

라. On-chip busses(OCB) DWG

SoC 내에서 IP를 원활히 통합하기 위해서는 인터페이스에 필요한 비용이 적어야 한다. 본 DWG는 IP 프로세서나 IP 소비자들 사이의 통신에 필요한 규격을 정의하는 것을 목표로 한다.

마. Analog/Mixed signals(AMS) DWG

Analog 신호를 발생하는 IP를 SoC 내에 집적하기 위해 혼성 신호간의 정합이 중요하므로 본 DWG의 목표는 이를 위한 통합 및 검증 수단을 제공하는 데 있다.

바. Implementation/Verification(I/V) DWG

본 DWG의 목표는 IP를 근간으로 하는 시스템의 구현과 검증이 가능하도록 데이터 표현의 표준을 정의하는 데에 있다. 이 DWG는 공정기술에 무관한 System-level design(SLD) DWG와 공정과 관련한 구현 문제를 다루므로 상당히 넓은 범위를 다룬다.

사. VC Transfer(VCT) DWG

이 DWG는 창립 이후에 만들어진 그룹으로서, "IP 기술이전 전달물" 관련 사양 제정이 주 임무이며, 이 DWG의 현장에 밝힌 목표 및 세부내용은 다음과 같다.

VC 기술이전 DWG는 다양한 VC들의 기술문서화(Documentation), 선정(Selection) 및 다른 6개 DWG에 포함되지 않는 기술이전 관련 요건들을 다룬다. 이러한 요건들은 서류종류, 데이터 형식 및 다음과 같은 영역에서 필요로 하는 정보의 집합(set)들을 내포한다:

- VC 사용자의 VC 선정에 필요한 기능, 성능, 데이터 폭 등의 정보들
- VC 사용자의 VC 평가에 필요한 데이터 시트들, 특징, 이점, 구성 등의 정보들
- VC 사용자용 품질보증(Qualification)에 필요한 테스트 벤치, 사용자의 경험, 응용 등의 정보
- 툴들의 버전, 라이브러리들, 인터페이스 사양 등과 같은 참고문헌 정보
- 가이드라인, 제약, 힌트, 준비사항 등과 같은 집적용 정보
- 응용에 필요한 주의사항, 사용할 수 있는 정도와 인터페이스 시키기 위한 주의사항 등
- 지원 가능 여부, 접촉할 수 있는 기술 부서 등
- 전반적인 VC 데이터 모음집을 VC 제작자로부터 사용자에게 전달하기 위한 일반적인 기술이전 형식. 이것은 매개체에 좌우되지 않아야 하며, 확장할 수 있고 자체적으로 서술할 수 있도록 해서, 수령하는 사용자가 그가 얻게 되는 데이터가

무엇인지, 명명된 것이 무엇인지, 어떤 형식으로 어디에 있는지를 알 수 있어야 한다.

결론적으로, 이 DWG는 IP의 기술이전에 관한 공통적인 사항들을 사양화하고 있으며, VC 제작자로부터 사용자에게 전달해야 하는 전달물들의 형식을 정하고, 기술문서화를 주 임무로 하고 있는 DWG 이다.

아 .Verification(VER) DWG

이 DWG는 근래에 만들어진 그룹으로서, 정식 명칭은 “기능 검증 DWG(Functional Verification DWG)”이며, “IP 기능 검증용 전달물”에 관한 사양 제정이 주 임무로서, 이 DWG의 현장에 밝힌 목표는 다음과 같다.

기능 검증 DWG는 SoC 내에서 특정된 VC가 올바른 기능을 발휘하는가에 대한 검증이 가능하도록 VC 제공자(Provider)가 VC 통합자(Integrator)에게 제공하는 검증용 전달물들의 집합(set)을 정의한다. 이 정의에는 독립된 VC, VC 사이의 인터페이스, SoC의 리셋, SoC 그 자체의 검증도 포함한다.

결론적으로, 이 DWG는 IP의 기능 검증용 전달물들의 집합을 사양화하고 있으며, 2001년 1월에 첫 번째 사양을 발표하였다.

3. VSIA의 IP 표준화 활동 결과물에 대한 정의

VSIA는 각 DWG들의 IP 표준화 활동의 문서화된 모든 결과물들을 기술문서(Document)라고 하며, 이 기술문서들을 사양서와 표준안으로 구분하여 정의하고 있다[3].

또한, VSIA는 모든 기술문서들을 라이브러리로 등록시켜서 공지하고 있으며, 이 라이브러리를 사양서, 표준안, 기타 기술문서류 이상 세 가지 범주로 분류해서 발표하였다. 상기 정의에 이 범주를 분석한 결과를 반영하면 다음과 같이 정의 할 수 있다 [4].

가. 기술문서(Document)

각 DWG들의 IP 표준화 활동에 의한 문서화된 결과물들을 기술문서라고 한다. 따라서 사양서와 표준안 및 기타 기술문서를 통칭하여 기술문서라고 한다.

나. VSIA 사양서(Specifications)

전달물들을 통제하는 요건들의 집합체이다. VSIA 사양서는 사양서의 양식을 정의하거나 어떤 표준안들을 확인하는 데 요구되고 있는 전달물들의 양식을 규정한다. 또한 VC 제공자가 전달해야 하는 전달물들의 형식이 항목별로 명기되어 있으면서 VSIA Deliverables Document version x.x에 데이터 전달물 테이블이 요약되어 있는 기술문서들을 사양서라고 한다.

다. VSIA 표준안(Standards)

구조론, 버스, 알고리즘, 프로그램, 언어, 형식이나 프로토콜과 같은 유용한 장치나 항목을 기술한 것이다. 표준안들은 반드시 산업계에 개방하도록 규정되어 있다. “개방”은 그 표준안이 무료나 부담스럽지 않은 요금으로 산업계의 누구나가 이용 할 수 있게 한다는 것을 의미한다. 또한 VC 제공자가 전달해야 하는 전달물들의 형식이 항목별로 명기되어 있지는 않지만, VC 관련자들이 준수해야 하는 설계 방법론에 대한 표준 지침들을 묘사한 기술문서들을 표준안이라고 한다. 여기에 전달물들의 형식을 항목화 해서 확정하게 되면 사양서로 된다.

라. 기타 기술문서(Other Documents)

VSIA에서 제안하는 사양의 근거가 되는 기본적인 기술문서, 전달물들을 요약한 기술문서, 표준화하기 위하여 제안중인 사양서와 표준안 및 기술문서들이 이 범주에 속한다.

4. VSIA의 IP 표준화 활동 결과물의 분류 및 명세

VSIA사 웹사이트 라이브러리 페이지(VSIA Li-

brary)에 공지된 모든 기술문서들은, 비회원은 개요까지 회원사들은 세부내용까지 PDF 파일로 볼 수 있도록 하였다[4]. VSIA는 이 라이브러리를 사양서(Specifications), 표준안(Standards), 기타 기술문서류(Other Documents) 이상 세 가지 범주로 분류하였고, 이것들을 개별적으로 소개한 데이터 시트들도 발표하였다. 또한 VC 벤더(Vendor) 들이 VSIA 부합 정책의 요건을 충족할 경우에는 “VSIA Compliance”라고 표시할 수 있다고 하였다. VSIA의 IP 표준화 활동에 대한 결과물인 기술문서의 명세를 각 범주별로 <표 1>에 나타내었다.

<표 1> IP 표준화 활동의 결과물 명세

범주	기술문서 명 및 버전 번호	DWG명	DS
사양서 (Specifications) (5 종)	1. Analog Mixed Signal Extension (AMS 1 2.0)	AMS	유
	2. On-Chip Bus Attributes (OCB 1 1.0)	OCB	유
	3. Soft and Hard VC Structural, Performance and Physical Modeling (I/V 1 2.0)	I/V	유
	4. Virtual Component Transfer (VCT 1 2.0)	VCT	유
	5. Test Data Interchange Formats and Guidelines for VC Providers (TST 1 1.0)	TST	유
표준안 (Standards) (3 종)	6. Virtual Component Interface Standard (OCB 2 1.0)	OCB	유
	7. System-Level Interface Behavioral Documentation Standard (SLD 1 1.0)	SLD	유
	8. Virtual Component Identification Physical Tagging Standard (VCID)(IPP110)	IPP	유
기타 기술 문서 (Other Documents) (5 종)	9. Architecture Document Version 1.0		유
	10. Deliverables Document		무
	11. System Level Design Model Taxonomy (SLDTAX 1 1.0)	SLD	유
	12. Taxonomy of Functional Verification for Virtual Component Development and Integration (VER 1 1.0)	VER	유
	13. IP Protection White Paper (IPPWP10)	IPP	무

주) DWG(Development Working Group), DS(Data Sheet)

IV. VSIA의 모든 기술문서(사양서, 표준안, 기타 기술문서)의 요약

아래에 VSIA의 모든 기술문서(사양서, 표준안, 기타 기술문서)의 요약을 기술하였다. 하위 절 번호는 각 문서의 순번과 같으며, 각 요약 테이블 내의 다운로드 파일 명과 데이터 시트를 클릭 함으로써 <표 1>에서와 같이 직접 다운로드가 가능하다. 각 기술 문서의 개요는 다음과 같다.

1. 아날로그/혼합 신호 VSIA 확장 사양서, 버전 2.0 의 요약

사양서 명 및 버전	Analog/Mixed-Signal VSIA Extension Specification Version 2.0
워킹그룹 명	Analog/Mixed-Signal DWG
사양서 약칭	(AMS 1 2.0)
개정일자	2000년 10월 23일
공개일자	1999년 11월
데이터 시트	Analog/Mixed-Signal VSIA Extension
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/ams120.pdf

이 기술문서는 아날로그/혼합 신호용 가상부품(VC)들의 전달물들, 이 VC들에 연계되는 설계 가이드라인들과 테스트 및 상호교환을 쉽게 할 수 있는 데이터 형식들, 그리고 A/D, D/A 컨버터와 PLL들과 같은 것을 디지털 시스템 칩 응용을 목표로 하면서 혼합신호 VC로 특정공정에 집적하는 것을 정의 함으로써 VC들의 상호교환 방식을 규정한다[5].

2. 온칩 버스 속성용 사양서, 버전 1.0 의 요약

사양서 명 및 버전	On-Chip Bus Attributes Specification Version 1.0
워킹그룹 명	On-Chip Bus DWG
사양서 약칭	(OCB 1 1.0)
개정일자	2000년 10월 23일
공개일자	1998년 10월
데이터 시트	On-Chip Bus Attributes
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/ocb110.pdf

이 사양서는 온칩 버스의 기술문서화, 물리적인 전달물들, 기술적인 버스 속성들을 위한 요건들의 상세한 설명을 제공한다. 또한 이것은 시스템 통합자들, VC 개발자들, 시스템이나 주변장치용 온칩 버스들을 사용하거나 개발중인 버스 개발자들의 선택을 위한 최소 속성 집합들을 정의한다. 온칩 버스 설계 가이드라인들의 속성 집합과 부가적으로 공통 버스 전문 용어에 대한 용어 해설도 제공된다[6].

3. 소프트와 하드 VC의 구조적 성능 및 물리적 모델링용 사양서, 버전 2.0의 요약

사양서 명 및 버전	Soft and Hard VC Structural, Performance and Physical Modeling Specification Version 2.0
워킹그룹 명	Implementation/Verification DWG
사양서 약칭	(I/V 1 2.0)
개정일자	2000년 10월 23일
공개일자	1999년 5월
데이터 시트	Soft and Hard VC Structural, Performance and Physical Modeling
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/iv120.pdf

이 사양서에서, VSIA I/V(Implementation/Verification: 구현 및 검증) DWG는 소프트와 하드 VC 둘 다에 대한 성능 및 물리적 모델링 구축을 위해 사용되어야 하는 데이터 형식들과 전달물들의 리스트를 정의한다.

이 I/V 사양서는 소프트와 하드 VC 양쪽에서 필요로 하는 RTL 소스 및 성능 모델의 형식들을 포함하고, 설계 제약 요건들의 취합, 설계 제약 관련 표준안의 개발을 위한 OVI 설계 제약 워킹그룹(DC-WG: Design Constraints Working Group)의 인준, 그리고 성능 모델링의 표준을 위한 OLA(Open Library) 표준안의 인준을 포함한다. 이 사양서는 하드 VC들에 연계되는 약간의 물리적인 데이터 타입들 및 구조적 네트리스트를 위해 사용되어야 하는 데이터 형식들을 포함한다[7].

4. 가상부품(VC)의 기술이전 문서용 사양서, 버전 2.0의 요약

사양서 명 및 버전	Virtual Component Transfer Document Specification Version 2.0
워킹그룹 명	Virtual Component Transfer DWG
사양서 약칭	(VCT 1 2.0)
개정일자	2000년 10월 23일
공개일자	1999년 10월
데이터 시트	Virtual Component Transfer Document
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/vct120.pdf

이 VCT 1 2.0 사양서는 VC 제공자들이 VC 설계 데이터와 함께 VC 사용자들에게 기술이전 시켜야 할 필요가 있는 기술문서류의 항목화 시켜야 할 모든 요건들을 정의한다. VCT 1 2.0은 어떤 기술문서류가 VC 통합자들에게 필요하게 되며 VC 제공자에 의해서 제공되도록 요구되는가를 분명하게 한다. 다양한 VC들의 혼합설계를 성공시키려면 적절한 기술문서류가 절대적인 핵심 사항이다. VC 제공자들은 무엇이 필요로 된다는 것을 정확하게 아는 것에서 이익을 얻고, VC 통합자들은 VC 제공자에게서 VC를 얻으려고 할 때 이 사양서를 수락 표준으로서 사용할 수 있다[8].

5. VC 제공자를 위한 테스트데이터 교환형식과 가이드라인 사양서, 버전 1.0의 요약

사양서 명 및 버전	Test Data Interchange Formats and Guidelines for VC Providers Specification Version 1.0
워킹그룹 명	Manufacturing Related Test DWG
사양서 약칭	(TST 1 1.0)
개정일자	2000년 10월 23일
공개일자	1999년 6월
데이터 시트	Test Data Interchange Formats and Guidelines for VC Providers
파일다운로드 URL	http://www.vsi.org/membersonly/library/specs/test110.pdf

TST 1 1.0 사양서는 VC 제공자(Provider)를 위한 테스트 데이터의 교환 형식(Test Data Interchange format)과 테스트 대상 설계(Design-For-Test: DFT)의 가이드라인들을 다룬다. 이의 목적은 VC 제공자와 VC 통합자(집적자: Integrator) 사이에 기술이전 되어야 할 정보의 본질과 형식을 정의하는 것이다. 또한 VC 제공자를 위한 가이드라인도 표현하고, VSIA 방법론을 사용하여 시스템 칩 설계 내부에 VC들을 성공적으로 결합할 수 있도록 보증한다. 모든 테스트 관련 정보는 VSIA Architecture document 1.0에 근거하며 테스트 가이드라인들은 이 사양서의 III장에서 다룬 것들에 근거한다. 이 기술문서의 차후 개정판은 테스트 통합자(Test Integrator)와 제조를 위한 테스트 엔지니어링 기능 사이에 유사한 정보의 기술이전을 다룰 것이다[9].

6. VC 인터페이스 표준안, 버전 1.0의 요약

표준안 명 및 버전	Virtual Component Interface Standard Version 1.0
워킹그룹 명	On-Chip Bus DWG
표준안 약칭	(OCB 2 1.0)
개정일자	2000년 3월 23일
공개일자	2000년 3월
데이터 시트	Virtual Component Interface Standard
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/ocb210.pdf

이 표준안은 VC들의 효과적 재사용을 위한 버스 인터페이스 및 관계되는 프로토콜들을 정의한다. 이 표준안은 세 부분으로 나누어진다. 이 표준안의 주체는 시스템 버스 상에서 사용되어야 하는 기초적인 VC 인터페이스(VCI)의 구조를 상세히 설명한다. 또한 이 표준안에는 두 개의 부록이 있다. 부록 A는 처리 언어에 대한 사양을 다루고, 부록 B는 주변장치용 VCI의 사양을 다룬다[10].

7. 시스템 레벨 인터페이스의 동작표현 규정용 표준안, 버전 1.0의 요약

표준안 명 및 버전	System-Level Interface Behavioral Documentation Standard Version 1.0
워킹그룹 명	System-Level Design DWG
표준안 약칭	(SLD 1 1.0)
개정일자	2000년 3월 24일
공개일자	2000년 3월
데이터 시트	System-Level Interface Behavioral Documentation Standard
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/sld110.pdf

이 시스템 레벨 인터페이스(SLIF)의 표준안은 다양한 추출 단계에서 VC 통신방법의 완벽한 묘사를 확실하게 하기 위한 메커니즘을 제공한다. 이 메커니즘은 VC의 통신 프로토콜들로부터 VC의 동작에 관하여 명백한 분리를 가능하게 하며, 그러므로 다른 인터페이스들을 가진 동일한 동작표현 블록의 재사용을 용이하게 한다. 이 표준안은 또한 벤더들과 통합자들 사이의 시스템 레벨 VC 모델들의 인수인계를 쉽게 하도록 도우며, 다른 시뮬레이션과 설계 환경 안으로 VC 모델들의 도입을 안내하기 위한 기초를 제공한다. 이 SLIF 표준안은 시스템 수준에서의 VC 인터페이스 작용에 대한 이해를 개선할 것이며, 개선된 모델 생성을 통하여 블록 재사용을 지원하며, 인터페이스 추출의 다중 단계에 있는 VC 모델들을 연결한다.

이 SLIF 표준안은 다음의 것들을 묘사하는 구조를 제공한다: 어떤 VC와 함께 전달 되어야만 하는 인터페이스 층 추출물들의 코어 세트, 제공자에 의해 채택된 인터페이스 층 만들기 원리를 특정하기 위한 방법(융통적), 각각의 인터페이스 층 설명을 위한 구조, 그리고 동작표현 구문론에 관련된 정의, 인터페이스와 VC 구현 또는 모델들 사이의 연결 및 인터페이스 추출들간의 계층적 관계를 특정하기 위한 엄격

한 기술[11].

8. VC 확인용 물리적 꼬리표 달기의 표준안, 버전 1.0의 요약

표준안 명 및 버전	Virtual Component Identification Physical Tagging Standard Version 1.0
워킹그룹 명	Intellectual Property Protection DWG
표준안 약칭	(IPP 1 1.0)
개정일자	2000년 6월 19일
공개일자	2000년 6월
데이터 시트	Virtual Component Identification Physical Tagging Standard
파일 다운로드 URL	http://www.vsi.org/membersonly/library/specs/ipp110.pdf

VCID(Virtual Component Identification Definition)는 반도체 제조 공정들에 투입하는 VC들의 이용경로를 추적하기 위한 자동화되고 간결한 수단들을 반도체 파운드리 회사와 VC 공급자들에게 제공한다. 이것은 VC 제공자나 사용자에게 GDS II-Stream(Graphical Design System II-Stream) 파일 내에 내장되어 있는 정보를 추적하는 것의 사용에 의해 수행된다. 이 접근방법은 부품분야 장인이 (Artisan Components) 개발한 것에 근거를 두었다.

이 표준안은 단지 반도체 제조 공정들 중 마스크 제조공정에 있는 VC들을 추적하는 것만 다룬다. 이것은 VC류의 지적재산권(IP)에 대한 보호를 다루지는 않는다. 여기에서 특정된 추적용 메커니즘은 안전하지 않다. 이것은 쓸데없이 참견을 하는 여지가 있고, 단지 통과를 쉽게 하기 위해 의도되며, 정직한 VC 사용자들과 VC 제공자들 사이에서 정보의 공유하기와 사용에 관한 것이다: 이것은 포괄적인 하부구조를 만들기 위해 준비된 수단들을 제공한다[12].

9. VSIA 구조론 기술문서 버전 1.0 요약

기술문서 명	Architecture Document Version 1.0
워킹그룹 명	
기술문서 약칭	Architecture Document 1.0
개정일자	
공개일자	1997년 3월
데이터 시트	Architecture Document
파일 다운로드 URL	http://www.vsi.org/library/vsi-or.pdf

이 기술문서는 VSIA에 제안되는 사양서 집합들을 위한 근본적인 기준 구조론을 표현한다. 이것은 VSIA 개요 기술문서(Overview Document)와 VS IA 전달물 기술문서(Deliverables Document)에 의해 대체되며 갱신되고 있다. 전달물 기술문서는 지금 이용할 수 있다. 개요 기술문서는 편집과정의 마지막 단계에 있다. 이 구조론 기술문서는 VSIA사에 소유되고 저작권이 있다. 귀하는 다운로드 하여도 되며, 귀하의 개인적인 사용을 위한 복사물을 프린터로 뽑아도 된다. 모든 다른 권리들은 VSIA사에 의해 귀속된다[13].

10. VSIA 전달물 기술문서의 요약

기술문서 명	VSIA Deliverables Document
워킹그룹 명	
기술문서 약칭	Deliverables Document 버전 2.3
버전 및 개정일자	Version 2.3 - Revision 10/17/00 Version 2.2 - Revision 11/08/99 Version 2.1 - Revision 10/18/99 Version 2.0 - Revision 08/02/99
데이터 시트	없음
파일 다운로드 URL	http://www.vsi.org/library/specs/deliver101700.pdf

이 기술문서는 VSIA에서 특정된 각각의 사양서에서 상세히 설명된 전달물들을 요약한다. 요약 정보는 "VSIA 전달물류 요약"표로 표현된다. 이 기술문서의 부록 D는 벤더들이 그들의 제품을 위해서

VSIA 사양서들이 주장하고 VSIA 사양서들을 추종하는 방법을 보여주는 VSIA 부합 정책을 포함한다. 이 기술문서는 VSIA 사양서가 갱신 될 때마다 갱신되므로 이 중심 기술문서는 모든 공지된 VSIA 사양서들의 현재 상태를 나타낸다. 이러한 VSIA 요약 정보를 사용하려면 데이터가 의미하는 모든 것을 이해하면서 VSIA 사양서들에 대한 연구가 필요하다 [14].

11. VSIA 시스템 레벨 설계 모델의 분류법 기술문서, 버전 1.0의 요약

기술문서 명	VSIA System Level Design Model Taxonomy Document Version 1.0
워킹그룹 명	System Level Design DWG
기술문서 약칭	(SLDTAX 1 1.0)
개정일자	
공개일자	1999년 1월
데이터 시트	VSIA System Level Design Model Taxonomy Document
파일 다운로드 URL	http://www.vsi.org/library/taxom_v1.0.pdf

이 분류법 기술문서는 세 가지 주요 부분 즉, 모델링 분류법의 정의, 시스템과 구조학적 하드웨어와 소프트웨어 설계에 따른 모델들의 분류, 지원중인 설계 용어들의 정의로 구성된다. 시스템 레벨 설계 모델 분류학은 정밀 축의 어떤 공통 세트(a common set of axes of precision) 상에 이것과 관련된 속성들을 평가하는 것에 의하여 각 모델을 요약한다. 이러한 속성들은 몇몇 다른 정밀 축, 데이터 추출, 기능적 모델링, 구조적 모델링에 따라서 어떤 모델의 내적과 외적 해상도를 독립적으로 설명한다.

이 기술문서는 VSIA사에게 소유되고 VSIA사가 저작권을 갖고 있다. 귀하는 다운로드 하여도 되며, 귀하의 개인적인 사용을 위한 복사물을 프린터로 뽑아도 된다. 모든 다른 배포 권리들은 VSIA사에 귀속된다[15].

12. VC 개발과 집적을 위한 기능 검증의 분류법, 버전 1.0의 요약

기술문서 명	Taxonomy of Functional Verification For Virtual Component Development and Integration Version 1.0
워킹그룹 명	Functional Verification DWG
기술문서 약칭	(VER 1 1.0)
개정일자	
공개일자	2001년 1월
데이터 시트	Taxonomy of Functional Verification For Virtual Component Development and Integration Version 1.0
파일 다운로드 URL	http://www.vsi.org/library/specs/ver111.pdf

이 기술문서는 산업계를 위한 다양한 검증 기술들과 한결같이 의미하는 것과 정의들의 구별방법을 제 공하려고 한다. 이것은 검증기술 개발 워킹그룹 (DWG)의 첫번째 일련의 기술문서들과 사양서들이다. 이외에 DWG 로드맵 상에 검증용 전달물의 기술문서와 검증을 위한 “최상의 실습”을 공개할 뿐만 아니라, 기능 레벨 아래와 위인 다른 영역들의 검증으로도 확장하려고 한다. 이 기술문서를 위해 의도된 독자층은 VC들의 창작에 관여된 설계와 검증 엔지니어들 뿐만 아니라 VC들을 집적하고 VC들이 포함되어 있는 SoC 설계들을 검증하는 엔지니어들도 포함한다.

이 기술문서는 VSIA사에게 소유되고 VSIA사가 저작권을 갖고 있다. 귀하는 다운로드 하여도 되며, 귀하의 개인적인 사용을 위한 복사물을 프린터로 뽑아도 된다. 모든 다른 배포 권리들은 VSIA사에 귀속된다[16].

13. 지적 재산 보호 백서: 계획, 선택과 토론, 버전 1.0의 요약

기술문서 명	Intellectual Property Protection White Paper: Schemes, Alternatives and Discussion Version 1.0
워킹그룹 명	Intellectual Property Protection DWG
기술문서약칭	(IPPWP1.0)
개정일자	2000년 10월 28일
공개일자	2000년 9월
데이터 시트	없음
파일다운로드 URL	http://www.vsi.org/library/specs/ippwp111.pdf

이 문서의 배경은 VC의 창작에서부터 VC들의 효과적인 사용을 통하여 설계 재사용을 육성하는 중에 VC들의 고객이 이용할 수 있는 정도의 보안 수준에 균형을 맞춘 VC 보호를 위하여 공개, 공동 이용이 가능한, 표준안에 기반한 해결책(또는 표준안들이 실용적이지 않은 곳의 가이드라인들과 정보)을 규명하는 것이다.

이 문맥에서 “VC”는 제품들, 특허들을 통하여 보호될 수 있는 기술과 소프트웨어, 저작권이나 거래 기밀들을 포함한다. 논의된 취사선택 방법이 하드, 펌, 소프트 VC들을 위한 적절한 보호 메커니즘을 선택하도록 사용될 수 있다[17].

V. VSIA 부합 방법의 분석

VSIA에서는 VC 벤더들이 공급하고자 하는 IP에 대하여 “VSIA 2.3 Compliant™”라는 표시를 부착할 수 있는 VSIA 부합 정책을 규정하고 있으며, 이 규정을 따르는 방법을 VSIA 웹사이트의 VSIA 부합 페이지(VSIA Compliance)에서 다음의 1, 2절과 같이 설명하였다. 본 문서는 3절 VSIA 부합 방법의 종합에서 이를 분석하였다[18].

1. VSIA 부합(VSIA Compliance)의 개요

많은 회사들이 VSIA에 부합시키기를 확립해서 그들의 제품이 “VSIA에 부합함”이라고 선전할 수 있기를 바란다. VSIA사는 부합한다는 것을 선전하기 위하여 사용하기 쉬운 형식과 어떻게 부합정책을 결정하는가에 대한 VSIA 부합에 대한 유용한 정의를 수립하는 정책과 절차를 문서화 하였다.

VSIA 부합을 보여 주고 결정하는 것은 복잡할 수 있기 때문에 VSIA 사양서들에는 많은 권장 형식들과 기술문서들 및 다루어야 할 광범위한 요구조건들이 있다. 그러나, 모든 제품들에 모든 부합 요건들을 적용하지는 않으며, 제품의 사용자들은 각 부합 쟁점을 위한 그들의 이해관계를 따질 것이다. 더구나, VSIA 사양서들은 교정되며 새로운 것들이 추가되므로, 모든 부합과 최신 부합을 위하여 요구되는 전달

물들의 명세서는 변해야 한다. VSIA의 부합 정책(Compliance Policy)은 이러한 복합적인 것들을 고려하며, 그것들을 해결한다[18].

2. VC 벤더들이 따라야 할 사항

VSIA 부합 보고서를 만들려면 가장 최근의 VSIA 전달물 기술문서(VSIA Deliverables Document)의 부록 D(Appendix D)를 읽고 난 후 귀하가 사용하려는 버전의 VSIA 전달물 요약 테이블(아래의) 및 이 테이블들을 사용하기 위한 지침서들(instructions for using the tables)을 다운로드 한다.

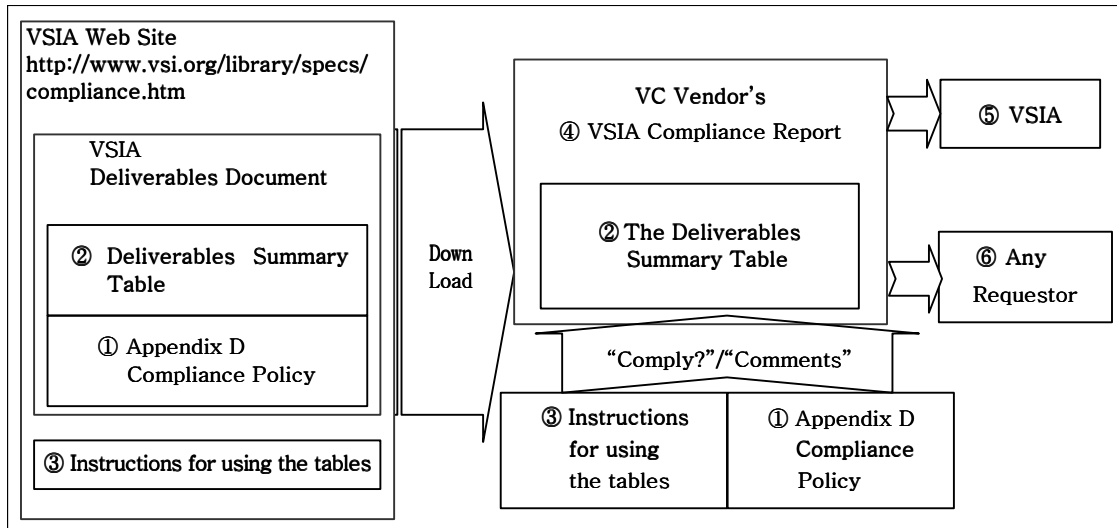
- VSIA Deliverables Document – Version 2.3
- Compliance Policy(Appendix D)
- VSIA Deliverables Document – Version 2.3
- Deliverables Summary Table – Version 2.3
- VSIA Deliverables Document – Version 2.2
- Deliverables Summary Table – Version 2.2
- VSIA Deliverables Document – Version 2.1
- Deliverables Summary Table – Version 2.1
- Instructions for using the tables
- VSIA Deliverables Document – Version 2.0
- Deliverables Summary Table – Version 2.0

그런 다음에 부합 정책 부록 D(Compliance Policy)와 요약 테이블의 전달 지침들(instructions for using the tables)에서 요구된 절차를 따라야 하며, 아래의 주소로 귀하의 부합 보고서 사본을 반드시 보낼 것을 요구하고있다[18].

*VSIA, 15495 Los Gatos Blvd., Suite #3,
Los Gatos, CA 95032, USA*

3. VSIA 부합 방법의 종합

상기 1, 2의 VSIA 부합 페이지(VSIA Compliance)를 요약하면 VC 벤더들이 공급하고자 하는 IP에 대하여 “VSIA 2.3 Compliant™”라는 표시를 부착하기 위해 다음과 같은 절차를 거치도록 요구하고 있다. VSIA 부합 페이지에:



(그림 1) VSIA Compliance 방법의 개요도

- ① 가장 최근의 VSIA 전달물 기술문서(VSIA Deliverables Document)의 부록 D(Compliance Policy)를 읽고 난 후
- ② 귀하가 사용하려는 버전의 VSIA 전달물 요약 테이블(Deliverables Summary Table)을 다운로드 한다.
- ③ 이 테이블들을 사용하기 위한 지침서들(instructions for using the tables)을 다운로드 한다.
- ④ 상기 부록 D와 사용 지침서를 준수하면서, 다운 받은 전달물 요약 테이블에 귀하가 부합하려는 VC에 해당되는 항목에 대한 “comply?”와 “comments” 컬럼을 채워 넣은 VSIA 부합 보고서(VSIA Compliance Report)를 만든다.
- ⑤ VSIA사로 귀하의 부합 보고서 사본을 필히 송부한다.
- ⑥ 귀하의 VC에 대한 VSIA사의 로고와 부합 트레이드 마크를 삽입한 부합 보고서를 모든 요청자에게 개방한다.

위 절차를 VSIA Compliance 방법의 개요도로써 (그림 1)에 나타냈다.

한편, VSIA는 가장 최근의 VSIA 전달물 요약 테이블의 다운로드를 요구하면서도 구 버전 3개도 동

시에 공지하고 있는데, 이는 구 버전에 부합 시켰을 VC에 대한 배려로 사료된다. 그 이유는 최신버전(2.3)은 구버전(2.2까지)과 그 적용에 있어서 매우 큰 차이가 있으며, 특히 전달물 요약 테이블의 적용 범위에 대한 정의가 아직 확립되지 않은 탓이라고도 판단된다. 이에 대한 구체적 내용은 다음 기회에 상술할 예정이다.

VI. 결론 및 향후 연구방향

IP 표준화 관련 VSIA의 동향을 분석하기 위하여 VSIA의 목표와 조직을 살펴보고, 8개의 DWG에 대한 역할을 분석하였다. 또한, IP 표준화 활동의 결과물들인 기술문서(Document)의 정의에 대하여 살펴보고, VSIA 사양서와 VSIA 표준안 및 기타 기술문서의 정의를 확립하였다. 이외에도 VSIA의 IP 표준화 활동의 결과물들을 DWG 별로 분류하였으며, 공지된 각종 기술문서(사양서, 표준안, 기타 기술문서)를 요약하였다. 최종적으로 VSIA 부합(VSIA Compliance) 방법을 분석하였고, 이를 종합한 VSIA Compliance 방법의 개요도를 만들었다.

결론적으로 VSIA는 계속 변화하고 있으며, 이 조직의 활동 결과물인 각종 기술문서도 계속 개정되면서 추가되고 있고, 특히 전달물 기술문서의

개정에 의한 변화가 많음을 알 수 있었다.

따라서 국내의 IP 표준화도 이에 맞추어 계속 연구되어야 한다고 판단된다.

본 고의 결과로써, 차후 국내에서 IP에 대한 기술 문서들을 명명할 때에 사양서와 표준안 및 기타 기술 문서의 구분을 명확하게 정의할 수 있다고 생각되며 특히 VSIA 부합 보고서(VSIA Compliance Report) 작성 방법을 알 수 있게 되었다.

차후의 연구 방향으로써, 각종 기술문서들의 상세한 분석이 필요하며, 국내에 공지할 IP 기술이전 관련 문서에 VSIA 부합 트레이드 마크를 부착한 샘플을 제시할 수 있는 정도까지의 연구가 시급하다고 판단된다.

참 고 문 헌

- [1] N.W. Eum, "Trends on IP Standardization in VSIA," ETRI TM-4100-1999-043, Jan. 1999, pp. 1-8.
- [2] VSIA URL, "http://www.vsi.org/," Jan. 2001.
- [3] VSIA URL, "http://www.vsi.org/library/definitions.pdf," Jan. 2001.
- [4] VSIA URL, "http://www.vsi.org/library/specs/summary.htm," Jan. 2001.
- [5] VSIA, "Analog Mixed Signal Extension(AMS 1 2.0)," Oct. 2000.
- [6] VSIA, On-Chip Bus Attributes(OCB 1 1.0), Oct. 2000.
- [7] VSIA, Soft and Hard VC Structural, Performance and Physical Modeling(I/V 1 2.0), Oct. 2000.
- [8] VSIA, Virtual Component Transfer(VCT 1 2.0), Oct. 2000.
- [9] VSIA, Test Data Interchange Formats and Guidelines for VC Providers(TST 1 1.0), Oct. 2000.
- [10] VSIA, Virtual Component Interface Standard(OCB 2 1.0), Mar. 2000.
- [11] VSIA, System-Level Interface Behavioral Documentation Standard(SLD 1 1.0), Mar. 2000.
- [12] VSIA, Virtual Component Identification Physical Tagging Standard(VCID) (IPP110), Jun. 2000.
- [13] VSIA, Architecture Document Version 1.0, Mar. 1997.
- [14] VSIA, Deliverables Document, Oct. 2000.
- [15] VSIA, System-Level Design Model Taxonomy (SLDTAX 1 1.0), Jan. 1999.
- [16] VSIA, Taxonomy of Functional Verification for Virtual Component Development and Integration(VER 1 1.0), Jan. 2001.
- [17] VSIA, IP Protection White Paper(IPPWP10), Oct. 2000.
- [18] VSIA URL, "http://www.vsi.org/library/specs/compliance.htm," Jan. 2001.