

논문 01-01-12

Sequence Skipping 방법을 이용한 MPLS 라우터의 VC 통합기능 스케줄러의 성능 향상에 관한 연구

On the Performance Enhancements of VC Merging-capable Scheduler for MPLS Routers by Sequence Skipping Method

白承燦*, 朴濤用**, 金榮範**

(Seung-Chan Baek*, Do-Yong Park**, Young-Beom Kim**)

요 약

VC 통합은 동일한 VC 레이블을 가진 VC들에서 각 VC의 해당 셀들을 구분하는 기능이 필요하다. 이러한 확인절차(identification process)를 돕는 다양한 접근 방법들이 제안되어 왔지만, 대부분이 추가적인 버퍼링을 필요로 하거나 프로토콜상의 오버헤드나 전송 지연을 가져옴으로써 QoS 규정을 만족시키기 어렵다. 이러한 단점을 극복하는 동시에 VC-통합을 지원하는 스케줄러(VCMS)가 제안되었으나 모든 VC들이 통합되거나 유입 트래픽이 매우 작은 경우 snoop하기 위한 비통합 셀들이 부족하게 되는 현상이 발생한다. 이 경우 비어 있는 슬롯들을 채우기 위해 특별한 제어 셀들을 사용하게 되나 제어 셀의 개수가 많아지면 셀 유실률이 높아질 수 있으며 부가적인 패킷 전송지연이 발생할 수 있다. 본 논문에서는 이러한 문제점을 극복하기 위하여 비어있는 큐를 갖는 VC의 시퀀스들은 건너뛰고 단지 이를 표시하기 위한 SS 셀만을 채워 넣는 Sequence Skipping(SS)을 제안하였다. 시뮬레이션을 통해 SS가 셀 유실률과 평균 패킷 전송지연을 줄일 수 있으며 따라서 VC 통합에 적합한 방안을 보인다.

Abstract

VC merging involves distinguishing cells from an identical merged VC label. Various approaches have been proposed to help this identification process. However, most of them incur additional buffering, protocol overhead and/or variable delay. They make the provision of QoS difficult to achieve. So it was proposed a merge capable scheduler to support VC-merging (VCMS). However, in situations where all VCs are to be merged or the incoming traffic load is very low, it could happen that there are not enough non-merging cells to snoop. In this situation the scheduler uses special control cells to fill the empty time slots out. Too many control cells can cause high cell loss ratio and an additional packet transfer delay. To overcome the drawbacks, we propose a Sequence Skipping(SS) method where the sequencers skip the empty queues and insert SS cells. We show SS method is suitable for VC-merging and can reduce the cell loss ratio and the mean packet transfer delay through simulations.

Keyword : TTL-to-CMOS, Input buffer, Activation clock pulse, SRAM, Operating power

* LG電子 情報通信事業本部

(Transmission System Lab., LG Electronics)

接受日: 2001年 5月10日, 修正完了日: 2001년 7월15일

** 建國大學校 電子工學部

(Dept. of Electronics Eng., Konkuk Univ.)

* 본 연구는 건국대학교 산업기술연구원의 98년도 산학협동연구과제 지원에 의하여 수행되었음

I. 서 론

과거의 ATM망은 point-to-point (pt-to-pt)와 point-to-multipoint (pt-to-mpt) 연결만이 존재하였으나, ATM core 망을 공유하는 라우터들 간의 상호 연결이나 다양하고 많은 정보의 수집에 관련된 application에는 multipoint-to-point (mpt-to-pt)연결이 보다 효율적이다. 또 망의 확장성을 고려할 때 레이블의 수를 줄이기 위해서도 필요하게 된다. 망의 규모가 커지고 다양한 애플리케이션의 수는 증가하지만 사용할 수 있는 레이블의 수는 한정되어 있기 때문에 이 레이블을 효율적으로 사용하는 것이 필요한데 이것은 VC 통합 기법을 사용하여 가능하게 된다. VC 통합은 여러 소스로부터 유입되는 다양한 트래픽 흐름들을 서로 공통된 요소를 기준으로 하나의 레이블을 사용하게끔 통합하는 과정이다. 서로 공통된 요소라 하면 목적지가 같은 경우가 해당되며 여기서 목적지는 목적지 네트워크를 말하지만 좀더 분할하여 (목적지 네트워크, QoS), (목적지 호스트, QoS)등이 VC(Virtual circuit) 통합방법에 사용될 수도 있다. 따라서 VC 통합을 사용하면 필요한 레이블의 수를 상당히 줄여줄 수가 있다.

본 논문의 구성은 다음과 같다. 제 2 장에서는 MPLS(Multiprotocol Label 스위칭)와 다양한 VC 통합 알고리즘들을 소개하고 제 3 장에서는 VCMS 및 VCMS+SS의 구조와 동작원리에 대해서 기술하였다. 제 4 장에서는 시뮬레이션 모델 및 평가항목에 대하여 기술하며 제 5 장에서 시뮬레이션 결과를 통하여 기존의 알고리즘과 VCMS+SS간의 성능차이를 패킷 재조립 버퍼의 필요성과 셀 손실률 및 평균 패킷 전송 지연시간의 측면에서 비교하여 본다. 마지막으로 6장에서는 결론 및 앞으로의 연구방향에 대하여 언급하였다.

II. MPLS와 다양한 VC 통합 알고리즘

2.1 MPLS

MPLS는 라우트 정보를 짧은 길이의 레이블에 매핑시켜 다음 홉의 라우터가 빨리 결정되도록 하였다. 따라서 패킷 전송이 매우 간소화되고 하드웨어적으로 처리할 수 있게 된 것이다. 이것은 기존의 longest

prefix matching방식이 상당한 시간적 손실을 가져온다는 점에서 획기적이라고 할 수 있다. 이것은 레이블 swapping이라는 개념의 표준화를 이룬 것으로 계층2의 스위칭과 계층3의 라우팅을 하나로 통합한 통합모델을 제공한다. 그림 1은 라우팅과 스위칭을 비교하여 보여준다. 그림 1a는 일반적인 IP 라우터의 동작모습이다. 라우팅 정보는 IP 테이블에 저장되어 있다. 그림 1b는 라우팅 정보가 계층 2의 레이블에 매핑되는 것을 보여준다. 라우팅과 스위칭을 통합한 라우터를 label switching router(LSR)이라고 부른다.

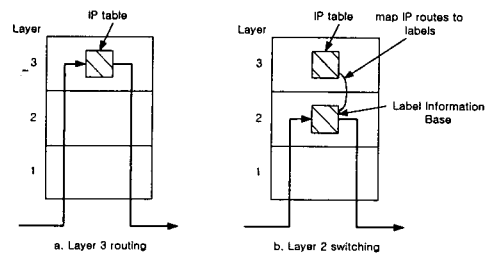


그림 1. 라우팅 과 스위칭의 비교
Fig. 1. A comparison of switching and routing

2.2 VC 통합 알고리즘

VC 통합은 여러 소스로부터 유입되는 다양한 트래픽 흐름들을 서로 공통된 요소(목적지 주소, QoS)를 기준으로 하나의 레이블을 사용하게끔 통합하는 과정이다. VC 통합을 사용하면 필요한 레이블의 수를 상당히 줄여줄 수가 있는데 N 개의 라우터가 서로 상호 연결되는 경우 기존의 소스-목적지 짝을 사용하면(비 VC 통합) N^2 개의 pt-to-pt 연결을 위해 N^2 개의 레이블이 필요하게 되는 반면에 mpt-to-pt연결(VC 통합)을 사용하면 N 개의 mpt-to-pt를 위한 N 개의 레이블만이 필요하게 된다

2.2.1 FVCM(Frame level VC Merging)

이 방식은 서로 다른 패킷에 속하는 셀들이 같은 VC로 통합될 때 서로 섞이지 않아야 한다. 따라서 한 패킷에 속하는 들어오는 셀들이 그 패킷의 마지막 셀이 도착할 때까지 특별한 추가적인 버퍼(패킷 재조립 버퍼)에 일단 저장된다. 패킷의 마지막 셀이 들어오면 다음 홉으로 전송을 위해 output buffer로 전달된

다. 패킷의 재조립에 따른 지연이 생기며 다음 홉의 노드에 매우 버스티한 트래픽을 유입시켜 망의 성능을 저하시키는 단점이 있다.

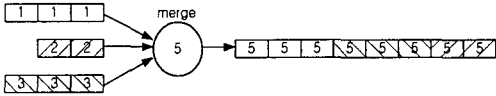


그림 2. 프레임 수준의 VC 통합 구도
Fig. 2. Frame level VC merging scheme

2.2.2 HE(Header Extension)[8]

이 방법은 셀 헤더를 확장하여 소스 ID를 저장하게 하는 방법이다. 각 셀을 소스 ID별로 구분할 수 있어서 출력 VC에 어떠한 순서로도 다중화될 수 있다는 장점이 있다. AAL5나 AAL3/4를 사용하는 모든 알고리즘들은 소스 ID를 저장하기 위해 16bit를 할당하고 있어서 셀의 유효부하부분을 46byte로 축소시킨다. 이 기법의 장점은 구현이 간편하여 스위치의 하드웨어에 약간의 구조변화만으로도 가능하다는 것이다. 다만 프로토콜 효율을 90.57%(48/53)에서 86.79%(46/53)로 떨어뜨린다는 단점이 있다.

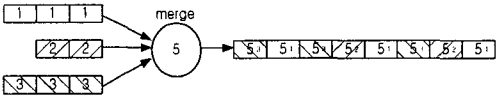


그림 3. Header extension VC merging scheme
Fig. 3. Header extension VC merging scheme

2.2.3 Explicit Notification(EN)[9]

소스 ID를 각각의 셀의 헤더에 저장하여 전송하는 방법대신에 EN는 다중화된 셀들의 정보를 특별한 RM 셀에 담아서 전송하는 방법이다. 동일한 출력 VC로 나가는 셀들을 임시 출력 버퍼에 모두 저장한 후 RM 셀을 만들어서 저장된 셀들 앞에 붙여서 전송한다. 이 RM 셀에는 버퍼에 저장된 셀들의 소스 ID가 순서적으로 저장되어 있다. 24개의 셀이 받아지거나 패킷의 EOP 셀이 들어오는 경우 RM 셀이 생성된다. 즉, 하나의 RM 셀로 최대 24개의 셀들이 동일한 VC를 통하여 연속해서 나갈 수 있다. Header extension과 마찬가지로 이 방법은 셀 수준 인터리빙이 가능하며 필요한 임시 버퍼의 크기도 출력 모듈당

최소 24개의 셀을 저장할 수 있는 크기면 충분하다. 단점으로는 프로토콜 효율이 떨어진다는 점과 입력 트래픽에 따른 지연시간의 변화를 들 수 있다. RM 셀이 만들어지기 전까지는 어떠한 셀들도 출력 VC로 나갈 수가 없기 때문이다. 이 지연시간의 변화는 QoS를 보장하기 어렵게 만든다.

III. VCMS 및 VCMS+SS의 구조와 동작원리

3.1 VCMS

그림 4는 VC 통합 스케줄러에 의한 방법을 보여주고 있다. 이 방법의 특징은 Implicit Notification 기법을 사용한다는 것이다. 간단히 말해서 통합 순서를 미리 설정하여 SEQ가 그 정해진 순서대로 셀들을 전송한다. 정해진 순서에 보낼 셀이 없는 경우에는 snooping 셀을 추가한다. 장점으로는 cut-through 포워딩이 가능하며 FVCM이 프레임 수준 인터리빙이 가능한 반면 VCMS는 셀 수준 인터리빙이 가능하다는 것이다. 따라서 다음 단의 다운스트림 노드에 bursty한 트래픽을 보내지 않아 망의 부하를 전체적으로 감소시킨다.

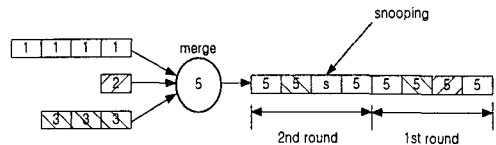


그림 4. VC merging capable 스케줄러에 의한 VC 통합
Fig. 4. Merge through VC merging capable scheduler

ATM에서는 네트워크를 통하여 셀들이 전송되기 전에 연결설정 과정을 필요로 한다. 이 과정은 단단한 VC상에 있는 각 노드로 시그널링(signaling) 트래픽 파라미터들의 전달과 이에 따른 자원의 예약이라는 과정이 포함된다. 여기에 통합 큐에 대한 셀 시퀀싱 결정을 위한 과정이 추가된다. 각각의 연결에 대한 정보는 해당 VC내의 모든 노드에 전달되므로 각 노드는 통합되는 VC나 de-merge 되는 VC의 수를 결정할 수 있으며 따라서 이들의 통합, de-merging 시퀀스도 결정되어 질 수 있다. 매 스케줄링의 순간 스케줄링 지침과 모든 큐의 자원예약상태에 따라 SCH는

각각의 셀을 소스별로 분리할 수가 있다.

IV. 시뮬레이션 모델

시뮬레이션은 그림 7과 같은 구성을 가진다. 서로 같은 양의 트래픽을 생성하는 8개의 ON/OFF UBR 소스가 하나의 LSR을 통과하여 동일한 목적지로 가도록 구성되어 있다. 소스 1~4번은 비 통합 소스로 분류되어 통합 알고리즘의 처리를 거치지 않고 바로 출력 버퍼로 들어간다. 소스 5~8번은 하나의 레이블을 가지게 하여 통합되도록 구성하였다. 각각의 회선은 PCR이 155Mbps로 설정되어 있으며, 유입되는 소스 트래픽 부하의 양은 LSR의 출력 링크속도(155Mbps)를 100%로 하였을 때 유입되는 전체 트래픽 부하의 %가 20, 40, 60, 80, 100, 120, 140, 160이 되도록 값을 변경시켰다. LSR에서는 VC 통합이 일어나게 되는데 이 LSR에 각각의 통합 알고리즘을 적용시켜 보았다. LSR은 per VC 큐잉을 하며 모든 큐는 동일한 비율로 서비스를 받는 것으로 한다. 유입되는 패킷의 평균길이는 10[cells]과 15[cells]가 각각 사용된다. 총 시뮬레이션 시간은 약 30초이다.

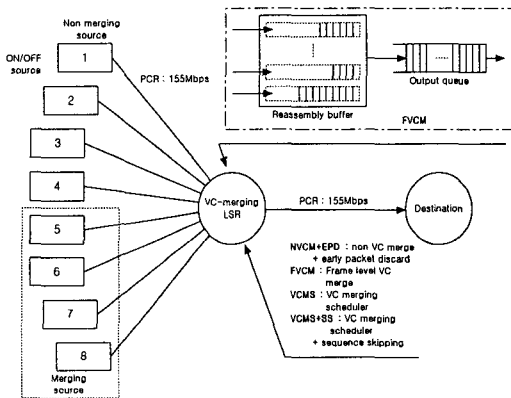


그림 7. 시뮬레이션 모델
Fig. 7. Simulation model

V. 시뮬레이션 결과

5.1 FVCM의 패킷 재조립 버퍼필요

그림 8은 프레임 수준 인터리빙 알고리즘에서 패

킷 재조립 버퍼 크기의 증가에 따른 셀 유실률을 비교한 결과이다.

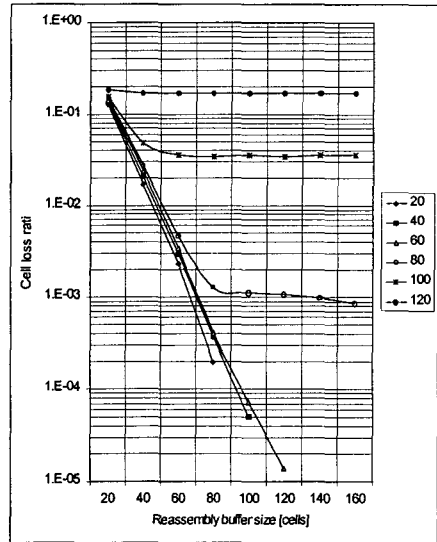


그림 8. 프레임 수준 인터리빙 알고리즘에서
패킷 재조립 버퍼 증가에 따른
셀유실률(평균패킷길이 10)

Fig. 8. Cell loss ratio according to packet
reassemble bufer size(average packet size 10)

각 그래프는 입력되는 트래픽 부하를 백분율로 나타낸 것으로 20%의 경량 트래픽에서부터 120% 중량 트래픽까지의 결과를 나타낸다. 전체적으로 재조립 버퍼의 크기가 증가할수록 셀의 유실률이 감소함을 알 수 있다. 감소의 정도는 유입 트래픽 부하가 증가할수록 작아진다. 유입 트래픽 부하가 20%, 40%인 그래프는 재조립 버퍼의 크기가 각각 100[cells]과 120[cells]보다 클 경우에 셀의 손실이 없는 것으로 나타났다. 80%, 100%, 120%의 그래프는 패킷 재조립 버퍼의 크기가 어느 임계값 이상 커진 셀 유실률이 더 이상의 감소하지 않는다는 것을 보여준다. 트래픽 부하가 80%인 경우 80[cells]이상의 버퍼는 불필요함을 나타낸다. 100%의 경우는 60[cells]의 버퍼로 충분하다. 따라서 이 버퍼크기의 임계값은 유입 트래픽량이 증가함에 따라 감소함을 알 수 있다. 유입 트래픽의 양이 많은 경우에는 적은 패킷 재조립 버퍼에 의한 패킷의 손실과 큰 재조립 버퍼를 가지고는 있으나 과부하에 따른 출력버퍼에서의 손실이 차이가 없이 서로 비슷함을 보여준다. 따라서 과부하상태에서는

패킷 재조립 버퍼가 제대로 기능을 하지 못함을 알 수 있다. 과부하 상태에서의 재조립 버퍼는 메모리의 낭비를 초래한다.

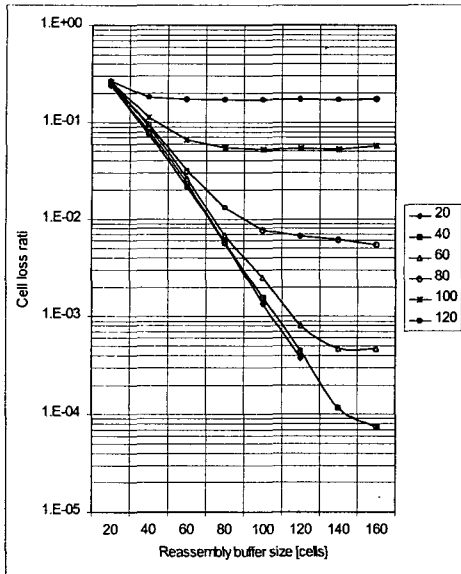


그림 9. 프레임 수준 인터리빙 알고리즘에서 패킷 재조립 버퍼 크기의 증가에 따른 Cell loss ratio(평균 패킷길이 15)

Fig. 9. Cell loss ratio according to packet reassembly bufer size(average packet size 15)

그림 9는 평균 패킷 크기가 15cell로 늘어났을 경우 패킷 재조립 버퍼의 셀 유실률에의 영향을 보여주고 있다. 전반적으로 그래프의 형태는 평균 패킷 크기가 10일 때와 비슷하다. 단 버스트의 증가는 전체적인 셀 유실률을 증가시킨다. 입력 트래픽 부하 20%에서는 140[cells]의 버퍼일 때 셀 유실률 0임을 나타낸다. 같은 입력 트래픽양이라도 버스트가 증가하는 경우에는 더 많은 재조립 버퍼가 필요하다. 60% 트래픽 부하에서 버퍼크기 160[cells]이상일 때 셀 유실률이 고정됨을 알 수 있다. 평균 패킷 크기가 10일 때와 비교해서 20셀 정도의 버퍼용량이 더 필요함을 알 수 있으며 셀 유실률은 오히려 6[dB] 증가함을 보여주고 있다. 입력 트래픽 부하가 증가할수록 이 셀 유실률의 증가 주이는 감소하여 120%이상에서의 경우는 평균 패킷 크기가 10일 때와 거의 차이가 없음을 알 수 있다.

5.2 셀 유실률

그림 10은 유입 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘의 셀 유실률의 변화를 보여주고 있다. FVCM의 경우는 패킷 재조립 버퍼의 크기를 40[cells]~160[cells]로 변화시켜가면서 다른 알고리즘과 비교하였다.

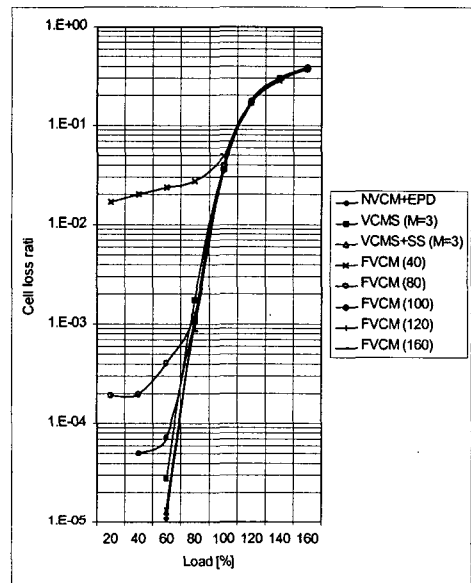


그림 10. 유입 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘의 셀 유실률(평균 패킷길이 10).

Fig. 10. Cell loss ratio according to incoming traffic loads(average packet size 10)

패킷 재조립 버퍼의 크기를 크게 할수록 셀 유실률은 감소함을 알 수 있다. 부하의 크기가 증가할수록 각각의 알고리즘들의 차이는 점점 없어져 부하 120%이상에서는 모든 알고리즘들이 거의 동일한 셀 유실률을 보여주고 있다. 부하가 40%이하일 때 NVCM+EPD, VCMS 및 VCMS+SS는 셀 유실률이 0임을 알 수 있다. NVCM+EPD, VCMS+SS, FVCM(120) 및 FVCM(160)은 거의 차이를 보이지 않고 있으며 VCMS+SS가 VCMS보다 셀 유실률이 약간 낮은 것으로 나타났다. 이는 VCMS+SS가 제어 스누핑 셀의 수를 상당히 감소시켜 그 만큼 망의 자원을 효율적으로 이용하기 때문이다. FVCM은 재조립버퍼의 크기를 충분히 크게 해보았으나 더 이상의 셀 유실률의 감소는

기대할 수 없었다. FVCM은 패킷의 재조립을 위한 추가적인 버퍼를 만들어 주어야 한다는 단점이 있으며 VCMS 및 VCMS+SS의 경우는 추가적인 버퍼 없이도 셀 유실률 면에서 NVCM+EPD와 비슷한 결과를 얻을 수 있다는 장점이 있다.

그림 11은 평균 패킷 size를 15[cells]로 증가시켜서 각 알고리즘별로 셀 유실률을 비교하였다.

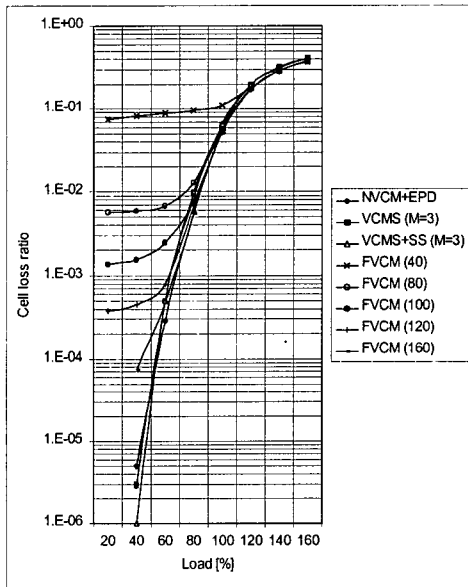


그림 11. 유입 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘의 셀 유실률(평균 패킷길이 15)

Fig. 11. Cell loss ratios according to incoming traffic loads(average packet size 15)

전체적으로 NVCM+EPD가 가장 셀 유실률이 낮은 것으로 나타났으나 부하 40[%]에서는 VCMS+SS가 가장 셀 유실률이 낮다. 이에 반해 FVCM(160)은 상대적으로 셀 유실률이 높게 나와 FVCM이 트래픽의 버스트정도에 보다 민감한 반응을 보임을 알 수 있다. VCMS는 VCMS+SS와 비교할 때 부하가 낮은 경우는 VCMS+SS가 셀 유실률이 VCMS에 비해 낮게 나왔으며 부하가 증가할수록 약간의 차이는 있지만 대체적으로 비슷한 결과를 얻었다. 부하가 20%이하일 때 NVCM+EPD, VCMS, VCMS+SS 및 FVCM(160)은 셀 유실률이 0임을 알 수 있다. FVCM의 경우는 패킷 재조립 버퍼의 크기를 증가시킬수록 셀 유실률은 감소

하지만 평균 패킷 size 10[cells]의 결과와 비교하여 볼 때 셀 유실률이 다소 높게 나와 유입 트래픽의 버스트가 증가할수록 셀 유실률이 증가하고 NVCM+EPD 나 VCMS 및 VCMS+SS와 비슷한 셀 유실률을 얻기 위해서는 160[cells]이상을 저장할 수 있는 더 많은 패킷 재조립 버퍼를 필요로 함을 알 수 있다.

5.3 평균 패킷 전송지연시간 (Mean packet transfer delay)

그림 12는 유입되는 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘들의 평균 패킷 전송 지연시간을 보여준다.

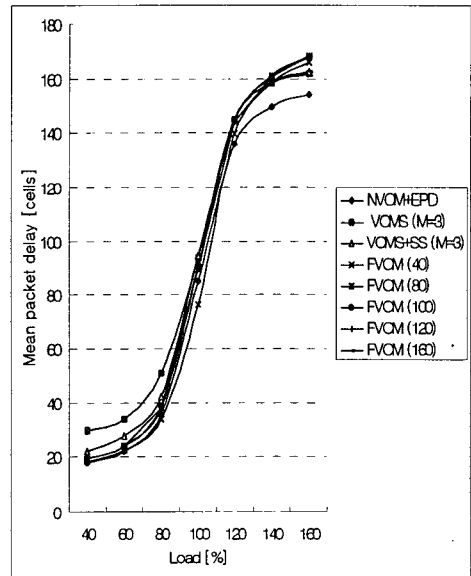


그림 12. 유입되는 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘의 평균 패킷 전송 지연시간 (평균 패킷길이 10)

Fig. 12. Average packet delay according to incoming traffic loads(average packet size 10)

NVCM+EPD가 가장 지연시간이 짧고 대체적으로 VCMS는 유입되는 트래픽 부하가 낮은 경우 NVCM+EPD 및 FVCM에 비하여 10~13 [cells] time 정도 더 지연되나, 부하가 증가하면 그 폭이 감소되어 부하 120%를 넘어서면 VCMS의 지연시간이 FVCM과 비슷해짐을 알 수 있다. 이는 낮은 부하상태에서는 출력 링크의 이용률이 낮아지며 비어있는 슬롯을 많

은 제어 셀들로 채워 전송하기 때문이다. VCMS+SS는 낮은 부하에서는 FVCM에 비해 1~2 [cells] 정도 지연시간이 더 생길 뿐이고 오히려 부하가 증가할수록 FVCM에 비해 지연시간이 적음을 알 수 있다. 따라서 VCMS+SS가 낮은 부하상태에서 VCMS의 패킷 전송 지연 시간이 증가하는 문제를 해소시켜준다는 것을 알 수 있다. 부하가 160%를 넘어 서부터는 일정한 전송 지연시간값을 유지하는 경향이 있음을 알 수 있다. FVCM의 경우 패킷 재조립 버퍼의 크기에 따른 전송 지연시간정도를 볼 수 있는데 이 재조립 버퍼의 크기가 40[cells]인 경우만 제외하고는 나머지의 값들은 거의 동일함을 관찰할 수 있다. 재조립 버퍼가 40[cells]인 경우 전송 지연시간이 상대적으로 낮은 이유는 재조립 버퍼의 크기가 작은 것에 의해 많은 패킷들이 출력버퍼로 들어가기도 전에 파기되어 그만큼 출력버퍼에서의 큐의 길이를 감소시키기 때문이며 이때 전송 지연시간측면에서 얻은 이점은 상대적으로 많은 셀들을 파기함으로써 생긴 결과이기 때문에 그렇게 바람직한 것은 아니다.

그림 13에서 VCMS은 유입되는 트래픽 부하가 낮은 경우 NVCM+EPD 및 FVCM에 비하여 15 ~17 [cells] time 정도 더 지연되거나 부하가 증가할수록 그

폭이 줄어들어 부하 120%를 넘어서면 FVCM와 비슷해짐을 알 수 있다. 유입 트래픽 부하가 낮은 경우에는 NVCM+EPD와 FVCM 모두가 비슷한 정도의 전송 지연시간이 생기고 VCMS+SS는 VCMS에 비해 10 [cells] time 정도 패킷 전송 지연시간을 줄여준다. 그 차이는 평균 패킷 size 10인 경우보다 약간 증가한 것으로 트래픽의 버스트정도가 증가할수록 낮은 부하에서 VCMS의 지연시간은 더 커짐을 알 수 있다. 부하 160% 이상에서는 모든 알고리즘들이 거의 동일한 지연시간을 보여준다. FVCM의 경우 재조립 버퍼의 크기가 40[cells]의 경우만 제외하고는 나머지의 값들은 거의 동일함을 관찰할 수 있다. 재조립 버퍼 40[cells]의 경우 지연시간은 부하 100%에서 평균 패킷 size 10의 경우에 비해 오히려 12[cells] time 정도 낮아졌다. 이는 재조립 버퍼의 크기가 작은 것과 패킷의 평균 길이가 증가한 것에 의해 더욱 많은 패킷들이 출력버퍼로 들어가기도 전에 파기되어 그만큼 출력버퍼에서의 큐의 길이를 감소시켰기 때문이며 이것 역시 상대적으로 많은 셀들의 파기에 의한 결과이기 때문에 그렇게 바람직하지 않다. FVCM의 경우 패킷 재조립 버퍼의 크기는 전송 지연시간 정도에 큰 영향을 미치지 않는 것으로 나타났지만 NVCM

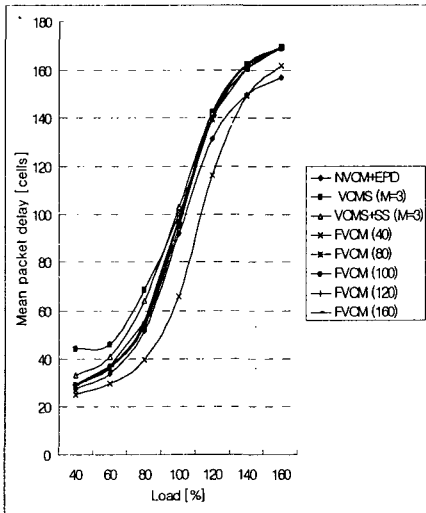


그림 13. 유입 트래픽 부하의 변화에 따른 각 VC 통합 알고리즘의 평균 패킷 전송 지연시간(평균 패킷길이 15)

Fig. 13. Average packet delay according to incoming traffic loads(average packet size 15)

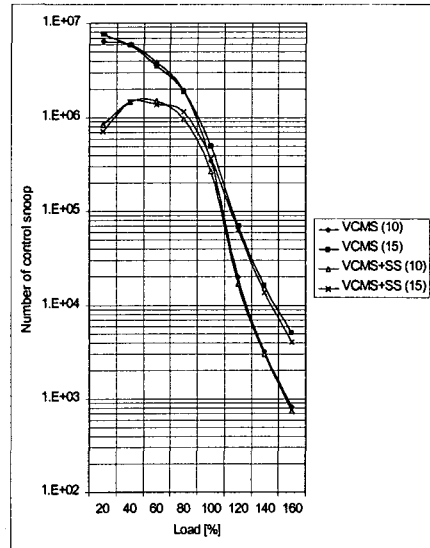


그림 14. 제어 스누핑 셀 수의 부하에 따른 변화

Fig. 14. Number of snooping cells according to loads

+EPD에 비해 다소 지연됨을 알 수 있다. 이것은 패킷 재조립 버퍼에서 패킷의 마지막 셀을 받기 전까지 저장을 한 후에 출력 버퍼로 전송을 하기 때문이며 FVCM의 단점으로 지적되고 있다.

5.4 제어 스누핑 셀의 수

그림 14는 부하에 따른 제어 스누핑 셀수의 변화를 나타낸 것이다.

트래픽 부하가 낮은 경우에는 상당히 많은 제어 스누핑 셀들이 사용되고 있는데 이는 회선의 이용률이 현저히 낮기 때문이다. VCMS가 VCMS+SS보다 약 10배 더 많은 제어 스누핑 셀을 사용하고 있다. 제어 스누핑 셀들이 많다는 것은 그만큼 망의 자원이 낭비되고 있음을 의미하며 VCMS+SS가 VCMS보다 적은 제어 스누핑 셀을 사용하므로 그만큼 망의 자원을 VCMS보다 효율적으로 사용한다는 것을 알 수 있다. 또한 과도한 제어 셀로 인한 전송 지연시간을 상당히 줄여줄 수도 있다. 대체적으로 부하가 증가할수록 제어 셀의 수가 감소함을 알 수 있다. 부하 100[%]정도에서 제어 셀의 수가 급격히 감소한다. 패킷의 길이가 10[cells]인 경우와 15[cells]인 경우 제어 셀의 수는 차이가 거의 없는 것으로 나타났다.

VI. 결 론

본 논문에서 제안한 Sequence Skipping(SS)은 통합 셀들이 각각의 시퀀스를 지키지만 낮은 부하상태에서의 불필요한 시퀀스를 건너뛰므로써 빈 슬롯의 수를 현저히 감소시켜주어 VCMS가 가진 저 부하에서의 전송 지연시간 증가 및 셀 유실률의 증가 문제를 해결할 수 있다는 것을 시뮬레이션을 통해 보여주었다. 결과적으로 VCMS+SS는 VCMS에 비해 낮은 셀 유실률과 적은 패킷 전송 지연시간을 가지며 Non VC Merge(NVCM)+EPD의 경우에 근접하는 결과를 얻을 수 있어 기존의 알고리즘들이 가진 VC 통합에 의한 기능적인 측면에서의 손실을 최소화 할 수 있음을 알 수 있다.

본 논문은 UBR 트래픽의 경우만을 고려하였으므로 앞으로 다양한 QoS보장을 위한 VC 통합 스케줄링 기법이 연구되어야 하며 또 구조적으로 약간 복잡하다는 단점도 극복되어야 한다. 과도한 제어 셀의 발생을 막아주는 메커니즘도 더불어 연구되어야 한다.

참고문헌

- [1] P. Newman, T. Lyon and G. Minshall, "Flow labeled IP: Connectionless ATM under IP" in Proc. INFOCOM'96, San Francisco, CA, pp. 1251-1266.
- [2] Y. Rekhter, B. Davie, D. Katz, E. Rosen, and G. Swallow, "Cisco system's tag switching architecture overview," RFC 2105 Feb. 1997
- [3] Y. Katsube, K. Nagami and H. Esaki, "Toshiba's router architecture extensions for ATM: Overview", RFC 2098, Feb. 1997
- [4] A. Viswanathan, N. Feldman, R. Boivie and R. Woundy, "ARIS: Aggregate route-based IP switching", Internet Draft draft-viswanathan-aris-overview-00.txt, Mar. 1997
- [5] R. Callon, P. Doolan, N. Feldman, A. Fredette, G. Swallow and A. Viswanathan, "A framework for multiprotocol label switching," Internet Draft draft-ietf-mpls-framework-02.txt, Nov. 1997
- [6] Hungkei Keith Chow, Alberto Leon-Garcia, "VC-Merge Capable Scheduler Design" accepted for presentation in ATM'99, May 1999.
- [7] I. Widjaja, M. Neuts, and J. M. Li, "Conditional overflow probability and profile curve for congestion detection in ATM networks," in Proc. INFOCOMM'96, San Francisco, CA, pp. 970-977
- [8] M. Baldi, D. Bergamasco, S. Gai, D. Malagrino, "AAL5X: ATM Adaptation Layer 5. extension for Efficient VC Merging over ATM Networks", in Proc. INFOCOMM'98, April 1998
- [9] J. Crowcroft, S. Komandur, D. Mosse, "CRAM: Cell Re-labeling at Merge-points for ATM Multicast", in Proc. ATM'98, May 1998
- [10] Fang, C., Chen, H., and Hutchins, J. "A Simulation Study of TCP Performance in ATM Networks." Proceedings, GLOBECOM '94, 1994

 저 자 소 개

白 承 榮 (正會員)

1999년 2월 건국대학교 전자정보통신공학과 졸업
 2001년 2월 건국대학교 전자정보통신공학과 석사
 2000년 12월 ~ 현재 LG 정보통신

朴 壽 用 (正會員)



1998년 2월 건국대학교 전자
 정보통신공학과 졸업
 1998년 1월 ~ 1999년 7월 삼
 성정보통신
 1999년 8월 ~ 현재 건국대학
 교 전자정보통신공학과 석사
 과정

金 榮 範 (正會員)

제 5권 제 1호 논문 01-01-11 참조
 현재 건국대학교 정보통신대학 전자공학부 교수