

논문 01-01-05

활성 클럭펄스로 제어되는 3.3V/5V 저전력 TTL-to-CMOS 입력 버퍼

A 3.3V/5V Low Power TTL-to-CMOS Input Buffer Controlled by Internal Activation Clock Pulse

裴孝寬*, 柳凡善**, 趙泰元**

(Hyo-Kwan Bae* , Beom-Seon Ryu** and Tae-Won Cho**)

요약

본 논문에서는 입력이 TTL 전압 레벨일 때 저전력으로 동작하도록 설계된 TTL-to-CMOS 입력버퍼의 회로를 제안한다. 회로 구성은 내부 활성 클럭펄스로 제어되는 반전형 입력버퍼와 래치로 구성하고, 직류 단락전류를 제거하기 위해 클럭펄스가 로우상태일 때는 입력버퍼가 동작되지 않도록 하고 하이일 때만 정상적으로 동작되도록 하였다. 시뮬레이션을 수행한 결과 제안된 회로의 전력-지연 곱이 하나의 입력당 33.7 % 줄어듦을 확인하였다.

Abstract

This paper describes a TTL-to-CMOS input buffer of an SRAM which dissipates a small operating power dissipation. The input buffer utilizes a transistor structure with latch circuit controlled by a internal activation clock pulse. During the low state of that pulse, input buffer is disabled to eliminate dc current. Otherwise, the input buffer operates normally. Simulation results showed that the power-delay product of the purposed input buffer is reduced by 33.7 % per one input.

Keyword : TTL-to-CMOS, Input buffer, Activation clock pulse, SRAM, Operating power

1. 서론

입·출력 회로는 칩 내부의 논리 회로를 외부의 칩과 연결시키며 이들은 전체 칩의 속도와 전력소모에 중요한 역할을 한다. 입력신호를 칩의 내부회로에

배분하기 위해서 입력버퍼가 필요하고 이들의 게이트는 입력 패드(pad)에 연결된다. 입력버퍼는 내부회로를 구동하기 위하여 여러 단의 인버터(inverter)로 구성된다. 이러한입력버퍼는 하나의 칩에서 많은 수가 있어서 속도가 느려지지 않으면서 동작 소비전력을 줄이는 것이 아주 중요하다.

동작 소비전력은 크게 정적 소비전력과 동적 소비전력으로 구성된다.

정적 소비전력은 입력이 최악(Worst Case)의 입력 TTL 논리 하이(high) 레벨인 2.2V와 로우(low) 레벨인 0.8V일 때 그림 1(a)에서와 같이 풀-다운(Pull-down)과 풀-업(Pull-up)이 동시에 턴-온(Turn-on)되어 V_{CC} 에서

* 東元大學 電子科 ,

(Dept. of Electronics, Tongwon College)

** 忠北大學校 電氣電子工學部

(Dept. of Electronics Engineering, Chungbuk National University)

接受日: 2001年 2月28日, 修正完了日: 2001年 7月 2日

접지로 직류 단락전류(idc1, idc2)가 흐른다. 이 전류는 보통 100- 200 μ A 가 흐르는데 하나의 칩에 수십 개의 입력이 있으므로 수 mA의 직류 단락전류(idc1, idc2)가 계속 흐른다. 그림 1(c)에서 20 ns에서의 110 μ A의 직류전류가 이것에 해당한다. 특히 입력이 TTL 로우 레벨일 때보다는 TTL 하이 레벨인 경우에 직류 단락전류가 훨씬 커 정적 소비전력의 대부분을 점유하고 있어 이를 줄이는 것이 가장 중요하다.

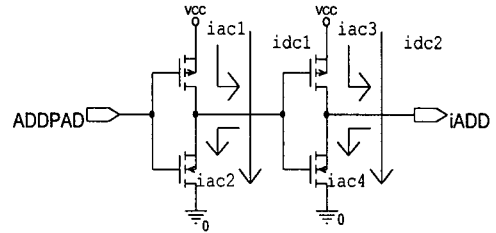
동적 소비전력은 입력이 최악의 입력 TTL 레벨로 하이에서 로우, 로우에서 하이로 천이시 내부회로의 용량성 부하를 충·방전하면서 발생하는 전류(iac1, iac2, iac3, iac4)이다. 그림 1(c)에서 임펄스형태의 전류가 이것에 해당한다. 이것을 수식으로 표현하면 다음 식(1)과 같다.

$$P_i = A N_i E_i f \quad (1)$$

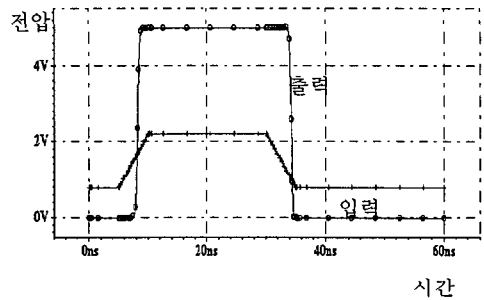
여기서 A 는 스위칭 활동(switching activity), N_i 는 입력패드의 수, E_i 는 입력패드 내부에너지, f 는 주파수이다[1].

지금까지 이러한 입력버퍼의 동작 소비전력을 줄이기 위한 몇가지 기술이 제안되었다. T.Kobayashi[2] 등은 동적 소비전력을 줄이기 위해 SPSIB(Static Power Saving Input Buffer)를 제안하고 5V SRAM 입력버퍼에 적용하였다. 그러나 여기서는 공핍모드 트랜지스터를 이용하여 회로를 구성하여 CMOS 회로에는 적용할 수가 없다. 또한 유창식[3] 등도 정적 소비전력을 줄이기 위해 히스테리시스 특성을 가지며 입력이 2.4V보다 크거나 0.75V보다 작을 경우 직류전류를 차단하는 회로를 제안하였다. 그러나 전원전압이 5V에서 3.3V로 바뀌면 회로구성과 트랜지스터 크기 등을 바꿔야하고[4] 종래의 입력버퍼보다 속도가 느려지는 단점을 가지고 있다. 이러한 단점을 보완하기 위해 논문[3]의 속도를 개선하기 위한 회로도 제안되었으나 종래와 비교할 때 여전히 속도가 많이 느리고 정적 소비전력을 줄이는데 중점을 두었다[5].

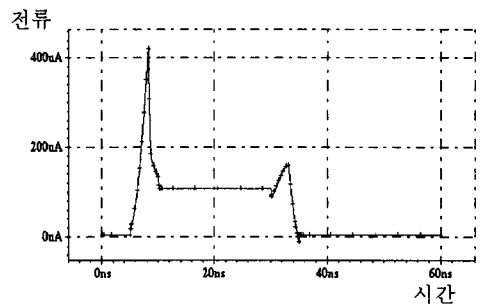
본 논문의 회로는 기존의 저전력 SRAM 회로인 어드레스 천이 감지기(ATD:Address Transition Detector)와 내부 활성 클럭펄스 발생기(CPG:Activation Clock Pulse Generator)를 그대로 사용하여 이 회로의 출력을 래치를 가진 입력버퍼로 귀환(feedback)시켰다. 이렇게 하여 최악의 입력조건, TTL 하이(2.2V)에서 정적 소비전력을 줄임과 동시에 속도의 감쇄 없이 동작 소비



(a)



(b)



(c)

그림 1. 종래의 입력버퍼 (a)회로도

(b)입·출력 파형 (c)전류 파형

Fig. 1. The conventional TTL-to-CMOS input buffer (a)circuit diagram (b)simulated input and output voltage waveform (c)simulated current waveform

전력을 줄인 회로를 제안하였다.

시뮬레이션은 $V_{cc}=5V$ 와 3.3V에서 회로설계, 직류 및 천이 분석을 하였으며 결과는 주로 $V_{cc}=5V$ 를 가정하였으나 성능비교를 위해 $V_{cc}=3.3V$ 에 대한 전력-지연 곡의 결과도 제시하였다.

2장에서는 종래와 제안된 입력버퍼의 동작원리 및

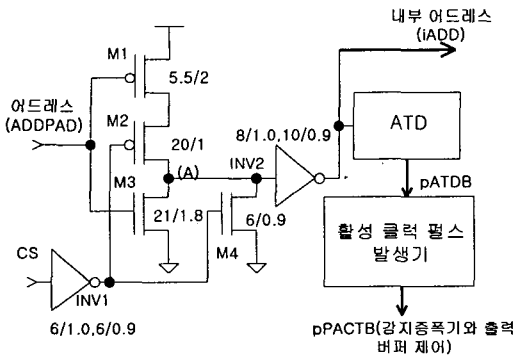


그림 2. 종래의 입력버퍼[1]

Fig. 2. The conventional input buffer[1]

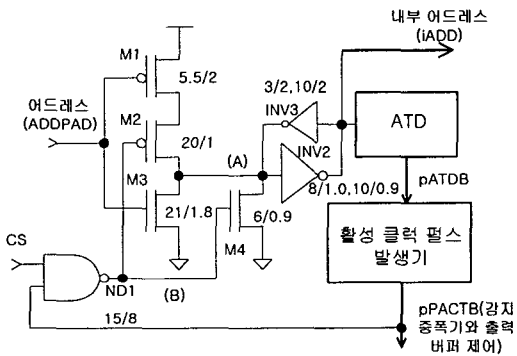


그림 3. 본 논문의 입력버퍼

Fig. 3. The proposed input buffer

시뮬레이션 결과를 설명한다. 마지막장에서는 결론이 제시된다.

II. 회로설계, 동작원리 및 시뮬레이션 결과

2.1 종래의 입력버퍼

그림 2는 종래의 입력버퍼 회로도이다. 그림에서 트랜지스터 사이즈는 W/L로 표기하였으며 논리 문턱값이 TTL 하이와 로우의 중간값인 1.4V로 맞추기 위해 ratio가 약 2.7이 되도록 PMOS와 NMOS의 사이즈를 정하였다. CS(Chip Select)가 로우(Low)인 경우 대기상태이고 하이(High)이면 ADDPAD가 iADD로 전달

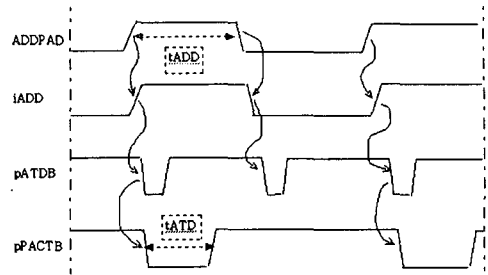


그림 4. 종래와 본 논문의 타이밍도

Fig. 4. The timing diagram of conventional and proposed input buffer

된다. ATD를 거치면서 pATDB가 생성되고, 하이에서 로우로의 천이를 검출하여 부의펄스를 발생시키고 또한 로우에서 하이로의 천이를 검출하여 부의 펄스를 발생시킨다. 이 펄스는 CPG를 거쳐 펄스의 폭을 필요한 만큼 바꾼다. pPACTB를 이용하여 감지증폭기 (Sense Amplifier)와 출력버퍼를 일정기간 Disable시켜 동작전력을 줄인다. 또한, $V_{cc}=5V$ 에서와 같이 $V_{cc}=3.3V$ 의 경우에도 논리 문턱값 1.4V로 맞추기 위해 5.5/2, 20/1, 21/1.8, 6/0.9를 ratio가 약 0.7이 되는 8/1.8, 8/1, 7.8/1.6, 6/0.9로 변경하였다.

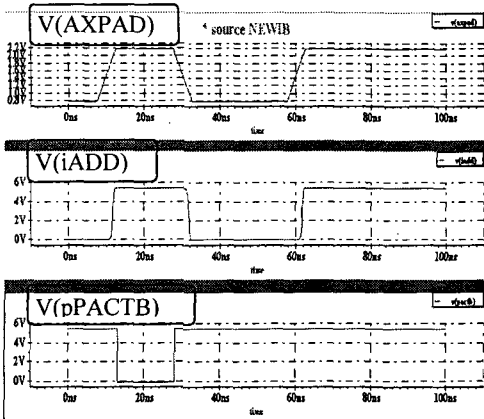
2.2 본 논문의 입력버퍼

그림 3은 본 논문의 회로도이다. 트랜지스터의 크기결정 및 표기방법은 2장 1절의 종래와 같이 하였다.

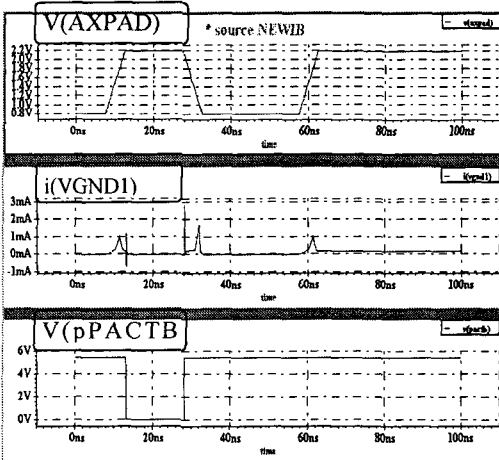
그림 4의 타이밍도에서 보듯이 입력이 하이일 때만 부의 펄스를 발생시키고 로우일때는 하이상태를 유지하는 pPACTB를 발생시킨다. 이 신호를 CS와 함께 2 입력 NAND 게이트로 피드백시켜 pPACTB가 로우인 동안 노드 (B)가 하이로 되어 M2가 턴-오프 (Turn-off)되어 직류 단락전류가 차단되고 입력 하이 신호는 래치회로에 의해 노드 (A)는 로우 iADD는 하이로 유지한다. 입력이 로우일때는 pPACTB가 하이, 노드 (B)는 로우가 되어 M2가 턴-온(Turn-on)되어 노드 (A)가 하이, iADD가 로우가 된다.

2.3 본 논문의 입력버퍼의 시뮬레이션 결과

시뮬레이션 툴은 HSPICE와 동급의 SPICE 상용 Version인 SmartSpice를 이용하였다. 모델 파라미터는 0.9 μm CMOS공정의 것을 사용하였다. 시뮬레이션 조



(a)



(b)

그림 5. 본 논문의 입력버퍼 시뮬레이션 결과
Fig. 5. The simulation results of the proposed input buffer.

건은 온도, 전원전압, 동작주기 및 제어펄스의 폭을 가변하면서 소비전력 및 속도를 관찰하였다.

그림 5(a)와 (b)는 $V_{CC}=5V$ 에서 본 논문의 입력버퍼의 시뮬레이션 결과이다. 외부 어드레스가 입력되었을 때 제어 펄스 pPACTB에 의해 제어되어도 내부 어드레스가 잘 발생됨을 확인하였다(그림 5(a)의 두번째 파형:V(iADD)).

pPACTB가 로우일 경우 입력버퍼의 전류가 흐르지 않게되고 하이일 때는 종래와 같이 직류소비전류가

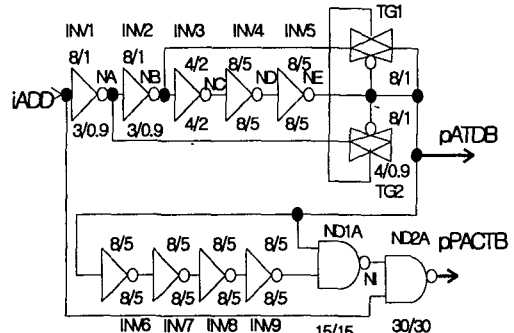


그림 6. ATD와 클럭 펄스 발생기

Fig. 6. The address transition detector(ATD) and clock pulse generator

흐름을 알 수 있다(그림 5(b)의 두번째 파형:i(VGROUND)). 또한 입력이 로우(0.8V)일 때도 직류소비전류는 흐르지 않는다.

$V_{CC}=3.3V$ 에서의 내부 신호 파형은 그림 5,7과 유사하며 하이 전압이 낮게 나타나고 지연시간이 길게 나타났다.

2.4 본 논문의 제어펄스 발생회로

본 논문의 제어펄스 발생회로는 그림 6과 같으며 ATD(INV1 - INV5 : 윗부분)와 CPG(INV6 - INV8, ND1A,ND2A : 아랫부분)로 구성된다.

내부 어드레스 신호 iADD에 의해 반전신호 NA와 비반전신호 NB가 발생되고 이들 각각의 신호가 INV3-INV4에 의해 지연된 후 ND와 NE가 발생된다. ND와 NE가 로우, 하이일 때는 NA신호가 전달 게이트 TG2에 의해 전달되고 하이, 로우일때는 전달 게이트 TG1에 의해 NB신호가 전달된다. 따라서 부의 펄스인 pATDB가 생기고 지연된 후 NI가 발생한다. ND1A에 의해 지연된 시간만큼 펄스폭이 커지게 된다. ND2A에 의해 iADD가 하이일 때만 제어펄스가 발생하고 로우일때는 항상 하이를 출력하게 된다. 출력파형의 시뮬레이션 결과 pPACTB의 펄스폭은 INV6-INV9의 크기에 따라 바뀌어진다.

그림 7은 ATD와 CPG의 시뮬레이션 결과 파형이다(그림 7의 두번째 파형:V(PACTB), 세번째 파형:V(ATDB)).

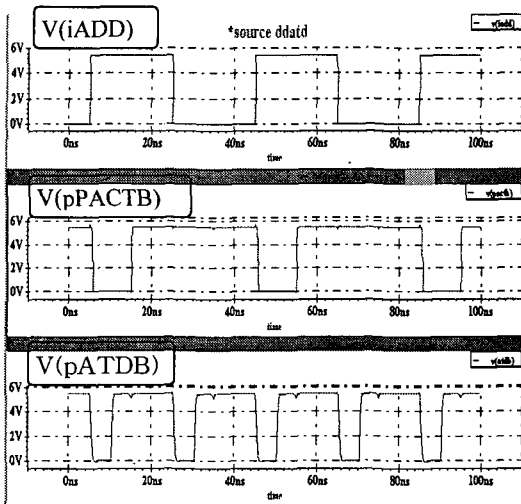


그림 7. ATD와 CPG 시뮬레이션 결과

Fig. 7. The simulation results of the ATD and CPG.

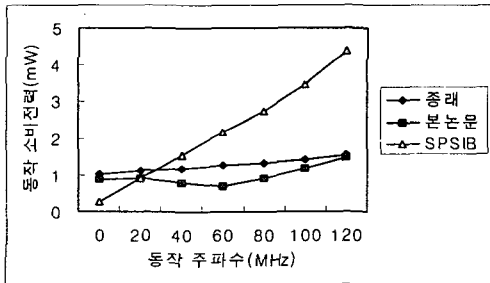


그림 8. 동작 소비전력의 비교

Fig. 8. The comparison of operating power dissipation

표 1. 지연시간의 비교

Table 1. The comparison of propagation delay

회로 \ 지연시간	td,LtoH	td,HtoL
종래(ns)	1.31	1.31
SPSIB(ns)	5.76	3.21
본 논문(ns)	1.65	1.74

표 2. 종래의 입력버퍼의 속도 및 소비전력의 시뮬레이션 결과

Table 2. The simulation results of operating power dissipation for the conventional input buffer.

VCC (V)	Temp. (°C)	t d, LtoH(ns)	t d, HtoL(ns)	power @tADD=20 ns(mW)
5.5	-5	1.31	1.31	1.20
	27	1.32	1.54	1.06
	85	1.32	1.95	0.87
4.5	-5	0.79	2.04	0.41
	27	0.81	2.26	0.37
	85	0.83	2.67	0.31

표 3. 본 논문의 입력버퍼의 속도 및 소비전력의 시뮬레이션 결과(VCC=5.5 V, -5 °C, tADD=20 ns)

Table 3. The simulation results of delay and operating power dissipation for the proposed input buffer.

t d,LtoH(ns)	t d,HtoL(ns)	power @tATD=10 ns(mW)
1.65	1.74	0.87
t d,LtoH(ns)	t d,HtoL(ns)	power @tATD=15 ns(mW)
1.65	1.74	0.62

2.5. 속도 및 전력감축량 정리

그림 8은 종래, 논문[3]의 SPSIB(static power saving input buffer) 및 본 논문의 입력버퍼의 동작 주파수에 따른 동작 소비전력을 시뮬레이션한 결과이다. 동작 주파수가 낮을 때는 본 논문의 회로가 종래보다 우수하고 SPSIB보다 높게 나오나, 동작 주파수가 높을 때는 가장 우수한 특성을 나타냄을 알 수 있다.(VDD=5.5 V, -5 °C, tATD=15 ns)

표 1은 지연시간을 비교한 표이다. 본 논문은 SPSIB에 비해 훨씬 빠르나 래치회로의 추가로 인한

표 4. 동작주파수에 따른 전력감축량 비교

Table 4. The comparison of power dissipation, according to operating frequency

회로 구분 \ 주파수 (MHz)	0	20	40	60	80	100
종래 (ns)	1.01	1.10	1.18	1.26	1.33	1.43
본 논문 (ns)	0.87	0.89	0.77	0.69	0.90	1.17
전력감축량 (%)	13.9	19.1	34.7	45.2	32.3	18.1

표 5. 종래 및 본 논문의 전력-지연 곱 비교(-5 °C, tADD=20 ns, tATD=15 ns)

Table 5. The comparison of PDP(power-delay product

V _{cc} (V)	회로 구분	전력-지연 곱 (pJ)	전력-지연 곱 감축량(%)
3.6	종래	0.264	
	본 논문	0.175	33.7
5.5	종래	1.572	
	본 논문	1.050	33.2

그림 3의 (A)점의 부하용량 증가로 종래의 회로보다 0.385 ns 느리다. (VDD=5.0 V, room temp.) 그러나, 회로의 성능을 결정하는 전력-지연 곱은 표 5에서와 같이 V_{cc}=5.5 V의 경우 1.572 에서 1.050으로 33.2 % 감소하였고 V_{cc}=3.6 V의 경우 0.264에서 0.175로 33.7 % 감소하였다.

III. 결 론

TTL-to-CMOS 입력버퍼와 제어펄스 발생회로를 이용하여 저전력 회로를 구성하고 회로 시뮬레이션을 시행하였다. 모의실험 결과, 본 논문에서 제안한 회로가 기존의 회로[1]에 비하여 전원전압 3.6V 및 5.5V에서 약 33%의 PDP(Power-Delay-Product : 전력-지연 곱)가 감소되었다. 내부펄스에 의해 제어되는 본 논

문의 경우 일반적인 조건에서 입력버퍼의 갯수가 많은 반도체 기억소자(DRAM, SRAM등)의 동적소비전력을 줄이는데 적합한 것으로 시뮬레이션 결과 확인되었고 새로운 입력버퍼의 구조가 잘 동작됨을 확인하였다.

참고문헌

- [1] Abdellatif Bellaouar and Mohamed I. Elamasry, "Low-Power Digital VLSI Design," Kluwer Academic Publishers, Massachusetts, pp. 330-348, 1995.
- [2] T. Kobayashi, et.al., "A current controlled latch sense amplifier and a static power-saving input buffer for low-power architecture," IEEE J. Solid-State Circuit, vol.28, no.4, pp. 523-527, April, 1993.
- [3] Changsik Yoo, et.al., "A Static Power Saving TTL-to-CMOS Input Buffer," IEEE J. Solid-State Circuit, vol. 30, no. 5, pp. 616-620, May, 1995.
- [4] Chi-Chang Wang and Jiin-Chuan Wu, "A 3.3-V/5-V Low Power TTL-to-CMOS Input Buffer," IEEE J. Solid-State Circuits, Vol.33, No.4, pp. 598-603, April, 1998.
- [5] Srinivasa R. Vemuru, "TTL-CMOS Input Buffers with no Static Power Dissipation," ISCAS96, Vol.4, pp201-204, April, 1996.

저 자 소 개

表 孝 寬 (正會員)



1984년 2월 : 경북대학교 전자공학과 졸업(공학사).
 1986년 2월 : 경북대학교 대학원 전자공학과 졸업(공학석사).
 1986년 2월 ~ 1997년 2월 : LG 반도체(주).
 1999년 8월 : 충북대학교 대학원 전자공학과 박사수료.

1997년 3월 ~ 현재 : 동원대학 전자과 교수.
주관심 분야 : 집적회로 설계, 컴퓨터 구조.

柳 凡 善 (正會員)

1991년 2월 : 충북대학교 전자공학과 졸업(공학사).
1997년 2월 : 충북대학교 대학원 전자공학과 졸업(공학석사).
2001년 2월 : 충북대학교 대학원 전자공학과 졸업(공학박사).
2001년 4월 ~ 현재 : 충북대학교 BK21 계약교수.
주관심 분야 : 집적회로 설계, 컴퓨터 구조.

趙 泰 元 (正會員)

제 5권 제 1호 논문 01-01-02 참조
현재 충북대학교 전기전자 및 컴퓨터공학부 교수