

論文2001-38TC-12-1

ATM-PON의 상향에서 버스트 셀 동기장치의 FPGA 구현 (FPGA Implementation of a Burst Cell Synchroniser for the ATM-PON Upstream)

金泰民*, 鄭海*, 申建淳*, 金珍希**, 孫壽炫***

(Tae-Min Kim, Hae Chung, Gun-Soon Shin, Jin-Hee Kim, and
Soo-Hyeon Sohn)

요약

APON(ATM Passive Optical Network)에서, 상향 트래픽의 전송은 OLT가 ONU에게 타임슬롯을 할당하여 셀을 보내게 하는 TDMA(Time Division Multiple Access) 방식을 근간으로 한다. 상향은 스트림 모드가 아니기 때문에, 셀 동기 장치는 버스트 모드로 동작해야 한다. 또한, 하나의 광섬유에 여러 대의 ONU가 보내는 셀들 사이에서 충돌을 방지하기 위하여 셀 위상 감시기가 필요하다. 본 논문에서는 G.983.1 기반의 APON에서 상향 셀 전송을 위해 사용될 수 있는 TDMA 버스트 셀 동기장치를 FPGA(Field Programmable Gate Array)로 구현한다. 이 동기장치는 상향 데이터 복구(data recovery) 기능과 위상 감시 (Phase Monitoring)라는 두가지 주된 기능이 있다. 전자는 상향 타임슬롯의 오버헤드에서 preamble을 찾고 비트 및 셀 위상을 시스템 클럭에 정렬함으로써, OLT에서 상향 데이터와 클럭을 복구하기 위한 것이다. 후자는 상향 셀 충돌을 방지하기 위하여 인접 셀 간의 위상편차를 지속적으로 감시함으로써, 각 ONU에게 등화지연(equalization delay)을 보정할 수 있도록 정보를 제공하기 위한 것이다.

Abstract

In the APON(ATM Passive Optical Network), the transmission of the upstream traffic is based on a TDMA(Time Division Multiple Access) method that an OLT(Optical Line Termination) permits ONUs(Optical Network Units) sending cells by allocating time slots. Because the upstream is not a streaming mode, the cell synchronizer has to be operated in the burst mode. Also, the cell phase monitor is required to prevent collisions between cells which are transmitted by multiple ONUs through a single optical fiber. In this paper, a TDMA burst cell synchroniser is implemented with the FPGA(Field Programmable Gate Array) being used in the APON based on G.983.1 for transmitting upstream cells. It has two main functions which are the upstream data recovery and the phase monitoring. The former is to recover the upstream data and clock in the OLT by seeking the preamble which is the overhead of the upstream time slot and by aligning the phase of the bit and cell with the system clock. The latter is to provide the information to the ONU to compensate for the equalization delay by monitoring continuously the phase difference between adjacent cells to avoid the cell collision on the upstream.

* 正會員, 金烏工科大學校 電子工學部
(Dept. of Electronics, Kumoh National University of
Technology)

** 正會員, 韓國通信加入者網研九所

(Korea Telecom Access Network Research Laboratory)

*** 正會員, 옵타이드(Opttide)

※ 이 논문은 한국통신 및 IDEC의 지원에 의한 것임.

接受日字:2001年9月21日, 수정완료일:2001年11月15日

I. 서론

최근 가입자망의 추세는 경제적인 측면과 구성의 용이성을 고려하여, 광 분배 네트워크인 PON(Passive Optical Network)에 대한 관심이 고조되고 있다. APON(ATM Passive Optical Network)은 20km 반경 내에 있는 가입자들에게 FTTx(Fiber to the Any)의 형태로 연결을 제공한다. 또한 하나의 광케이블이 스플리터(splitter)를 통해 여러 가닥으로 분기하여 최대 64대의 광 가입자 장치가 동시에 연결되어 사용할 수 있어 OLT에 광 인터페이스의 수를 절약할 수 있다. PON의 대역폭을 이용하는 방법에는 TDMA(Time Division Multiple Access), WDMA(Wave Division Multiple Access), CDMA(Code Division Multiple Access), SCMA(Subcarrier Multiple Access), 등 여러 가지가 있으나, 단순성과 비용 효율성에 근거하여 FSAN(Full-Service Access Network)과 ITU(International Telecommunications Union)에서는 상향은 TDMA, 하향은 TDM 방식을 기반으로 ATM 셀 전송을 권고한다.

APON에서 하향신호는 스플리터를 통과하면서 분기되어 연속적으로 방송되므로 보안문제가 해결되면 동기에는 특별한 어려움이 없으나, 상향신호는 결합기(combiner)를 통과하면서 다중화되기 때문에 비록 OLT(Optical Line Termination)가 특정 ONU(Optical Network Unit)에게 타임슬롯을 할당하여도, 각각의 ONU와 OLT 사이의 거리(0~20km)가 다르면 셀 간의 충돌이 발생한다. 그러므로 OLT는 새로 등록되는 ONU를 감지하고 거리를 측정 후 ONU가 셀을 전송하기 전에 대기시간인 등화지연(equalized delay)을 다르게 할당하여 각 ONU가 가상적으로 동일한 위치에 존재하는 것처럼 보이도록 하며, 이것은 ITU-T G.983.1의 배치(ranging) 프로토콜에 정의되어 있다^{[1][2]}. 그리고 OLT와 활동중인 각 ONU 장치사이에서 온도변화에 따른 광선로의 수축 등은 ONU의 위상편차의 요인이 되므로, 위상감시기(phase monitor)에서는 각 ONU의 위상편차를 지속적으로 감지하고 위상편차의 평균값을 연산하여 각 ONU에게 타이밍 정보를 제공한다.

본 논문은 APON에서 상향 데이터 전송을 위한 TDMA 버스트 셀의 동기장치를 FPGA(Field Pro-

grammable Gate Array)로 구현한다. APON 네트워크의 광선로 전송에서 상향 ATM 셀은 OLT 수신국의 비트 클럭(bit_clk)에 데이터가 정렬되는데, ONU의 클럭은 OLT의 주파수에 동기되므로 상향 데이터는 OLT의 비트 클럭에 일치시킬 수 있다. 동기장치에서는 DLL(Delay-Lock Loop)로부터 다중위상 클럭(multi-phase clock)이 생성되고, 상향 ATM 셀의 preamble의 키워드가 데이터 주파수의 서로 다른 여덟 개의 위상으로 샘플된다. 각 위상의 클럭으로써 샘플된 여덟 개의 데이터 채널은 bit_clk에 정렬된다. 각 채널의 비교기에서는 키워드를 검색하며, 채널에서 키워드가 검색되면 일치(hit)이고 검색된 결과가 없으면 불일치(miss)로 나타난다. 선택기는 일치신호로 나타난 것들 중에서 최적의 위상을 갖은 채널을 찾고, 선택된 데이터 채널은 스위치에 연결되어 수신 단의 셀 클럭(c_clk)으로 셀 정렬이 수행된다. 이때, 위상감시기는 위상편차와 셀 카운터의 값을 누적하여 위상편차의 평균치를 연산한 후 결과 값을 해당 정보 레지스터에 저장한다. 마이크로 프로세서에서는 정보 레지스터의 값을 주기적으로 폴링(polling)하고 하향 PLOAM(Physical Layer Operations Administration and Maintenance) 셀의 메시지 필드를 이용하여 모든 ONU에게 타이밍 정보를 제공한다.

본 논문의 구성은 다음과 같다. 먼저 II 절에서는 전체적인 동작개요와 버스트 모드 수신국의 블록 다이어그램을 소개한다. III 절에서는 TDMA 버스트 셀 동기장치의 세부적인 동작 원리와 구성에 대하여 설명한다. IV 절에서는 모의실험 및 FPGA 보드실험을 통하여 전체적인 동작과정을 확인하고 설명한다. V 절에서 결론을 내리고 추후 연구되어야 할 사항을 언급한다.

II. 전체적인 동작 개요

그림 1과 같이 PON는 OLT, ONU, 그리고 수동 광 스플리터로 구성되어있다. 하나의 광케이블은 ONU 사이에서 64 가닥으로 스플리터된다. 반대로 여러 대의 ONU들이 전송하는 상향신호는 결합기를 통과하면서 하나의 광케이블로 다중화 되어 OLT로 전달된다. OLT와 ONU 사이의 거리는 최대 20km까지이며, 전송 속도는 대칭구조에서 하/상향 155.52/155.52 Mbps와 비대칭 구조에서 622.08/155.52 Mbps이다. 광전송은 하나의 광케이블로써 양방향 통신을 위하여 WDM

(Wavelength Division Multiplexing) 기법을 사용하며, 상향 전송은 1.310 μ m 파장길이의 버스트 모드이고 하향 전송은 1.550 μ m의 연속 모드(continuous mode)이다.

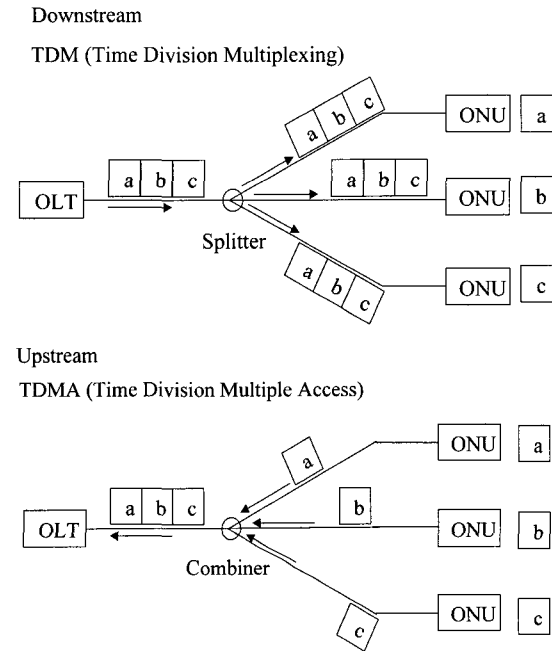


그림 1. PON 구조의 기능적인 개요
Fig. 1. Functional Overview of PON Architecture.

그림 2는 대칭구조의 상/하향 155.52/155.52 Mbps에 대한 OLT와 ONU 사이의 기본 프레임의 형태를 보여준다. 하향 스트림에서는 PLOAM 셀의 영향으로 페이로드(payload)의 전송량이 149.97 Mbps로 감소되었다. PLOAM 셀은 대역폭의 할당, 동기, 에러 제어, 보안, 배치, 그리고 유지보수를 담당한다. 상향 스트림에서는

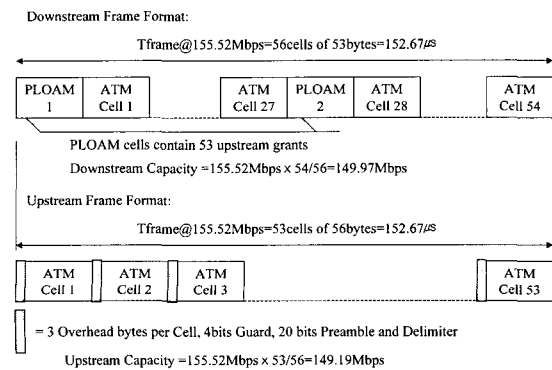


그림 2. PON 프레임 형식
Fig. 2. PON Frame Formats.

ATM 셀당 3 바이트의 오버헤드가 있어 페이로드의 전송량이 149.19 Mbps으로 감소되었다. 오버헤드 3 바이트는 다른 ONU의 셀과 충돌을 방지하기 위한 최소 4 비트의 guard time, 비트 동기화 및 진폭 복구에 사용되는 preamble, 도착되는 셀의 시작을 지시하는 delimiter로 구성되어 있다.

OLT 수신부의 주 기능은 상향으로 전달되는 사용자 셀, PLOAM 셀, 배치 셀, 미니슬롯 등을 G.983.1의 규격에 따라 처리하는 것이다. 사용자 셀은 외부 버퍼에 전달되고, PLOAM 셀은 PLOAM 셀 처리기를 통해 광 파워 복구 및 배치 기능에 사용된다. 마이크로 프로세서에서는 PLOAM 셀의 메시지 필드를 이용하여 프로토콜을 수행하고, MAC(Medium Access Control) 스케줄러는 미니슬롯의 데이터를 읽어 모든 ONU에게 승인을 제공하며 동적으로 대역을 할당한다^{[3],[4]}. 그림 3에서는 OLT 수신부의 기능 블록을 보여준다. 먼저 데이터 복구부에서는 preamble를 이용하여 비트 동기를 찾고 delimiter를 이용하여 바이트 동기를 찾은 후 셀 정렬과 역 혼화가 수행되며, 역 혼화가 완료된 데이터에 대하여 BIP(Bit Interleaved Parity) 계산과, 헤더 에러검사를 수행한다. 상향 셀은 OLT의 MAC에서 제공한 승인에 의해서 전송되므로 OLT는 예측기(predictor)를 통해서 언제 어떤 데이터가 어느 ONU로부터 송신되는 것인지 예측하고 있다. 따라서 역 다중화 과정은 셀 헤더 정보가 아닌 예측기의 판단에 의해 처리된다^[5].

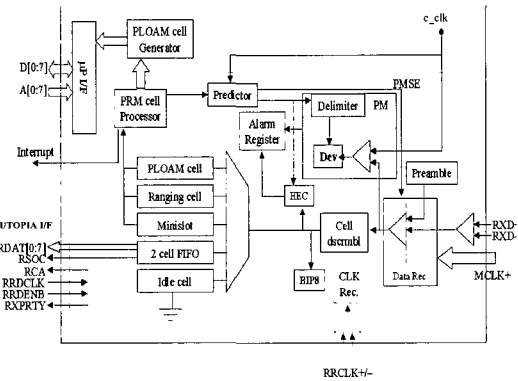


그림 3. 마스터 수신단
Fig. 3. Master Receive Part.

APON의 하향 프레임은 주기적으로 PLOAM 셀이 등장하고 그 외의 기간에는 데이터 셀이나 휴지(idle) 셀이 항상 존재하기 때문에 ONU의 광 트랜시버가 클

력을 복구하여 TC(Transmission Convergence) 기능모듈에 제공할 수 있는 반면에, 상향 셀이나 미니슬롯은 버스트 모드(burst mode)로 동작하기 때문에, 일반적으로 OLT의 광 트랜시버가 클럭을 제공해 주지 않는다. 따라서, 버스트 셀 동기장치의 요지는 서로 다른 거리에 떨어져 있는 ONU가 보내는 셀의 위상이 서로 상이한 상태에서, 상향 타임슬롯이 가지고 있는 24 비트 오버헤드 내에서 동기신호를 복구해야 한다는 것이다. 통상적으로 PLL(Phase-lock loop)은 동기신호를 복구하는데 있어 폭넓게 사용되고 있지만, 이러한 디바이스는 데이터 신호로부터 클럭을 복구하지만 위상추적에 필요한 지연시간이 있어 데이터 신호를 늦게 감지하는 경향이 있고 loop lock을 요구하는 동안에 많은 위상 에러를 갖고 있다^[6]. 그리고 버스트 셀 동기장치에서 중요한 부분은 클럭 retiming 기능으로 구현 상 게이트의 set-up, hold 조건 때문에 논리적으로 예상되는 retiming 조건을 찾을 수 없는 경우가 발생한다. OLT의 동기장치에서는 각 셀의 위상을 알 수 없기 때문에 각 셀 혹은 미니슬롯의 preamble에서 위상을 각각 추출해야 하고, OLT에서 수신된 셀 사이의 간격은 비트 단위의 정수가 아닌 실수 값이므로, 본 논문에서 구현한 동기회로는 기존의 방법과는 크게 다르다^[7]. 즉, 다중위상 클럭(multi-phase clock)으로서 도착한 각 슬롯의 preamble은 여덟 개의 채널에서 샘플로 추출된 후, 샘플된 값과 preamble의 키워드가 비교되어 일치하는 가장 적합한 채널의 데이터가 선택된다. 즉 구현 상 게이트의 set-up, hold 조건과 데이터와 다중위상 클럭 중에서 위상이 가장 적합한 채널을 판단한 후 선택되므로 안정적으로 동기장치가 동작할 수 있다. ATM-PON의 상향 셀 방식의 전송에서 56 바이트 고정길이의 상향 타임슬롯이 사용되고 155 Mb/s 전송장치에서 데이터 및 클럭의 편차는 통상적으로 20 ppm이하를 유지하기 때문에, 한 셀이 수신되는 동안에 충분히 이러한 방법이 적용 가능하다.

그림 4는 데이터 복구장치와 위상감시기의 블록도이다. ATM-PON에서는 서로 다른 ONU가 보내는 셀간에 충돌을 방지하기 위하여 지속적으로 셀 위상을 감시해야 한다. 따라서, 그림에서 predictor는 OLT 입장에서 셀이 도착하기를 기대하는 시간을 산출하며, ONU가 보낸 셀의 실제 도착시간과 항상 비교한다. 이 위상 편차의 평균 값을 계산하기 위하여 위상 편차와 도착한 셀의 수를 누적하며 일정한 값이 되면 평균을

산출하게 된다. 데이터 복구기는 predictor가 제공하는 PMSE(Phase Monitor and Synchronizer Enable)의 구간 동안 다중위상 클럭을 이용하여 레지스터 내의 preamble 값과 상향 셀이 가지고 있는 오버헤드의 preamble을 비교하고 동시에 delimiter 값을 검색한다. Preamble과 delimiter가 모두 일치되는 순간에 일치신호가 발생되고, 위상편차는 이 신호와 상향 셀 클럭의 위상 차이이다. OLT에 도달한 셀의 위상편차 및 셀 카운터의 누적된 값은 위상감시기의 내부 RAM에 기록된다. OLT는 최대 64 ONU가 보낸 셀에 대하여 각각의 위상평균을 계산하고 정수의 비트 값으로 환산한 후 그 결과 값을 경보 레지스터에 기록하고, 마이크로프로세서에서는 경보 레지스터의 값을 주기적으로 읽고 위상편차 값에 따라 ONU의 등화지연을 보정하는 메시지를 보낸다.

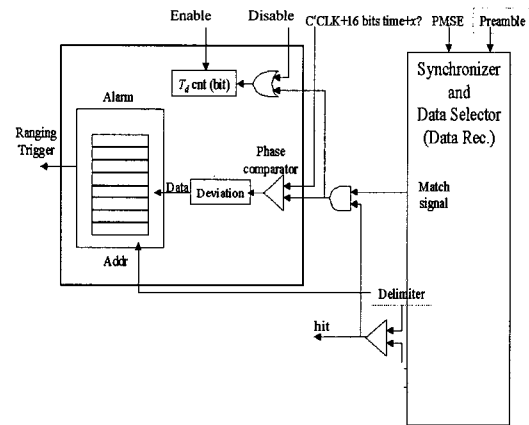


그림 4. 데이터 복구와 위상 감시기
Fig. 4. Data Recovery and Phase Monitor.

III. TDMA 버스트 셀 동기장치

본 논문에서는 56 바이트의 상향 타임슬롯에 하나의 ATM 셀이나 8개의 미니슬롯을^[4] 포함하는 구조를 사용하고 있다. 각 슬롯의 오버헤드 3 바이트는 guard time, preamble, delimiter의 필드로 구성되어 있는데, guard time의 최소 길이는 4 비트로서 일련의 셀이나 미니슬롯의 충돌을 방지하기 위한 거리를 제공하는데 사용한다. preamble은 OLT에 도착한 셀이나 미니슬롯의 위상을 추출하거나 비트 동기나 진폭복구에 사용되고, delimiter는 ATM 셀이나 미니슬롯의 시작을 지시하는 유일한 패턴을 가리키며 바이트 동기를 수행하는

데 사용한다. 오버헤드 필드의 내용은 OLT에 의해 프로그래밍할 수 있는데, 구현된 회로에서 다음과 같이 정의하여 사용한다.

가) Guard time은 4비트로 "0000"으로 정의하되 무의미한 것으로 간주한다.

나) Preamble은 12비트로 "101010101100"으로 정의한다.

다) Delimiter는 8비트로 ONU에 대한 승인 값으로 정의한다^[4].

APON 구조에서 상향 ATM 셀의 전송은 타임슬롯을 이용하여 셀을 보내는 TDMA 방식을 사용한다. 이러한 셀 전송은 버스트 모드이고 활동중인 최대 64 ONU에서는 셀 전송시간을 조정하여 인접한 셀이 서로 충돌되지 않게 하는 배치 절차가 보장되어야 한다. 그 오차는 약 2 비트 미만이어야 하므로, OLT에 도착되는 셀과 셀 사이의 최소간격은 4 비트로 분리되어 있다^[1].

그림 5는 버스트 모드 동기장치이다. OLT로 입력되는 데이터는 8개의 채널로 분리되어 45° 씩 차이나는 8개의 위상으로써 각각 추출된다. 각각의 위상과 OLT의 비트 클럭 사이의 위상관계를 알 수 있으므로 샘플된 8개의 데이터는 OLT의 비트 클럭으로 각각 정렬될 수 있다. 비트 정렬이 수행된 후, 각 셀의 위상 변화가 한 비트보다 크기 때문에 셀 정렬이 수행되어야 한다. 정의된 preamble이 각 채널에 정렬된 데이터와 일치되는 채널 중 하나가 선택되며, 그 출력은 셀 정렬 단으로 입력된다. 위상정렬은 비-정수의 비트 길이 간격으로 각각의 셀이 분리되어 있으므로 OLT의 수신 단 셀 클럭(c_clk) 신호가 각 슬롯의 끝에서 위상정렬회로를 리셋(reset)하여 정수단위로 나타낸다. 이는 G.983.1에 정의된 바와 같이 1 비트의 granularity를 갖기 위함이다.

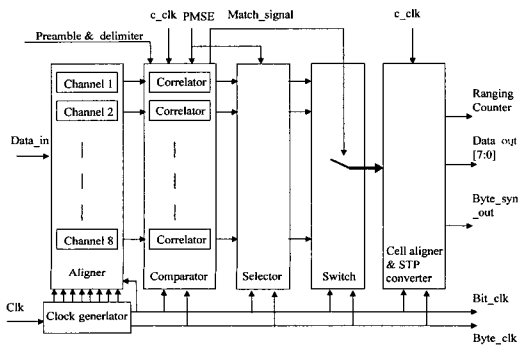


그림 5. 버스트 모드 동기장치
Fig. 5. Burst mode Synchroniser.

1. 위상 정렬기(Phase Aligner)

APON에서 OLT에 입력되는 상향 셀의 동기는 도착하는 ATM 셀의 위상을 정렬함으로써 이루어진다. 다중위상 클럭은 각각 입력 데이터를 샘플하는데 사용된다. 대부분의 클럭에서는 데이터를 적절하게 추출할 것이나, 어떤 클럭은 데이터를 샘플하는데 클럭-위상 마진이 부족하여 준 안정상태가 발생할 수 있다.

입력되는 데이터의 위상을 OLT의 비트클럭(bit_clk)에 정렬하는 위상 정렬기가 그림 6과 같이 구현하였다. 이 회로는 clock generator에서 제공하는 다중위상 클럭 중 하나를 기준 클럭으로 이용하며 3개의 D-F/F와 MUX로 구성되었고 기준 클럭과 bit_clk 사이의 클럭 위상 마진을 충분히 제공할 수 있게 구성되었으며, 기준 클럭으로 샘플된 데이터는 bit_clk에 정렬된다.

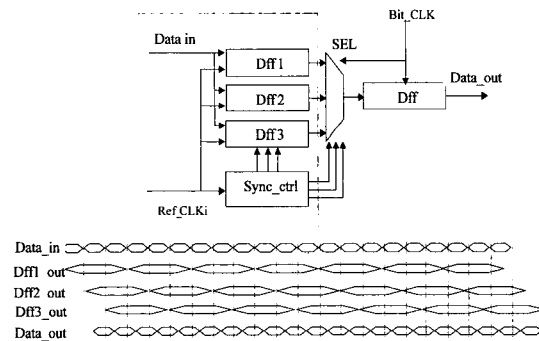


그림 6. 위상 정렬기
Fig. 6. Phase Aligner.

2. 비교기(Comparator)

다중위상 클럭으로 샘플된 입력 데이터는 위상 정렬기에서 bit_clk에 정렬되며, 각 채널의 데이터는 bit_clk으로 동작하는 각각의 비교기에서 검색된다. 비교기에서 비트 동기와 셀 동기를 빠르고 효과적으로 찾기 위하여, 입력 데이터가 FIFO 구조의 D-F/F를 통과할 때 preamble과 delimiter의 키워드가 병렬로 검색된다.

OLT의 예측기에서는 MAC에서 스케줄된 승인을 내부 FIFO 메모리에 저장하고 예측기의 내부 FIFO 메모리에 저장된 승인 값은 delimiter 값으로 사용된다. delimiter의 값에는 어떤 ONU로부터 무슨 데이터가 언제 도착하는지를 나타내고 있다. 각각의 비교기에서는 PMSE 구간 내에서 delimiter의 키워드가 인식되면 일치신호가 발생되고 검색된 결과가 없으면 불일치로 나타나며, 이 값은 LOS(Loss of Signal) 경보 레지스터에

기록된다.

3. 선택기(Selector)

각 채널의 동기장치에서 다중위상 클럭으로써 각각 샘플된 데이터 채널에 키워드가 인식될 때, 각각의 비교기에서는 일치신호가 발생된다. 즉 eye pattern 특성이 우수한 곳에서 샘플링된(클럭의 rising edge가 발생한) 데이터에 대하여 이 신호가 발생된다. 그러므로 여러 개의 일치신호가 발생 가능하며 이들 신호는 그룹으로 나타나며, 그 그룹 중에서 가운데의 신호가 리타이밍된 최적의 클럭과 일치하고, 주변의 신호는 입력 데이터의 지터 영향으로 준 안전상태가 될 수 있다. 따라서 선택장치는 적절한 데이터의 채널을 선택하고 최적의 데이터를 출력할 수 있게 구현되어야 한다. 그림 7은 OLT 수신단의 광 모듈의 아이 다이어그램이다^[1]. 여덟 개의 클럭으로 rising edge에서 입력 데이터가 샘플될 때 3 번째의 클럭이 추출한 데이터는 준 안전상태가 될 수 있으므로 4 번째의 클럭이 추출한 데이터가 선택되어진다.

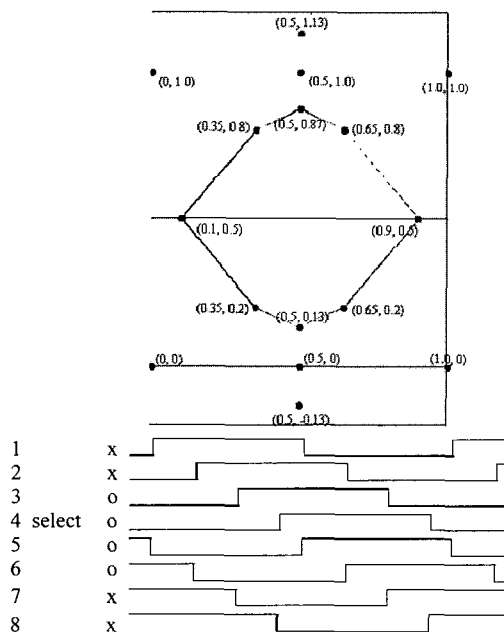


그림 7. 아이 다이어그램

Fig. 7. Eye Diagram.

4. 스위치(Switch)

스위치 단에서는 전단의 선택기가 최적의 클럭에 일치하는 채널을 선택하였다면 그때 선택된 채널을 직렬 출력으로 연결한다. 동기회로는 비트 단위로 동작하기

때문에 속도위주의 설계가 필요하며, 선택된 채널에 대하여 미리 경로를 열어줄 수 있도록 구현한다. 즉, preamble에서 추출된 비트 동기신호가 바이트 동기신호보다 먼저 발생되므로 비트 동기신호가 데이터 스위치 회로의 입력신호로 사용되어 데이터가 도착하기 전에 스위치는 개폐된다.

5. 셀 정렬기(Cell Aligner)

OLT 수신단의 셀 클럭(c_clk)은 56 바이트 주기의 바이트 펄스로 구현되었으며, c_clk은 각 슬롯의 끝에서 셀 정렬회로를 리셋하고 셀 정렬회로는 다음 셀 정렬이 수행될 수 있게 초기화된다. 만약 8 개의 미니슬롯으로 구성된 분할슬롯이 수신된 경우에는 각각의 7 바이트의 주기(미니슬롯의 길이)로 셀 정렬이 수행된다. 수신된 셀 사이의 위상변화가 한 비트보다 크므로, 셀 정렬기에서는 셀의 시작을 나타내는 비교기의 일치신호와 c_clk의 위상을 비교하여, 수신된 ATM 셀을 c_clk에 맞추어 정렬할 수 있고, 도착한 셀의 위상을 정수의 비트 값으로 나타낼 수 있다. 이 값은 ranging counter 그리고 위상 감시기로 보낸다.

6. 직·병렬 변환기

셀 정렬을 마친 데이터는 직·병렬 변환기를 통해서 바이트 크기의 병렬 데이터로 출력되며 바이트 클럭으로 동작한다. 시스템의 비트 클럭과 바이트 클럭의 위상차의 영향으로 변환과정에서 에러가 발생할 수 있으므로, 직·병렬 변환기에서는 입력되는 바이트 클럭의 위상을 비트 클럭의 위상으로 정렬한 후 정렬된 바이트 클럭이 사용되어야 한다.

7. 위상 감시기(Phase Monitor)

위상 감시기는 ONU들이 동작 중일 때 이웃하는 셀과 충돌을 방지하기 위하여 상향 셀의 위상을 지속적으로 감시한다. OLT 수신부에서 데이터 복구가 완료되면, 위상 감시기는 도착한 상향 셀이 OLT가 의도했던 도착시점과 일치하는가를 검사한다. 그림 8은 위상 감시를 위한 타이밍을 묘사하고 있다.

PMSE의 지속시간은 예측기에서 제공하는 delimiter 값에 따라 다르며, 그림 8과 같이 c_clk을 기준으로 delimiter 값이 ranging 승인일 경우에는 한 셀 구간(원도우 지속시간)동안 지속하고, 분할슬롯의 승인 값일 경우는 8 개의 미니슬롯을 처리해야 하므로 한 바이트의 펄스신호가 8회에 걸쳐서 제공하며, 그 외의 셀 구간에는 한 바이트의 지속시간을 갖는다. 만약 두 할당

승인일 경우에는 PMSE의 지속시간은 0으로 한다.

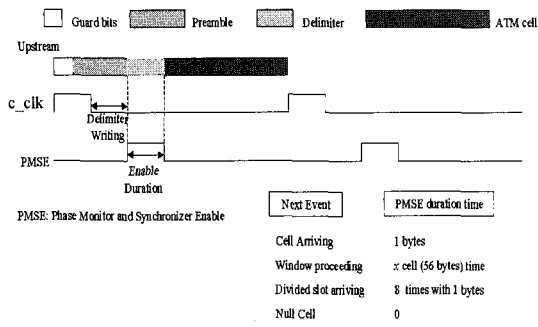


그림 8. 위상 감시기의 타이밍도
Fig. 8. Phase Monitor Timing Diagram.

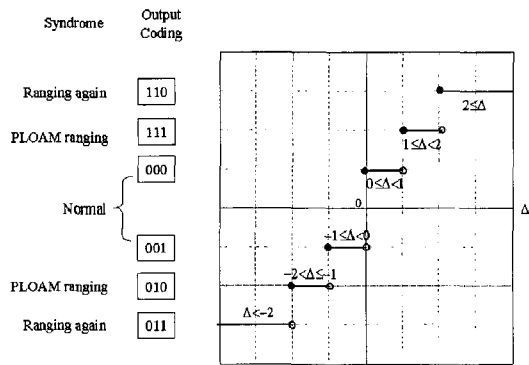


그림 9. 위상 비교기의 입·출력
Fig. 9. Phase Comparator Input and Output.

그림 9는 상향 셀 동기신호와 hit 신호간의 위상편차를 비트 단위로 나타낸 것으로서, y 축은 위상편차를 의미한다. 그 편차는 위상편차를 저장하는 메모리에 저장된 값과 합산된 후 메모리에 다시 기록한다. 이는 추후에 저장된 값을 도착한 셀의 수로 나누어 평균 위상편차를 구한 후에 교정 절차를 수행하기 위함이다. 위상편차가 0보다 크면 위상 지연(lag)을, 0보다 작으면 위상이 선행(leading)을 의미한다. 따라서, Δ 은 위상편차의 평균값을 가리키고, $-1 < \Delta < 1$ 의 범위는 정상적인 상태를 의미하며, $1 \leq \Delta < 2$ 와 $-2 < \Delta \leq -1$ 의 범위는 윈도우를 개설하지 않고 PLOAM 셀을 이용하여 ONU에게 등화지연 값을 수정하도록 하며, $\Delta \geq 2$ 와 $\Delta \leq -2$ 의 범위는 윈도우를 개설하여 ranging을 다시 수행할 것이 요구되는 상태를 의미한다^[1].

IV. 시뮬레이션

구현과정은 다음과 같다. OLT와 ONU를 VHDL (Very-high-speed Hardware Description Language)로 코딩한 후 Test Vector를 생성하여 Mentor tools (Modelsim)을 사용하여 기능검증을 수행한 후, Mentor tools(Leonardo)를 이용해 Gate-level로 합성해낸 OLT와 ONU를 Xilinx tool을 통해 Placement & Route (P&R) 하여 Xilinx FPGA로 구현하였다. P&R 결과로부터 delay information을 back annotation 받아 Modelsim을 사용하여 Timing Simulation을 수행하였다. 합성한 회로를 Xilinx xcv600e-7-hq240로 targeting 하여 160Mbps에서 동작함을 확인하였다. 그리고 구현된 FPGA(xcv600e-7-hq240)는 마이크로프로세서(8051)와 연결된 후 배치절차에서 등화지연 값이 정확하게 측정됨을 검증하였으며, ONU에서 보낸 데이터가 OLT 수신단에서 복구됨을 확인하였다.

그림 10에서는 보드 테스트를 위해 OLT와 ONU를 1:1로 연결하고 데이터 복구 및 위상 감시기의 동작 그리고 ranging counter의 측정값을 logic analyzer로 측정하였다. 테스트를 위해 추출한 신호들은 다음과 같다. OLT 송신단의 혼화전의 데이터인 BIPOUT^[70] 신호에서는 하향 PLOAM 셀이 반 프레임 주기로 전송됨을 알 수 있고 이 신호가 혼화된 후 병/직렬 변환기를 통과한 datain 신호는 ONU 수신단에서 입력되는 신호이고, datain 신호를 ONU 수신단에서 역혼화한 데이터는 MUXDATA^[70]이다. 버스트 모드로 동작하는 OLT 수신단의 입력 신호는 dataend이며, 이 신호의 동기를 잡고 직/병렬 변환기를 통과한 후 역혼화한 데이터는 HECOUT^[70] 신호이다. cmptr(2:0)는 상향 셀의 위상편차를 나타내는 신호이다.

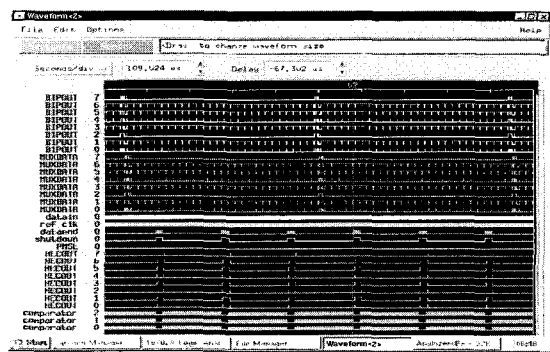


그림 10. 논리분석기로 관측한 위상편차와 상·하향 프레임
Fig. 10. Phase deviation and up/down frames measured by a logic analyzer.

마이크로 프로세서와 TC 칩을 연동하여 모든 프로토콜 테스트를 가능하게 하는 보드가 그림 11이다. PLOAM 셀의 메시지 필드는 마이크로 프로세서가 읽어가서 소프트웨어로 처리한다. 소프트웨어 처리부에서는 G.983.1의 내용을 준수하여, TC 칩의 ranging 및 MAC 프로토콜이 정확하게 동작할 수 있도록 프로토콜상의 절차를 수행하고, 위상 감시기의 위상편차 값에 따라 각 ONU의 등화지연을 보정하는 메시지를 보낸다.

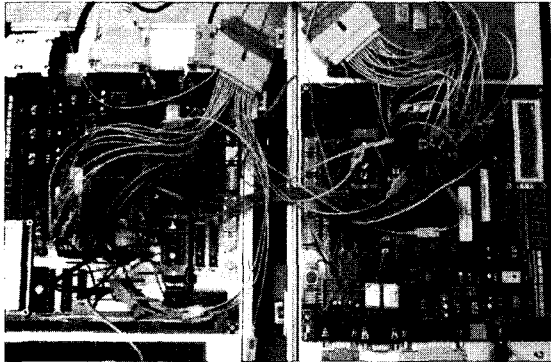


그림 11. OLT/ONU 보드 사진
Fig. 11. A picture of OLT/ONU board.

V. 결 론

본 논문에서는 G.983.1 기반의 APON에서 상향 데이터 전송을 위한 버스트 모드 동기 장치를 FPGA를 이용하여 구현하였다. 먼저 상향 데이터 복구 기능에서는 DLL 장치로부터 다중위상 클럭(Multi-phase clock)을 생성하고, 상향 ATM 셀의 preamble의 키워드를 데이터 주파수의 서로 다른 여덟 개의 위상으로 샘플하였다. 샘플된 여덟 개의 데이터 채널은 OLT 수신단의 bit_clk으로 각각 정렬하였다. 각 채널의 비교기에서는 키워드를 검색하며, 채널에서 키워드가 검색되면 일치이고 검색된 결과가 없으면 불일치로 나타내었다. 선택기는 일치신호 중 최적의 위상을 찾고 선택된 데이터 채널은 스위치에 연결되며, 셀 정렬기에서는 셀 정렬을 수행한다. 이때 ranging 카운터는 키워드의 위치를 검출하여 비트 카운터 값을 산출한다. 위상감시기 기능에서는 각 셀의 위상편차와 셀 카운터 값을 해당 내부 RAM에 누적하여 위상편차의 평균치를 계산한 후 결과 값을 경보 레지스터에 저장한다. 마이크로 프로세서에서는 경보 레지스터의 값을 주기적으로 폴링(polling)하

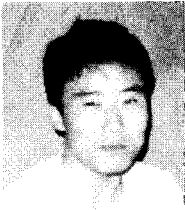
고 하향 PLOAM 셀의 메시지 필드를 이용하여 모든 ONU에게 타이밍 정보를 제공함으로써, 인접한 셀과의 거리가 일정하게 유지되었다. 마지막으로 비트로 동작하는 동기회로는 전체 동작 속도를 제한하는 요소가 되기도 하므로 속도 위주의 설계가 되었으며, 구현된 OLT와 ONU를 연결하여 데이터가 복구됨을 모의실험 및 FPGA 로 구현된 보드 테스트에서 확인하였다.

PON은 가격적인 장점과 구성의 용이성 때문에 많은 관심을 끌고 있으며, 현재 ATM 방식이 선호되고 있으나, 추후에는 Ethernet-PON, Super-PON 등이 WDM 기술과 더불어 계속적으로 등장할 것으로 판단되며, 지속적인 연구가 이루어져야 할 것으로 판단된다.

참 고 문 헌

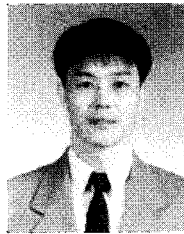
- [1] ITU-T Recommendation G.983.1, "Broadband Optical Access Systems Based on Passive Optical Networks(PON)," Geneva, Oct. 1998.
- [2] 정해, 김진희, 권순철, "G.983.1 기반의 ATM-PON을 위한 Ranging 프로토콜에 관한 연구," 한국해양정보통신학회, 제4권 제1호, 2000. 3
- [3] 김태민, 정해, 신건순, 김진희, "ATM-PON에서 MAC을 위한 승인분배 알고리즘의 FPGA 구현," 대한전자공학회, 제 38권 TC편 제 10호, 2001. 10.(게재예정)
- [4] 정해, 김진희, 권순철, "G.983.1 기반의 ATM-PON에서 MAC을 위한 승인요청 프로토콜에 관한 연구," 한국해양정보통신학회, 제4권 제1호, 2000. 3
- [5] 문상철, 김태민, 정해, 김진희, 고상호, 유건일, "ATM-PON에서 OLT 수신부의 Predictor의 구현에 관한 연구," JCCI 2001, 제1권, 2001. 4
- [6] F. M. Gardner, "Hangup in phase lock loops," IEEE Trans. on Commun., vol. 25 pp. 1210~14, 1977.
- [7] U. Killat, Access to B-ISDN via PONs : ATM Communication in Practice, Wiley, 1996.

저 자 소 개



金 泰 民(正會員)

1994년 : 금오공과대학교 전자공학과(공학사). 1998년 : 금오공과대학교 전자공학과(공학석사). 1998년~현재 : 금오공과대학교 전자공학과(박사과정). <관심분야> 디지털통신, ASIC 등



鄭 海(正會員)

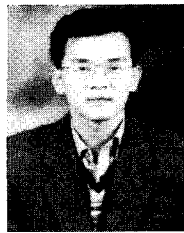
1987년 : 한양대학교 전자통신공학과(공학사). 1991년 : 한국과학기술원 전기 및 전자공학과(공학석사). 1996년 : 한국과학기술원 전기 및 전자공학과(공학박사). 1996년~1998년 : LG정보통신 선임연구원. 1998년~현재 금오공과대학교 조교수. <관심분야> 가입자 액세스망, ATM망, 트래픽 제어, 통신 프로토콜 등



申 建 淳(正會員)

1972년 : 한양대학교 전기공학과(공학사). 1983년 : 전북대학교 전기공학과(공학석사). 1989년 : 전북대학교 전기공학과(공학박사). 1993년 : 미국 Ohio state university, 전기공학과 solid-state microelec-

tronics lab. 객원교수. 현재 : 금오공과대학교 전자공학부 교수. <관심분야> ASIC 및 아날로그 IC 설계 등



金 珍 希(正會員)

1987년 : 경북대학교 전자공학과(공학사). 1991년 : 경북대학교 전자공학과(공학석사). 1991년~현재 : 한국통신 가입자망연구소(선임연구원). <관심분야> 가입자망 액세스 기술 등



孫 壽 炫(正會員)

1982년 : 서울대학교 전자공학과(공학사). 1984년 : 한국과학기술원 전기 및 전자공학과(공학석사). 1984년~2000년 : LG전자 책임 연구원. 2001년~현재 : (주)유타이드 대표. <관심분야> 광 전송 시스템, 가입

자 액세스망, ATM/IP망 등