

論文2001-38TC-6-2

고속 무선 LAN 시스템 설계 및 구현

(Design and Implementation of High-speed Wireless LAN System)

金裕鎮*, 李相旻*, 丁海元*, 李榮豪*, 奇長根**, 趙鉉默**

(You-Jin Kim, Sang-Min Lee, Hae-Won Jung, Hyeong-Ho Lee, Jang-Geun Ki, and Hyun-Mook Cho)

요 약

본 논문에서는 고속 무선 LAN을 위한 MAC 프로토콜 프로세서 프로토타입의 설계 및 구현에 관해 기술하였다. 설계된 프로토콜 프로세서는 5GHz OFDM 물리계층과 인터페이스를 가진다. 먼저 IEEE 802.11 무선 LAN의 MAC 프로토콜 분석을 토대로 하드웨어와 펌웨어로 구현할 MAC 프로토콜 기능들을 분리하고, 프레임 단위의 송수신 요구 처리가 가능한 RISC 프로세서와의 인터페이스 및 OFDM 물리계층과의 직렬전송 인터페이스를 설계하였다. 또한, MAC 프로토콜의 고속 처리를 위해 프로토콜 제어기능 및 송수신 기능을 하드웨어로 구현하였다. 개발된 MAC 하드웨어 블록은 10 MHz 주클럭에서 동작하며, 이는 물리계층과의 정보교환이 옥텟 단위임을 고려할 때 물리계층에서의 속도 80Mbps에 해당한다. 설계된 FPGA MAC 기능 칩은 역시 본 연구에서 개발된 무선 LAN 시스템 프로토타입 보드에 실장되며, 다양한 DCF 기능에 대한 검증 결과 정상적으로 동작함을 확인하였다.

Abstract

Design and implementation of the MAC protocol processor prototype for high speed wireless LAN, which has interface with 5GHz OFDM PHY layer, is presented. We analyze the IEEE 802.11 MAC protocol specification and then separate the MAC protocol functions to be implemented by hardware and firmware and define the interface in which frames can be exchanged. That is, it is considered that high speed queue processing and interfaces with RISC processor and OFDM PHY layer. Protocol control and transmission/reception functions of the MAC functions are implemented in hardware in order to guarantee high speed processing in MAC layer. The developed MAC hardware block operates at 10MHz main clock. Therefore, transmission rate in PHY layer is about 80Mbps because data transmission/reception between MAC layer and PHY layer is performed as unit of octet. The designed FPGA MAC function chip has been implemented in wireless LAN test board and it is verified that DCF function is operated correctly.

* 正會員, 韓國電子通信研究院 라우터技術硏究部

** 正會員, 公州大學校 情報通信工學部

(Division of Information & Com. Engineering, Kongju National University)

接受日字:2001年3月9日, 수정완료일:2001年5月11日

I. 서론

사용자의 요구가 음성, 영상 등의 무선 멀티미디어 서비스 등 고속의 데이터 속도를 요구함에 따라 기존의 IEEE 802.11 규격에서 무선 LAN 변복조기술을 일부 변경하여 전송속도를 11Mbps까지 고속화한 IEEE

802.11b^[1] 표준안이 확정되었으며, 이 규격에 따르는 제품이 출시되고 있다. 1999년 9월에는 고속 LAN 표준안으로서 5GHz대에서 6-54Mbps의 전송속도를 갖는 OFDM 방식의 IEEE 802.11a^[2]가 최종 확정되었다.

현재, 국내에서는 IEEE 802.11 a,b에 대한 핵심소자의 상용화가 미비한 실정이다. 또한 5GHz ISM 밴드, 2.4GHz ISM밴드의 어플리케이션이 각각 주파수 대역에 맞게 다양하게 존재하는 특징이 있다. 이러한 현실 여건에서 고속 무선 환경의 새로운 물리계층 설계뿐만 아니라, 기존의 상용화된 물리계층 소자와 인터페이스 되는 MAC 계층의 설계가 필요하게 되었다.^[3,4]

본 연구에서는 MAC 계층과 물리 계층의 인터페이스를 위하여 두 가지 물리 계층이 적용되었다. 즉, 상용화된 2.4GHz ISM 밴드의 스펙트럼 확산방식(DSSS)을 지원하는 어플리케이션을 위한 인터실라(Intersil Corporation)의 프리즘 칩셋^[5]을 이용한 물리계층을 적용하였고, 또한 자체적으로 설계중인 5GHz ISM 밴드의 OFDM 보드의 물리계층을 적용하였다.

위의 두 가지 물리 계층 중 해당되는 물리계층과의 효율적인 인터페이스를 위하여 1개의 마이크로프로세서 코어(ARM7TDMI Core)^[6]와 1개의 FPGA(Virtex)로 핵심회로를 구성함으로써 보드 구성을 용이하게 하였다. 각 해당 인터페이스 로직 및 아키텍처는 FPGA의 특징을 이용하여 프로그래머블하게 바꿀 수 있는 장점이 있다.

고속 MAC 프로세서의 아키텍처 연구에 따라, 2장에서는 MAC프로세서의 전체 아키텍처를 설명하고 MAC 기능 칩의 하드웨어 구현 및 검증과 함께 설계된 아키텍처를 이용한 물리계층과의 인터페이스 및 시스템 개요에 대하여 설명하였다. 3장에서는 무선 LAN Card 시스템 구성에 대하여 기술하였다.

II. MAC 프로세서 아키텍처

설계된 MAC 프로세서의 아키텍처는 ARM7TDMI 코어 칩 기반의 무선 모듈을 제어하는 컨트롤러이다. IEEE 802.11에서 권고하는 MAC SDL 시스템은 MAC 데이터 서비스 기능 블록(MAC_Data_Service), MPDU 생성 기능 블록(MPDU_Generation), MAC정보관리 기능 블록(MLME_Management_Service), MAC계층 관리 기능 블록(MLME), 프로토콜 제어 기능 블록(Protocol_Control), 송신 기능 블록(Transmission), 수신 기능 블

록(Reception)으로 나눌 수 있다. 이 SDL시스템을 기반으로 DFWMAC의 스테이트머신을 분석 하면, 하드웨어 로직으로 구현이 가능한 블록은 일반적으로 규칙적이고 반복적인 특징을 갖는 송수신부에 한정 됨을 알 수 있다. 여기에는 송수신을 위한 프로토콜 제어기능, FCS 생성 및 검사, 옥텟(octect)단위(8bit)의 데이터 송수신, CCA검사, 송수신프레임 판별 및 헤더 추가, 암호화를 위한 기능 수행 등등의 기능이 하드웨어로 구현 가능하다. 이것은 물리계층과 인터페이스를 가지는 송수신 데이터를 메모리, 즉 큐(Queue)요소에 저장을 하여, 그 데이터 처리를 하드웨어 로직으로 가능하게 한다.

그림 1에 제안된 MAC프로세서의 구조를 나타내었다.

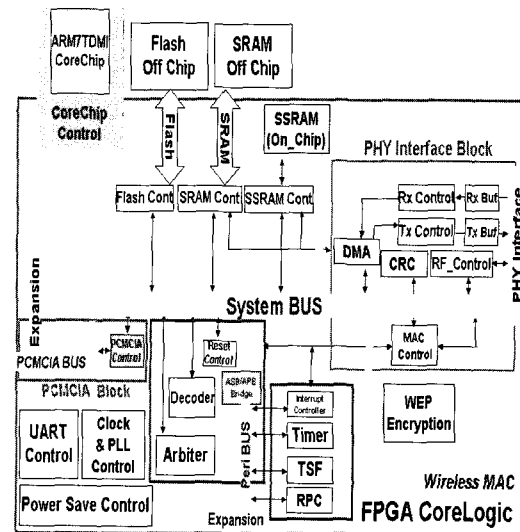


그림 1. MAC 프로세서 아키텍처
Fig. 1. MAC processor architecture.

1. MAC 프로세서의 구성

본 논문에서 설계한 MAC 프로세서의 특징은 다음과 같다.

- IEEE802.11 표준안과 호환을 이룬다.
- MAC 계층 기능 수행을 위해 ARM7TDMI RISC프로세서를 사용하였다.
- 호스트 시스템과 PCMCIA인터페이스를 가진다.
- MAC 동작을 위하여 대용량의 SRAM, Flash ROM 메모리 컨트롤러를 가진다.
- 메모리 액세스 속도를 높이기 위하여 1싸이클 액세스가 가능하도록 SSRAM을 사용하였다. 이것은 향

후, 시스템 IC설계시 On-Chip 메모리 영역으로 활용될 수 있으며, 간단한 캐쉬 역할로도 사용이 가능하다.

- 효율적인 MAC 펌웨어 디버깅을 위하여 UART 제어 기능을 내장하였다.
- 64비트 타이머 및 인터럽트 컨트롤러 기능을 내장하였다.
- WEP 기능을 부가적인 기능으로 내장할 수 있다.
- 두 가지 물리계층(DSSS, OFDM)을 지원할 수 있는 인터페이스를 가진다.
- MAC 프레임의 고속 처리 및 정확한 타이밍 동기를 위하여 PLL을 내장 하였는데, 이것은 FPGA 내부에서 제공하는 DPLL과 같이 사용할 수 있도록 하였다.
- 저전력 고속 데이터 처리로 비동기식 버스 방식에 의해 내부 각각의 블록과 버스 인터페이스를 하였다.

제안된 MAC 프로세서 아키텍처는 FPGA에 프로그래머블하게 내장하여 변경이 용이하도록 하였으며, MAC 펌웨어 개발을 용이하게 할 수 있도록 UART 기능과 JTAG를 통한 ICE(In circuit emulation) 기능을 갖는 프로토타입 보드를 구성하였다. 그림 2에 구현된 MAC 프로세서 프로토타입 보드를 나타내었다.

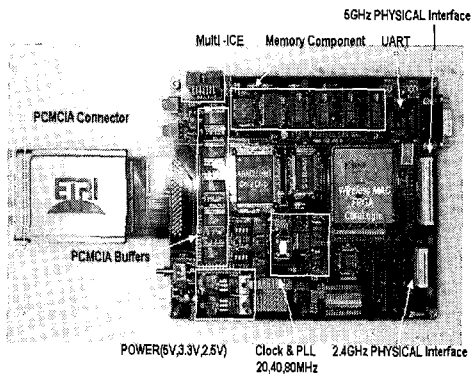


그림 2. MAC 프로세서 프로토타입 보드
Fig. 2. MAC processor prototype board.

2. MAC 기능 칩 설계

MAC의 기능은 크게 DCF와 PCF 기능으로 나눌 수 있으며, 본 논문에서는 무선 LAN의 핵심 기능에 해당하는 DCF 기능을 위주로 구현하였다. 그림 3에 본 논문에서 설계한 MAC 기능 칩의 전체적인 블록 구조도

를 나타내었다. 각 블록의 동작을 간단히 설명하면 다음과 같다.

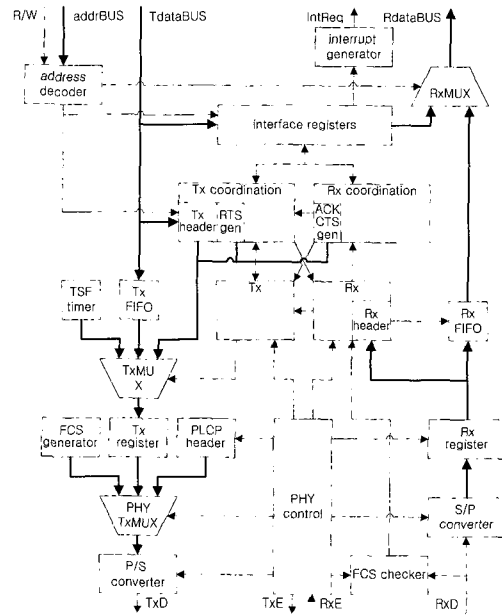


그림 3. MAC 기능 칩 블록도
Fig. 3. MAC function chip block diagram.

주소 해석(address decoder) 블록은 CPU와 MAC 프로세서와의 인터페이스를 위한 각종 제어 레지스터들의 값을 읽거나 쓰기 위해서 CPU와 연결된 주소버스(addrBUS)와 읽기/쓰기 제어신호(R/W)를 입력으로 받아 다른 블록에 필요한 제어신호를 생성한다.

인터럽트 생성(interrupt generator) 블록은 송신관련 인터럽트 레지스터(TxInt)나 수신관련 인터럽트 레지스터(RxInt)들의 정보를 이용해 CPU에게 인터럽트를 요구하는 신호(IntReq)를 생성하는 기능을 수행한다.

인터페이스 레지스터(interface registers) 블록은 각종 제어 레지스터들이 포함되어 있는 블록이다.

RxMUX 블록은 CPU가 RxFIFO의 데이터를 읽거나 또는 특정 인터페이스 레지스터의 값을 읽고자 할 때 주소해석 블록의 제어신호를 받아 값을 보내주는 멀티플렉서 회로이다.

TxFIFO 블록과 RxFIFO 블록은 CPU로부터 송신 데이터를 넘겨받거나 CPU로 수신데이터를 넘겨주기 위한 데이터 저장장소로 각각 63×8 비트의 크기를 가진다.

TSF(Timing Synchronization Function) 타이머 블록

은 동일 BSS내에 속한 모든 스테이션들이 동기화되도록 운영되는 64비트 타이머이다.

TxCoordination 블록과 Tx 블록으로 구성된 송신부와 RxCoordination 블록, Rx 블록으로 구성된 수신부는 각각 송신과 수신에 관련된 프로토콜 기능을 수행하는 블록이다.

표 1에는 MAC 기능 칩과 CPU 사이의 인터페이스를 위한 제어 레지스터와 기능을 나타내었다. 제어 레지스터들을 이용한 송신절차를 간략히 설명하면 다음과 같다. 먼저 CPU는 TxHeader 레지스터에 송신하고자 하는 프레임의 헤더필드 값들을 기록한 후, TxControl 레지스터에 송신 프레임의 헤더길이(TxHeadLen), FCS 필드 길이를 제외한 송신 프레임 길이(TxLen)와 송신시작지시 값(TxReq)을 기록한다. 그러면 MAC 송신절차에 의해 프레임을 송신하게 된다.

표 1. 송수신을 위한 제어 레지스터

Table 1. Control registers for transmission/reception.

| 주소 항목 | read/ write | 레지스터명 | 비트수 | 기능 | |
|----------|-------------------|-----------|-------------|-----------------|----------------|
| 0h | read | RxFIFO | 63×8 | 수신 FIFO | |
| | write | TxFIFO | 63×8 | 송신 FIFO | |
| 5h | write | swReset | ResetTxFifo | 1 | 송신FIFO S/W 리셋 |
| | | | ResetRxFifo | 1 | 수신FIFO S/W 리셋 |
| | | | ResetFlag | 1 | MAC칩 전체 리셋 |
| 6h | r/w | TSFH | 32 | TSF timer(high) | |
| 7h | r/w | TSFL | 32 | TSF timer(low) | |
| 8h | write | TxControl | TxReq | 1 | 송신 시작 지시 |
| | | | TxRate | 4 | 송신 속도 |
| | | | TxHeadLen | 5 | 송신프레임헤더길이 |
| | | | TxLen | 12 | 송신프레임 길이 |
| 9h | read | TxStatus | mFxIP | 1 | 프레임교환절차진행중 |
| | | | TxRes | 6 | 송신 결과 |
| Ah | read & auto clear | TxInt | TxStartInt | 1 | 송신이 시작 인터럽트 |
| | | | TxFifoInt | 1 | 송신 TxFifo 인터럽트 |
| | | | TxEndInt | 1 | 송신완료 인터럽트 |
| Bh | | reserved | | | |
| Ch | read | RxControl | RxRate | 4 | 수신 속도 |
| | | | RxLen | 12 | 수신프레임 길이 |
| Dh | read | RxStatus | mRxA | 1 | 프레임 수신중 플래그 |
| | | | Rx_K | 12 | 수신프레임 바이트수 |
| | | | MmIndicate | 1 | 관리프레임 수신 |
| | | | MsdIndicate | 1 | 데이터 프레임 수신 |
| | | | RxRes | 1 | 수신 결과 |
| Eh | read & auto clear | RxInt | RxStartInt | 1 | 프레임 수신 시작 |
| | | | RxFifoInt | 1 | 수신 RxFifo 인터럽트 |
| | | | RxEndInt | 1 | 수신 완료 인터럽트 |
| 10h-17h | write | TxHeader | 30×8 | 프레임 헤더 저장 | |
| 20h-2Fh | read | dot1xxx | 16 | 각종 통계 값 | |

3. MAC 프로세서의 검증

설계된 MAC 기능 하드웨어 블록들(MAC 프로세서)에 대한 VHDL 코드는 Xilinx 툴을 이용하여 개발하였으며 FPGA를 이용하여 구현되었다. 구현된 MAC 기능 칩을 테스트하기 위하여 MAC 프로토콜 처리 부분의 클럭은 10MHz가 사용되었고, 물리계층의 직렬 전송 속도는 40Mbps로 설정되었다. 시뮬레이션을 통해 검증된 대표적인 주요 기능들은 다음과 같다.^[7]

- RTS-CTS 절차 기능
- IFS(Inter Frame Space) 기능
- 액세스 절차
- 백오프 절차
- 재전송 기능
- 분할된(fragmented) 프레임 송수신 기능
- 중복수신 프레임 검출 기능
- 가상 캐리어 검출 기능(NAV 기능)
- 수신에러 발생 경우 처리기능
- Broadcast 프레임 송수신 기능
- Beacon 프레임 송수신 기능
- 송수신 FIFO 동작 기능

위의 기능에 대한 시뮬레이션 결과 정상적으로 동작함을 확인하였다. 그림 4는 프로토타입 보드의 동작을 Logic Analyzer를 이용하여 결과 파형을 검출한 것으로 MAC 보드가 정상적으로 동작함을 확인하였다.

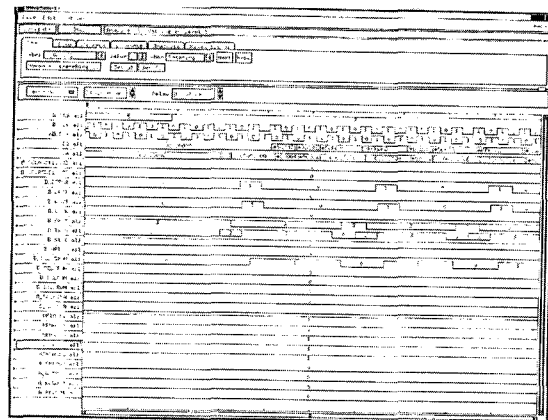


그림 4. 구현된 MAC보드의 Logic Analyzer 결과
Fig. 4. Logic Analyzer result of the implemented MAC board.

III. 무선 LAN NIC card 시스템구성

그림 5는 인터실(Intersil Corporation)[5]의 프리즘 칩셋을 이용한 물리 계층을 구성한 뒤 MAC프로세서 프로토타입 보드와 인터페이스 한 블록 구성도 이다. 전체 구성은 RF 파워 앰프, RF/IF 컨버터, I/O, 모듈레이터/디모듈레이터, 모뎀 및 Gain 컨트롤러로 구성된 물리계층 보드와 MAC 프로세서 보드로 이루어진다.

그림 6은 OFDM 물리 계층과 MAC 프로세서 프로토타입 보드와의 인터페이스를 위한 블록 구성도 이다. 전체 구성은 RF Front End 보드[8]와 OFDM송수신 모뎀 블록[9], MAC 보드로 되어 있다.

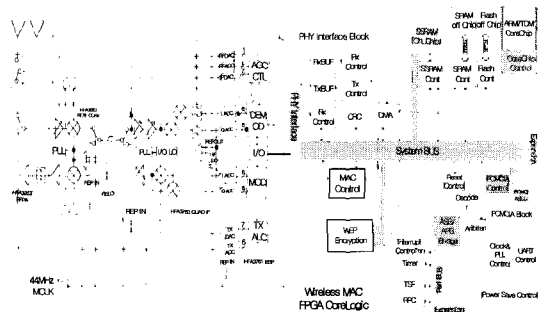


그림 5. 2.4GHz ISM 밴드의 DSSS BPSK/ QSK/ CCK 물리계층과 MAC프로세서의 인터페이스 시스템
 Fig. 5. Interface system between MAC processor and DSSS BPSK/QSK/ CCK physical layer of 2.4GHz ISM band.

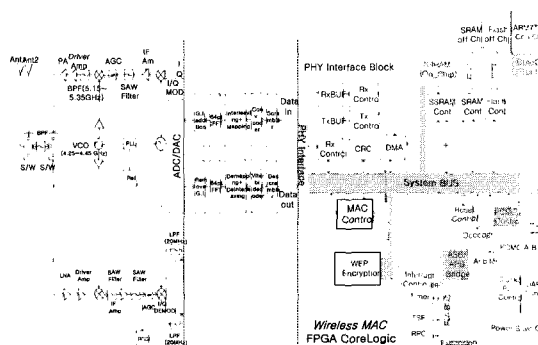


그림 6. 5GHz ISM 밴드의 OFDM BPSK/ QSK/ 16QAM/64QAM 물리계층과의 인터페이스 시스템
 Fig. 6. Interface system between MAC processor and OFDM BPSK/QSK/ 16QAM/64QAM physical layer of 5GHz ISM band.

그림 7은 개발 환경으로써, 프로토타입 보드가 PCMCIA 커넥터를 통하여 PC와 연결된 것을 볼 수 있다. RISC 코어의 JTAG를 통하여 ICE에 연결을 한 후 프로그램을 RAM에 다운로드 하여 실행을 할 수가 있다.

MAC 프로세서 프로토타입 보드의 RTOS와 Window98/ NT/ Linux 등의 PC OS와의 상이한 차이로 개발된 펌웨어의 검증이 어려울 수 있다. 이를 위하여 별도로 제작된 MAC 펌웨어 테스터기는 MAC 프로세서와 같은 RISC 프로세서를 사용하고, 같은 RTOS를 사용하며, 시리얼 포트를 통하여 프로토타입 보드와 연결함으로써 테스트 간의 정보 교환 등 디버깅 및 펌웨어 개발에 활용될 수 있도록 하였다.

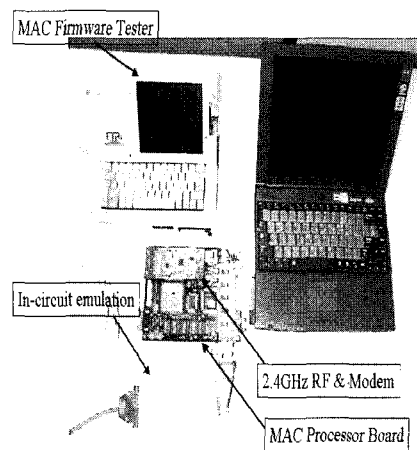


그림 7. MAC펌웨어 및 MAC 코어로직 개발 환경
 Fig. 7. Development environment of MAC Firmware and MAC core logic.

IV. 결 론

본 논문에서는 IEEE 802.11 무선 LAN 시스템의 DSSS, OFDM 물리계층을 지원하는 MAC 프로세서 아키텍처 연구 및 MAC 계층 고속 처리방법에 관하여 연구하였다. 이를 위해 먼저 IEEE 802.11 MAC 프로토콜 규격을 분석하여 기능별 블록 구조를 설계하였고, 구성 기능블록들 중 하드웨어로 구현할 기능들과 펌웨어로 구현할 기능들을 분리하여 펌웨어와 하드웨어간 프레임 단위의 전송요구가 처리될 수 있도록 인터페이스를 정의하였으며, 또한 RISC프로세서와 물리계층간의 고속 큐 처리 및 인터페이스를 설계하였다.

개발된 MAC 관련 하드웨어 블록들은 10MHz 메인 클럭이 사용되도록 설계되었으며, 이는 MAC 계층과 PHY 계층간 데이터 송수신이 1옥텟(8비트) 단위로 이루어짐을 감안할 때 물리계층에서의 전송속도 80Mbps에 해당한다. MAC 기능 구현에 사용된 칩은 Xilinx사의 Virtex V400BG560^[10]이며, 회로 크기는 약 78,900 게이트 규모이고 구현된 칩의 최대 동작주파수는 16MHz이다. 또한 FPGA로 구현된 MAC 기능 칩의 동작 검증을 위한 무선 LAN 프로세서 포토포타입 보드를 개발하여 정상적으로 동작함을 확인하였다.

참 고 문 헌

- [1] IEEE P802.11 D10, Wireless LAN Medium Access Control(MAC) and Physical Layer(PHY) Specifications, Jan., 1999.
- [2] IEEE P802.11a/D7.0, Draft Supplement to Standard for LAN/MAN Part 11: MAC & PHY Specifications, July, 1999.
- [3] Armin Heindl, Reinhard German, "The Impact of Backoff, EIFS, and Beacons on the Performance of IEEE 802.11 Wireless LANs", Proceedings of the IEEE International Computer Performance and Dependability Symposium, pp.10~112, 2000.
- [4] Francesco Delli Priscoli, "Design and Implementation of a Simple and Efficient Medium Access Control for High-Speed Wireless Local Area Networks", IEEE Journal on Selected Areas in Communications, Vol.17, No.11, pp.2052~2064, Nov., 1999..
- [5] Intersil DataSheet : HFA3841, HFA3683, HFA3783, HFA3861 URL: www.intersil.com.
- [6] ARM7TDMI Data Sheet: ARM DDI 0029E, August 1995. Advanced RISC Machines Ltd (ARM) 1995.
- [7] "Wireless MAC Level Conformance Tests", University of New Hampshire, 1999.
- [8] 박봉혁, 정해원, 이형호, "5GHz 대역 무선LAN 송수신 시스템 설계 및 구현" 한국통신학회 하계종합학술대회 논문지 Vol.21, No.1, pp.123~126 2000년 7월 6일
- [9] 이재호, 정해원, 이형호, "무선LAN 환경에서의 12Mbps OFDM구현" 한국통신학회 하계종합학술대회 논문지 Vol.21, No.1, pp.335~338 2000년 7월 6일
- [10] Virtex DataSheet : Virtex 2.5V, URL:www.xilinx.com.

저 자 소 개



金 裕 鎮(正會員)

2001년 2월 충북대학교 정보통신공학 공학박사 수료. 1995년 12월 - 1999년 5월 LG반도체 MCU설계실 연구원. 1999년 6월~현재 : ETRI 네트워크기술연구소 라우터기술연구부 기가이더넷팀 연구원. 주 관심분

야는 ASIC설계, 무선LAN MAC설계, 기가이더넷시스템설계



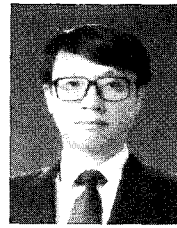
李 相 暻(正會員)

1994년 2월 경북대학교 전자공학과 공학사. 1996년 2월 경북대학교 전자공학과 공학석사. 2000년 2월 경북대학교 전자공학과 공학박사. 2000년 4월~현재 ETRI 라우터기술연구부 기가접속팀 연구원



丁海元(正會員)

1980년 2월 한국항공대학원 항공통신정보공학과 공학사. 1982년 2월 한국항공대학원 항공전자공학과 공학석사. 1999년 2월 한국항공대학원 항공통신정보공학과 공학박사. 1982년 3월~현재:ETRI 네트워크기술연구소 라우터기술연구부 기가접속팀장, 책임연구원. 주 관심분야는 무선 LAN, 홈네트워킹, 기가비트이더넷



奇長根(正會員)

1986년 2월 고려대학교 전자공학과 공학사. 1988년 2월 고려대학교 대학원 전자공학과 공학석사. 1992년 2월 고려대학교 대학원 전자공학과 공학박사. 1992년 3월~현재 공주대학교 정보통신공학부 부교수. 주 관심분야는 컴퓨터통신 및 프로토콜, 무선 네트워크



李榮豪(正會員)

1977년 2월 서울대학교 공업교육과 전자전공 공학사. 1979년 2월 한국과학기술원 전기 및 전자공학과 공학석사. 1983년 8월 한국과학기술원 전기 및 전자공학과 공학박사. 1984년 12월-1986년 11월 미국 AT&T Bell 연구소 방문연구원. 1996년 9월-1998년 8월 충남대학교 공과대학 전자공학과 겸임교수. 1991년 1월-1998년 12월 대한전자공학회 회지편집위원장. 1991년 1월-1998년 12월 대한전자공학회 전자교환연구회 전문위원장. 1996년 1월-1999년 12월 IEEE ComSoc APB MDC의장. 1998년 1월-현재 대한전자공학회 이사, 상임이사, 회지편집위원장. 1998년 5월 -현재 통신위원회 전문위원. 1999년 1월-현재 한국통신학회 교환 및 라우팅 연구회 위원장. 1983년 8월~현재 한국전자통신연구원 네트워크기술연구소 라우터기술연구부장, 책임연구원. 주 관심분야는 BISDN망, ATM교환, 고속 LAN 및 라우터 기술, 인터넷, 신호처리, 패킷통신, 무선ATM, IMT2000, 지능망



趙鉉默(正會員)

1989년 2월 고려대학교 전자공학과 공학사. 1991년 2월 고려대학교 대학원 전자공학과 공학석사. 1995년 2월 고려대학교 대학원 전자공학과 공학박사. 1995년 9월~현재 공주대학교 정보통신공학부 조교수. 주 관심분야는 무선통신용 ASIC설계, CMOS RF IC 설계