

High-Order QAM에 적합한 반송파 동기회로 설계

II부. 자동모드전환시점 검출기 및 평균모드전환회로를 적용한 Gear-Shift PLL 설계 및 성능평가

(Design of Carrier Recovery Circuit for High-Order QAM)

Part II : Performance Analysis and Design of the Gear-shift PLL with ATC(Automatic Transfer-mode Controller) and Average-mode-change Circuit

金基潤*, 金信才**, 崔炯辰*

(Ki Yun Kim, Sin Jae Kim, and Hyung Jin Choi)

요약

본 논문에서는 극성 판단(Polarity Decision) PD를 이용하여 모드 변환과 루프이득(Loop Gain)의 변환 시점을 자동적으로 검출해 주는 ATC(Automatic Transfer-mode Control)알고리즘을 설계하고 모드 전환 시 안정적으로 주파수 오프셋을 추정하는 평균방식 Gear-shift PLL을 설계하였다. 제안하는 모드 전환 시점 검출 알고리즘인 ATC 알고리즘은 종전의 QPSK방식에 적용되던 Lock Detector 알고리즘보다 구현이 매우 간단하며 정확하게 모드 전환시점을 검출한다. 또한 Shift Register에 저장했던 주파수 추정 값들을 평균하는 평균전환방식은 모드 전환시 낮은 주파수 추정 에러값으로 다음 모드에서의 빠른 추적 성능을 가능하게 한다. 본 논문에서 제안하는 알고리즘은 적은 회로 면적과 고속 처리가 가능하도록 설계되어 ASIC 설계에 매우 유용하다. 아울러 본 논문에서는 극성판단 PD를 적용하여 위상 포착 및 추적 성능평가를 수행하고 성좌도(constellation)를 각 모드별로 분석하였다.

Abstract

In this paper, we propose an ATC(Automatic Transfer-mode Controller) algorithm and an average-mode-change method for use in Gear-shift PLL which can automatically change loop gain. The proposed ATC algorithm accurately detects proper timing of the mode change and has a very simpler structure than the conventional lock detector algorithm often used in QPSK. And the proposed average-mode-change method can obtain low errors of estimated frequency offset by averaging the loop filter output of frequency component in shift register. These algorithms are also useful in designing ASIC, since these algorithms occupy small circuit area and are adaptable for high speed digital processing. We also present phase tracking performance of proposed Gear-shift PLL, which is composed of polarity decision PD, ATC and average-mode-change circuit, and analyze the results by examining constellation at each mode.

* 正會員, 成均館大學校 電氣電子컴퓨터工學部

(School of Electrical and Computer Engineering,
SungKyunKwan University)

** 正會員, 韓國通信프리텔 네트워크 技術研究所
(Korea Telecom Freetel)

接受日字:2000年7月6日, 수정완료일:2001年4月2日

I. 서론

최근 제품의 고속, 고성능화에 따라 예전에 몇 개의 칩 또는 보드형태가 한 개의 칩으로 구성되는 ASIC의 SOC(System On a Chip) 경향이 가속화되고 있다. 이

와 같은 경향은 제품의 생산비용을 줄일 수 있으며, 저 전력의 소형 시스템 개발에 유용하기 때문이다. 단일 칩(one chip)화를 위해서는 하위레벨 단계인 합리적인 아키텍처 설계, 저소비전력, 용이한 테스트의 설계 등도 중요하지만 시스템 경쟁력을 좌우하는 상위레벨 알고리즘 설계 및 성능평가에 많은 신중을 기할 필요가 있다. 왜냐하면 하나의 시스템이 완성되기까지의 많은 단계와 과정중에 최종적인 성능과 비용에 미치는 영향은 설계단계의 상위수준으로 갈수록 커지기 때문이다.

모뎀의 핵심 기술중의 하나인 반송파 동기 회로 설계에 있어서도 복조기의 단일 칩화를 위해서 아날로그 소자인 VCO(Voltage Controlled Oscillator)를 디지털 소자인 DCO(Digital Controlled Oscillator)로 대체하여 구현하는 추세에 있으며 이에 많은 회로 면적을 소모하고 있다. 이와 같은 상황을 미루어 볼 때 전통적인 DD(Decision-Directed) 방식을 적용한 반송파 동기회로는 주파수 포착 범위가 작아서 보조적인 AFC(Automatic Frequency Control) 등의 반송파 동기 회로가 필요하다. 따라서 회로적으로 추가적인 VCO(또는 DCO)의 포함은 물론 알고리즘 논리회로의 면적 증가와 전력 손실을 감수해야만 한다.

그러나 본 논문에서 제안하는 극성판단 PD를 이용한 Gear-shift PLL(Phase Locked Loop)은 추가적인 반송파 동기회로의 부담이 없으며 정확히 모드 전환 시점을 검출하므로 효율적으로 반송파 복원을 수행할 수 있는 특징을 가진다. Gear-shift PLL은 새로운 반송파 동기회로의 도움 없이 기존의 회로를 이용하여 단순히 루프이득을 조절하는 것으로서 초기에 큰 루프이득을 두어 빠른 포착성능을 유도하며 나중에 정상상태에 이른 후에 작은 루프이득으로 변환하여 안정된 추적성능을 동시에 만족시킬 수 있다. 이와 같은 루프이득 조절을 위해 모드전환 시점을 정확히 검출할 수 있는 알고리즘이 필요한데 본 논문에서는 적은 하드웨어 크기를 가지며 완벽한 검출시점을 찾아내는 자동 모드 전환 제어기(Automatic Transfer-mode Controller : ATC)를 설계하였다. 모드 전환시점에서는 Shift Register에 저장했던 주파수 추정값들을 평균하는 평균전환방식을 적용하여 보다 빠른 포착 및 추적 성능을 유도하였다. 특히, 본 논문에서 설계된 Gear-shift PLL은 I 부에서 소개한 극성판단 알고리즘의 임계값 τ 값과 매우 잘 연계되어 좋은 성능을 발휘할 수 있다.

본 논문의 II장에서는 극성 판단 PD를 적용할 수 있는 페루프 구성에 관하여 제안 방식인 ATC 알고리즘과 평균전환방식 알고리즘을 기존의 알고리즘과 비교하여 상세히 분석하였으며 III장에서는 설계된 페루프를 이용하여 성좌도 분석 및 위상 추적 성능평가를 수행하였다. 그리고 IV장에서 결론을 맺었다.

II. 페루프 설계

1. 페루프 구성

일반적으로 반송파 동기 PLL은 PD(Phase Detector), 루프필터(Loop Filter), VCO(또는 DCO)로 구성된다^{1~7)}.

QAM 변조기법을 사용하는 케이블 모뎀에서는 일반적으로 AFC(Automatic Frequency Control)를 보조적으로 추가하여 초기에 주파수 오프셋을 일정 수준으로 낮추어준 다음 위상검출회로를 통하여 위상에러를 복원한다. 그러나 케이블 모뎀을 위한 AFC를 연구해 본 결과 실제로 QAM과 같은 멀티레벨 변조기술에 적용할 수 있는 AFC 알고리즘은 그다지 많지 않았다. QAM에 적용할 수 있는 AFC는 시간상에서 분석하는 알고리즘보다 멀티레벨 효과가 반영되지 않는 주파수 상에서 분석하는 알고리즘 (예를 들어, DFT-AFC^{8,9)}, Dual Filter AFC¹⁰⁾ 등)이 주파수 포착에 용이하였다. 그러나 DFT-AFC 방식은 만족할만한 성능을 얻기 위해 DFT(또는 FFT)의 차수가 높아야 한다는 하드웨어적인 부담이 있었으며 Dual Filter 방식은 포착에 걸리는 시간이 길고 성능이 좋지 않다는 단점이 있었다.

그러나 본 논문에서 제안하는 극성 판단 PD 알고리즘을 적용하면 256 QAM의 주파수 포착이 ± 300 KHz 까지 가능하기 때문에 AFC 와 같은 보조적인 회로를 도입하지 않아도 된다. 본 논문에서는 정상상태에서의 위상 지터를 줄이기 위해서 모드전환을 통해 루프 이득과 극성 판단 PD의 τ 를 조절할 수 있는 Gear-shift PLL을 도입하였다. 설계한 Gear-shift PLL의 동작은 넓은 의미에서 그림 1과 같이 넓은 주파수 오프셋 범위를 줄여주는 포착모드(acquisition mode)와 루프이득을 줄여주고 τ 값을 크게하여 미세 주파수 동기를 맞추는 모드들, 그리고 최종적으로 잔류 주파수와 위상 오프셋을 조정하는 DD 모드로 나누어 단계적으로 루프 이득을 조절한다. Gear-shift 알고리즘은 일정 시점에서 이득을 변화시키지만 하면 되므로 비교적 간단하게 시

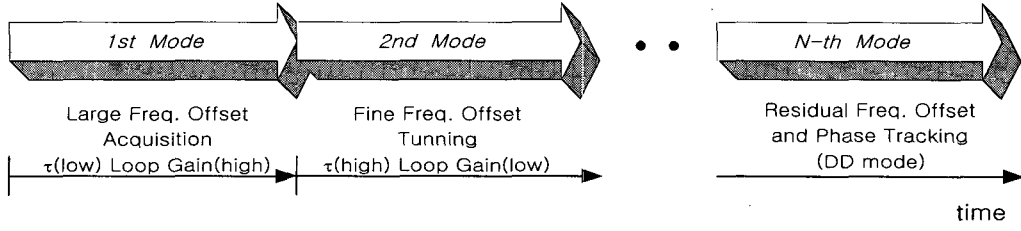


그림 1. Gear-shift PLL 동작 모드
Fig. 1. Operation mode of gear-shift PLL.

시스템을 구현할 수 있다.

2. 모드 전환 시점 검출 알고리즘

Gear-shift 알고리즘에서 모드 전환 시점을 결정하는 방법은 2가지 경우가 있다. 한가지 경우는 설계자가 경험적 데이터를 바탕으로 초기모드 동작이 정상상태에 이르렀을 일정시점에서 강제적으로 모드를 전환하는 것이고 다른 한가지는 초기모드에서 정상상태의 록(lock)이 이루어졌는지를 자동적으로 검출하는 장치를 설계하여 모드를 전환하는 것이다. 통계적 방법에 의한 일정시점 강제전환방식 및 자동모드전환 장치에 의한 자동전환방식의 장단점을 고찰해 보면 표 1과 같다.

표 1. 강제전환방식 및 자동전환방식간의 장단점 비교

Table 1. Comparison of forced mode-change method and automatic mode-change method.

	일정시점 강제전환방식	자동전환방식
장점	구현 간단	모드 변환시 적은 심볼 소요
단점	부정확성을 초래할 수 있다는 단점 많은 심볼 요구	구현 복잡 자동모드전환장치 필요

이와 같이 두 방식을 비교해 볼 때 구현상의 다소의 복잡성을 제외한다면 자동모드전환장치에 의한 자동전환 방식이 전반적으로 우수한 것임을 알 수 있다. 더욱이 High-Order QAM을 적용하는 시스템의 반송과 추적 성능은 상당히 불안정하므로 정상상태(steady state)에서의 모드전환을 완벽히 보장할 수 있는 정교한 자동모드전환장치 알고리즘의 설계가 요구된다.

3. 전통적인 Lock Detector

모드 전환 시점을 검출하는 전통적인 방법으로서 반

송과 동기 Lock Detector 라고 불리는 동기 기술을 이용하는 방법이 있다. 현재 조사된 Lock Detector 알고리즘은 QPSK 에 관한 알고리즘들이며 I 및 Q 채널의 q_I 및 q_Q 신호에 대해 4승항을 취하여 누적시키는 방식을 사용하고 있다^{[11],[12]}. 이러한 QPSK용 Lock Detector를 수식으로 다음과 같이 표현할 수 있다.

$$z = \sum_{i=1}^M y_i, y_k = (2q_I q_Q)^2 - (q_I^2 - q_Q^2)^2 \quad (1)$$

위의 식에서 y_k 는 $q_I + jq_Q$ 를 4승한 결과 중 부호를 반전한 실수항에 해당한다. 이를 일정구간(M) 누적시킨 결과인 z 를 Lock Detector의 출력신호로 사용하여 이 값이 임계값 이상일 경우 록으로 간주한다. QPSK 신호에 대한 z 의 평균값 μ_z 는 다음과 같다.

$$\mu_z = 4MR^2 \cos 4\theta \quad (2)$$

위의 식에서 R 은 SNR 이며, θ 는 위상오차이다. z 의 분산값 σ_z 는 반송과동기회로의 루프 SNR이 무한대일 경우 다음과 같은 값을 가진다.

$$\sigma_z^2 = 64MR^8 \left[\frac{2}{R} + \frac{9}{R^2} + \frac{12}{R^3} + \frac{3}{R^4} \right] \quad (3)$$

그러나 실제로는 반송과 동기 루프 SNR이 무한대일

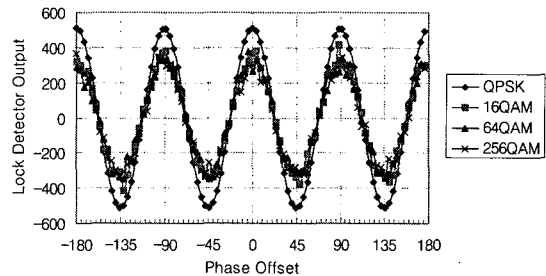


그림 2. 위상오차에 따른 Lock Detector의 출력
Fig. 2. Lock detector output versus phase offset.

때 즉, 위상 지터가 전혀 없는 상태($\sigma_2 \rightarrow 0$) 일 때는 비현실적인 가정이므로 SNR로 인한 평균값과 분산값의 변화를 충분히 고려하여 임계값을 설정한 후 Lock Detector를 설계하여야 한다.

그림 2는 위상 오차에 대한 Lock Detector의 출력 z 를 보였다. 여기에서 Lock Detector의 입력신호는 정규화되었으며 관찰구간 M 은 512로서 식(2)에 보인바와 같이 위상오차 θ 에 대하여 \cos 함수로 표현된다. 그림에서 보는바와 같이 QPSK 신호는 비교적 안정된 곡선 형태를 나타내지만 High-Order QAM으로 갈수록 곡선이 불안정한 현상이 나타난다. 이것은 4-th power PD 알고리즘에서 항상 문제가 되는 위상지터(phase jitter) 문제와도 같은 것이다. 비록 I 부에서 제안하는 극성판단 PD의 알고리즘이 바깥 성과점을 이용하여 QPSK와 같은 효과를 나타내어 이러한 위상지터는 덜하다라도, M 관찰구간이 상당히 길어야 하는데다가 반경검출기에 만족하는 심볼 입력 확률이 상당히 낮아서 시뮬레이션 결과 그다지 록 검출 성능이 만족스럽지 못하였다. 게다가 이러한 방식은 시뮬레이션 결과 한 번 y_k 를 연산하는데 5개의 곱셈기와 2개의 뺄셈기가 필요할 정도로 지나치게 복잡하여 실제 구현이 어려웠다. 따라서 디지털 구현을 위한 좀 더 간략화된 구조를 다음에 제안한다.

4 제안하는 ATC(Automatic Transfer-mode Controller)

3에서 살펴본 바와 같은 기존 Lock Detector의 여러 문제점들을 극복할 수 있는 새로운 모드 전환 시점 검출 알고리즘을 연구하였다. 본 논문에서 고찰한 자동모드 전환장치(ATC) 알고리즘은 그림 3.(a)과 같이 Loop Filter후의 출력값에 의존한 검출방법과 그림 3.(b)와 같이 PD 출력값에 의존한 검출방법으로 크게 나누어 생각해 보았다.

두 방식에 대해 분석한 결과 록상태를 판정할 수 있는 ATC 알고리즘으로서 적합한 것은 I 부에서 소개한 PD의 출력상태를 관찰(그림 3.1(b))하는 것이었다. 그림 3.(a)의 경우는 전력 검출기에 의한 심볼 감소 지터로 인해 루프필터의 출력이 일정치 않아서 포착모드와 추적모드에서의 출력특성을 구분하기가 매우 어려웠다. 반면에 그림 3.(b)에서와 같이 PD 출력 특성을 관찰한 결과는 록이 이루어지지 않은 상태에서는 높은 PD 출력값을 가질 확률이 높았고 록이 이루어진 상태에서는 PD 출력이 상대적으로 0을 중심으로 작은 값을 가지게 됨을 알 수 있었다. 이것은 2.3 절에서 언급한 Lock Detector의 출력특성인 식 (2)와 비교해 볼 때 록상태에서의 위상에러에 의존한 출력값을 관찰한다는 측면에서 유사하다. 그러나 그림 3.(b) 특성을 이용한 제안 ATC 알고리즘은 PD 출력 특성을 그대로 이용하므로 복잡하게 계산하는 과정 없이 간단히 구현될 수 있는 특징을 지닌다. 그림 3.(b)를 이용하여 정상상태를 판단하는 제안 ATC 알고리즘은 0을 제외한 PD 출력값이 일정 임계수준(Th) 이하의 값이 연속해서 N 번 이상 출력되면 정상상태로 판정하도록 설계되었다. 자세한 동작의 흐름도(flow-chart)는 그림 4와 같다. 첫째로 PD 출력값을 AA라는 Register에 저장한다. 둘째로 출력된 값이 0이 아니며 기준 임계값(Th)보다 작을 경우인지를 비교한다. 이 때 Y(Yes)이면 아래 과정으로 가며 N(No)이면 출력값이 0인지를 비교한다. 비교하여 Y(0이면)이면 PD 출력값을 관찰하는 처음으로 회귀하며 N(0이 아니면)이면 count 값을 0으로 초기화(reset)한 후 처음으로 회귀한다. 셋째로 count를 하나씩 증가시켜 나간다. count가 미리 정해진 연속 조건기준 만족할 수 N 과 같은지를 비교한다. 비교하여 Y(Yes)이면 정상상태를 선언하며 N(No)이면 처음으로 회귀한다.

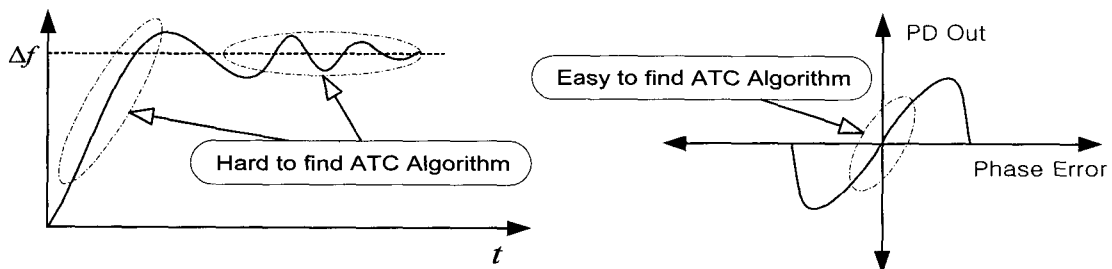


그림 3. 반송과 동기 루프 출력 특성 (a) 루프필터 출력, (b) PD 출력
 Fig. 3. Carrier recovery loop output characteristics.
 (a) loop filter output, (b) PD output

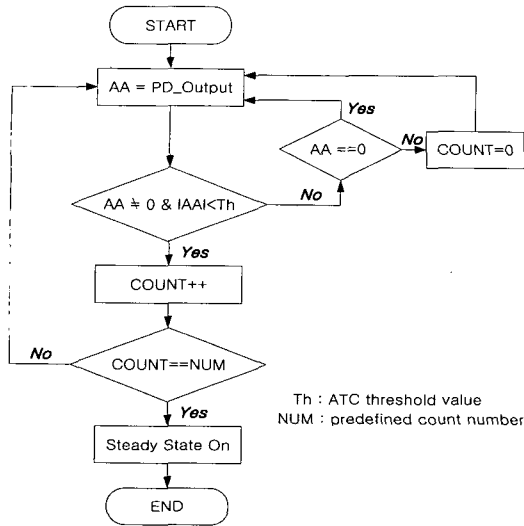


그림 4. ATC 동작 흐름도
Fig. 4. ATC operation flowchart.

5. Gear-shift PLL의 전체구조 및 동작원리

제안하는 Gear-shift PLL의 전체 블록도는 그림 5와 같다. 동작방법은 먼저 PD가 반경 검출기의 조건에 맞는 심볼에 대한 에러값을 출력한다. 정상상태를 판정하는 ATC는 PD 출력을 관찰한다. 그 후 ATC에 의해 정상상태(steady state or lock achieved)를 알리는 On

신호가 루프필터단에 입력될 때 G_1 및 G_2 값을 조절하여 루프이득을 먼저보다 작은 값으로, τ 값을 이전보다 큰 값으로 변환하며 루프필터의 누적기를 초기화한다. τ 값을 초기 주파수 포착과정에서 다소 작은 값으로 선택하다가 나중에 큰 값으로 변환하는 이유는 초기 포착과정에서 전력검출기에 많은 심볼이 선택되도록 함으로서 대강의 주파수 포착을 이루게 하고 나중에 미세 주파수 동기를 수행하기 위해서이다. 이와 같은 Gear-shift PLL의 루프이득과 τ 값의 조절은 넓은 주파수 오프셋을 포착하는데 서로 시너지 효과(synergy effect)를 발휘하게 된다.

본 논문에서 제안하는 반송파 동기회로의 또 하나의 새로운 설계 장점은 루프필터의 이득을 변환할 경우 상당히 안정적이며 정확한 주파수 오프셋 추정으로 모드가 전환된다는 것이다. 그림 5의 PLL 동작과정에서 루프필터 출력은 추정된 주파수 오프셋 성분이므로 PD가 동작상태에 있을 때의 루프필터 출력값을 N개의 Shift Register에 저장하고 있다가 ATC에서 On 신호가 입력되면 Shift Register에 저장된 값들의 평균을 취해 추정된 주파수 평균값으로 사용한다(평균전환방식: average-mode-change method). 이것은 모드 전환시에 정상상태에서의 불안정한 주파수 추적 지터를 줄이기 위한 방안이다. 이렇게 평균적으로 추정된 주파수 오프

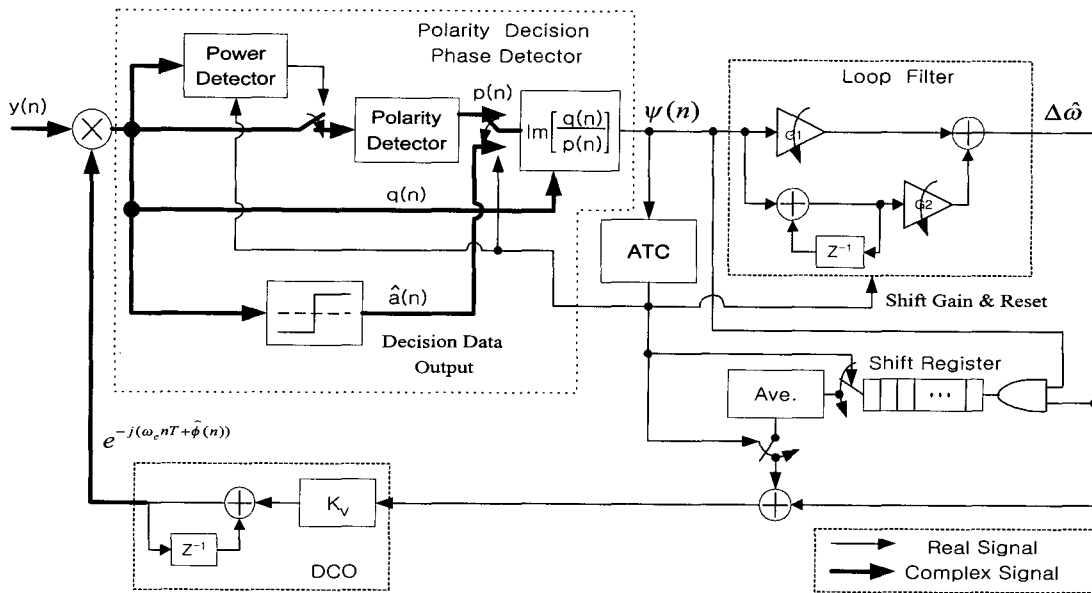


그림 5. 제안하는 Gear-shift PLL의 블록도
Fig. 5. Block diagram of proposed gear-shift PLL.

셋은 다음 모드의 초기화된 루프필터로부터 얻어진 잔류주파수 추정 성분과 더하여져 위상 에러 보정을 수행한다.

Order QAM 변조기법에서 넓은 주파수 포착 범위와 낮은 위상에러, 그리고 작은 회로면적을 가지는 완벽한 반송파 동기를 설계할 수 있게 된다.

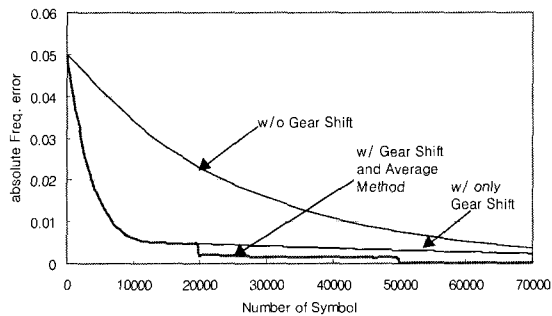


그림 6. 평균방식 Gear-shift PLL의 주파수 추적성능 (절대값)

Fig. 6. Frequency tracking performance with average method gear-shift PLL(absolute value).

그림 6은 평균방식 Gear-shift 반송파동기회로의 주파수 추적성능을 나타내었다. 시뮬레이션 환경은 초기 주파수 오프셋을 250 KHz(256 QAM, SNR = 30 dB, $4fT = 0.05$, symbol rate = 5 Msps)로 하였으며 강제 전환 방식으로 20000 심볼, 50000 심볼 지점에서 강제로 루프이득을 동일하게 작은 값으로 전환하였다. 이와 같이 강제전환 방식을 적용한 이유는 모드 전환 시의 주파수 변화량을 관찰하기 위함이다. Gear-shift 방식을 적용한 경우, 평균방식을 적용하여 모드전환을 수행하면 평균방식을 적용하지 않은 경우보다 모드 전환 시점에서 주파수의 오프셋이 더욱 낮아져서 추적됨을 알 수 있다. 이와 같이 좋은 성능을 나타내는 이유는 주어진 주파수 오프셋에 대해 정상상태에서 양과 음의 값으로 추정을 반복(oscillation)해 나가기 때문에 평균을 취하면 상당히 근사적으로 주어진 주파수 오프셋을 추정값을 얻을 수 있게 된다. 아울러 그림 6을 살펴보면 주파수 포착성능과 추적성능 모두 Gear-shift 방식이 이를 적용하지 않을 경우보다 우수한 것을 알 수 있다.

최종적으로 모드변환은 넓은 주파수를 추적하는 모드에서 미세한 주파수 및 위상을 추적하는 모드로 전환되는데 이 때는 위상에러가 아주 작은 상태에 놓이게 되므로 PD의 휴지(idle)때문에 생기는 위상지터를 줄이기 위해 전체 성좌점을 이용하는 DD 방식으로 PLL을 동작시킨다. 이와 같이 수행함으로써 High-

III. 제안한 극성 판단 PD 적용의 Gear-shift PLL 성능평가

본 장에서는 제안하는 극성 PD 알고리즘을 II절에서 언급한 페루프에 적용하여 256 QAM에 대한 위상 추적성능을 분석하였다. 64 QAM 시뮬레이션에서는 성좌도의 꼭지점 4개의 심볼(가장 바깥쪽 4개의 심볼)만을 이용하여 루프 대역폭 조절만으로 SNR = 25dB에서 ± 200 KHz 주파수 오프셋을 포착할 수 있었던데 비해 256 QAM에서는 30dB에서 꼭지점 4개의 심볼로는 ± 50 KHz의 포착도 불가능하였다(MCNS DOCSIS 케이블 모델 규격에서는 64 QAM은 25 dB, 256 QAM은 30 dB로 성능평가 기준을 마련하고 있다). 따라서 초기 포착모드에서는 τ 값을 줄여주어 빠른 주파수 포착을 유도한다.

그림 7은 256 QAM에서 주파수 오프셋 300 KHz가 있을 경우 잔류 위상 에러를 RMS(Root Mean Square) 에러값으로 나타낸 것이다. 간단한 분석을 위해 2가지 모드로 나누어 간단한 구조로 시뮬레이션 하였는데 첫 번째는 극성판단 PD를 이용하여 빠른 포착을 수행했으며 그 후 DD 모드로 전환하였다. 이 때 초기 주파수 오프셋을 포착하는 데는 표 2에 나타낸 바와 같이 평균 약 7000 심볼 정도가 소요되었으며 그 이후부터는 DD 모드로 동작하여 미세한 위상보정을 수행하였다. 그림 11에서 20만(0.04sec)심볼까지의 성능을 살펴보면 DD 모드의 $B_L T$ (정규화루프 대역폭)=0.1일 때 가장 작은 위상에러(RMSE = 1° 미만)를 가지며 이 보다 더 작은 $B_L T$ 를 사용하면 시간은 다소 걸리지만 더 작은 위상 에러를 가지는 PLL을 설계할 수 있을 것으로 예상된다. 케이블 모델에서는 정상상태의 성능이 중요하기 때문에 이에 도달하는 시간은 다소 오래 걸리더라도 록이 풀리지 않는 범위내에서의 낮은 $B_L T$ 를 할당해야 한다.

표 2은 ATC 알고리즘을 적용할 때 처음 모드 $B_L T$ (IBLT)값에 따른 모드변환에 걸리는 평균소요심볼 및 그 때의 평균 잔류 주파수 오프셋을 나타내었다. 모두 10000 심볼 이전에 첫번째 모드의 록이 이루어졌으며,

순간적으로 루프이득을 변환하는 방식보다 제안된 루프 필터 출력을 평균하는 평균전환방식이 더 작은 잔류 주파수 오프셋을 가짐을 알 수 있었다. 또한 설계된 ATC에 의해 모드전환 시점이 성공적으로 검출될 확률

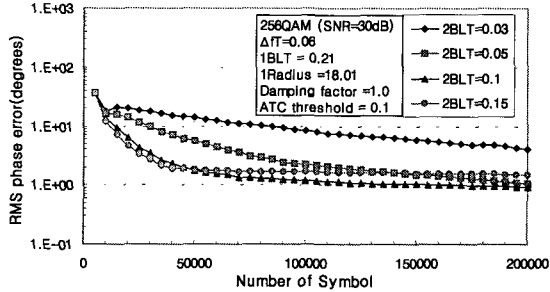
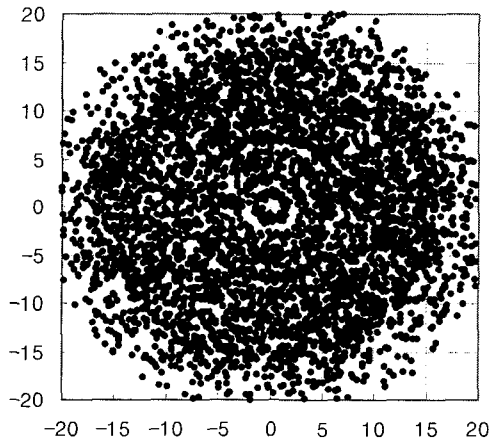
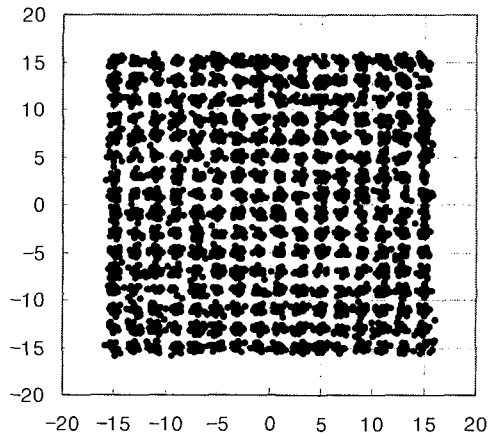


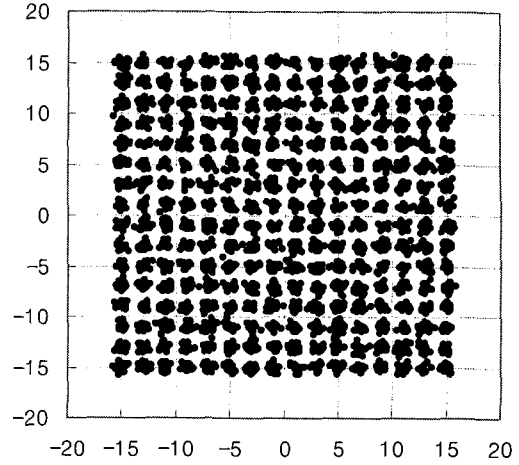
그림 7. 심볼에 따른 잔류 위상 오프셋
Fig. 7. Phase tracking error performance versus number of symbols.



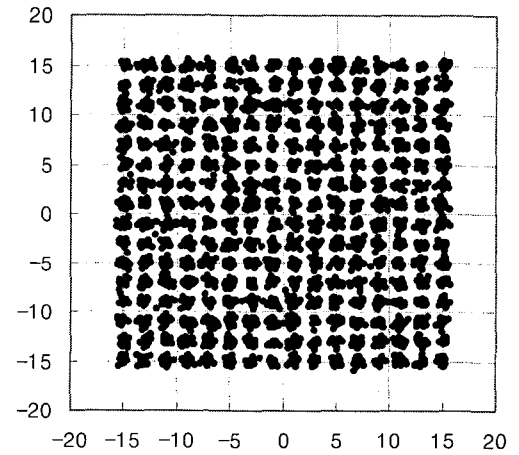
(a) 보상되지 않은 경우
(a) uncompensated state



(b) 극성판단 PD에 의해 록이 이루어진 경우
(b) lock state by polarity decision PD



(c) DD 모드로 정상상태에 이르렀을 경우
(c) lock state by DD mode



(d) 주파수 및 위상 오프셋이 없는 경우
(d) without frequency and phase offset

그림 8.星座도 특성 (SNR=30dB, 관찰심볼수=10000)
Fig. 8. Constellation characteristics (SNR=30 dB, observation symbols=10000)

은 초기 $B_L T = 0.21$ 과 0.23 에서는 모두 100%였다.

그림 8은 그림 7의 설계된 반송파 동기회로에 의해 주파수 및 위상오차가 포착되는 과정을星座도로 나타낸 것이다. (a)는 300 KHz 주파수 오프셋이 있고 아직 보상되지 않은 경우이며 (b)는 첫번째 모드에서 록이 이루어진 그림이다. 다소 위상 지터가 있다. (c)는 DD 모드로 미세 위상오프셋 보정이 이루어진 경우이며 이를 주파수 및 위상 오프셋이 없는 경우인 (d)와 비교하여 보면 비교적 보상이 잘 이루어짐을 관찰할 수 있다.

표 2. 초기 $B_L T$ 값에 따른 성능평가(반복횟수 : 10000번)

Table 2. Performance for the initial $B_L T$ (iteration number = 10000)

	모드전환성공확률 (%)	평균모드전환시점 (심볼)	평균전환방식 (주파수오프셋)	W/O 평균전환방식 (주파수오프셋)
IBLT = 0.19	99.99%	8733	5.76E-04	2.33E-03
IBLT = 0.21	100%	7415	6.37E-04	2.42E-03
IBLT = 0.23	100%	6999	6.77E-04	2.66E-03
IBLT = 0.25	99.99%	6915	1.00E-03	3.21E-03

VI. 결 론

본 논문에서는 High-Order QAM을 적용하는 모델에서 AFC와 같은 보조적인 반송파 동기회로 없이도 넓은 주파수 오프셋을 빠르게 포착하고 안정된 위상 추적 성능을 가지는 극성판단 PD 적용 Gear-shift PLL을 설계하였다. 설계한 Gear-shift PLL에 적용된 ATC (Automatic Transfer-mode Control) 알고리즘은 기존의 QPSK용 Lock Detector 알고리즘보다 회로적으로 매우 간단한 구조를 가지며 정확한 모드 전환 성능을 나타내었다. 또한 모드 전환시에 Shift Register에 저장된 루프필터의 추정 주파수 성분을 평균하여 전환하는 평균전환방식은 주파수 오프셋을 보다 근사적으로 추정할 수 있게 되어 빠른 반송파 동기가 가능하였다. 최종적인 위상에러는 $RMSE = 1^\circ$ 미만의 안정된 성능을 나타내었으며 성좌도를 통해 살펴본 최종 DD 모드 특성 또한 안정적이었다. 아울러 본 논문에서 설계한 반송파 동기 회로는 적은 회로 면적과 고속 처리가 가능하도록 설계되어 ASIC 설계에 매우 유용한 장점을 가진다.

향후 정상상태에서의 추적에 걸리는 시간을 단축시키기 위해 여러 단계에서의 r 값 및 루프 이득 등의 다양한 파라미터 조합에 의한 Gear-shift PLL 성능분석 연구가 진행되어야하며 등화기(equalizer) 및 기타 모델 요소 기술과의 연동에 의한 성능평가가 이루어져야 하겠다.

참 고 문 헌

[1] R. E. Best, *Phase-Locked Loops*, McGraw-Hill, 1984.

[2] F. M. Gardner, *Phaselock Techniques*, John Wiley & Sons, 1991.
 [3] D. H. Wolaver, *Phase-locked Loop Circuit Design*, Prentice-Hall, 1979.
 [4] J. L. Stenby, *Phase-locked Loops*, CRC press, 1997.
 [5] D. R. Stephens, *Phase-Locked Loops for Wireless Communications*, Kluwer Academic Publishers, 1998.
 [6] J. A. Crawford, *Frequency Synthesizer Design Handbook*, Artech House, 1994.
 [7] 최형진, *동기방식 디지털 통신*, 교학사, 1995.
 [8] H. Meyr and G. Ascheid, *Synchronization in Digital Communications*, Communications, John Wiley & Sons, 1998.
 [9] F. D. Natali, "AFC tracking algorithms," *IEEE Trans. Commun.*, pp. 935-947, Aug. 1984.
 [10] A. N. D. Andrea and U. Mengali, "Performance of a quadricorrelator driven by modulated signals," *IEEE Trans. Commun.*, pp. 1952~1957, Nov. 1990.
 [11] A. Mileant and S. Hinedi, "On the effects of phase jitter on QPSK lock detection," *IEEE Trans. Commun.*, vol. 41, no. 7, pp. 1043~1046, July 1993.
 [12] A. Mileant and S. Hinedi, "Lock detection in costas loop," *IEEE Trans. Commun.*, vol. 40, pp. 480~483, Mar., 1992.

저 자 소 개



金基潤(正會員)

1997년 2월 : 성균관대학교 전자공학과 졸업(공학사). 1999년 2월 : 성균관대학교 일반대학원 전기전자컴퓨터공학부 졸업(공학석사). 1999년~현재 : 성균관대학교 일반대학원 전기전자컴퓨터공학부 박사과정.

주관심분야 : OFDM 송수신 관련 모뎀 설계, 케이블 모뎀, 디지털 신호처리, IMT-2000, 위성통신 등

金信才(正會員)

1995년 2월 : 성균관대학교 전자공학과 졸업(공학사). 1997년 2월 : 성균관대학교 일반대학원 전자공학과 졸업(공학석사). 1996년 12월~2000년 5월 : 서울이동통신 중앙연구소 근무. 2000년 6월~현재 : 한국통신 프리텔 연구개발부문 네트워크 기술연구소 과장. 주관심분야 : IMT-2000, 이동통신, 디지털 모뎀, 망관리 기술 등



崔炯辰(正會員)

1974년 2월 : 서울대학교 전자공학과 졸업(공학사). 1976년 2월 : 한국과학기술원 전기전자공학과 졸업(공학석사). 1976년 3월~1979년 7월 : 주식회사 금성사 중앙연구소 기정(과장급) 연구원. 1979년 9월~1982

년 12월 : 미국 University of Southern California 전기공학과 졸업(공학박사). 1982년 10월~1989년 2월 : 미국 LinCom Corp. 책임 연구원. 1989년 3월~현재 : 성균관대학교 전기전자컴퓨터공학부(정교수). 2001년 3월~현재 : 성균관대학교 전기전자컴퓨터공학부 학부장 및 정보통신대학원장. 주관심분야 : 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 모뎀 기술 등임