

# 새로운 SW-DMF를 이용한 DS-SS/CDMA 시스템 수신기의 PN 코드동기 포착 시스템의 설계

## (Design for PN code Synchronous Acquisition System of DS-SS/CDMA Receiver Using New SW-DMF)

趙炳錄\*, 李康鉉\*\*, 河奭起\*\*\*

(Byung Lok Cho, Kang Hyeon Rhee, and Suk Ki Ha)

### 요약

본 논문에서는 주기가 긴 PN(Pseudo Noise) 확산부호의 DS-SS/CDMA(Direct Sequence Spread Spectrum Code Division Multiple Access) 시스템에서, 새로운 구조인 스위칭 방법 DMF(Digital Matched Filter)를 이용한 고속 PN 코드 동기포착시스템의 평균 포착시간과 하드웨어 설계를 제안한다. 실제로 DMF를 이용하는 PN 코드 동기포착시스템은 매우 복잡하고, 비용이 높으며 많은 전력이 소모된다. 제안한 스위칭 방법을 이용한 PN 코드 동기포착시스템은 이러한 단점들을 극복할 수 있다. 따라서, 하드웨어의 구조를 단순화시키고, 정합필터나 직렬 상관기를 사용하는 기존의 접근방식에 비하여 면적을 약 1/5로 적게 하면서 저전력을 얻을 수 있었다. 또한, 제안한 시스템 구조는 필터링 이후에 오는 재공 회로가 생략될 수 있어 단순화되고 제어가 용이하다.

### Abstract

In this paper, we propose an average acquisition time and hardware design of high speed PN code synchronous acquisition system using DMF(Digital Matched Filter) with new switching method in DS-SS/CDMA(Direct Sequence Spread Spectrum Code Division Multiple Access). In reality, the PN code synchronous acquisition system using DMF has very complicated hardware, high cost and high power consumption. The PN code synchronous acquisition system using proposed switching method DMF can overcome those disadvantages. Therefore, we can make hardware simple and obtain low power and high density by reducing the area by 1/5 against the conventional approaches of using either the matched filters or the serial correlators. The proposed system architecture is also simple and easily controllable since there is no square-term circuit after execution of digital filtering.

\* 正會員, 順天大學校 情報通信工學部  
(School of Info. & Comm. Engineering College, Sunchon National University)  
\*\* 正會員, 朝鮮大學校 電子情報工科學部 電子情報通信工學部  
(School of Elec. & Info.-Comm. Eng., Elec.-Info. College, Chosun University)

\*\*\* 正會員, (주)디브이테크놀러지  
(DV Technology Inc.)  
※ 본 논문을 면밀한 검토와 조언을 해주신 보이지 않은 심사위원들과 CAD툴을 지원해 준 IDEC에 감사드리며, 본 논문은 2000년도 순천대학교 학술재단 연구비 지원에 의해 작성되었습니다  
接受日字:2001年4月17日, 수정완료일:2001年6月13日

I. 서론

DS/CDMA 시스템의 동기는 많은 사용자가 동시에 통화하므로 낮은 SNR에서도 고속의 정확한 동기가 이루어져야 한다. 낮은 SNR에서 생각할 수 있는 동기의 한 방법으로 직렬 상관기(serial correlator)를 이용한 직렬 탐색 방법이 있다. 그러나 이 경우 1.2288Mcps( $2^{15}$ )의 주기를 가지는 PN 코드를 사용하고 탐색구간( $\lambda$ )의 셀 수가  $2^{15}$ 개일 경우 평균포착시간은 약 15분 가량이 소요된다. 그러므로 고속 동기를 위한 다른 보조회로(DMF)가 필요하게 된다. 하지만 DMF의 경우 평균포착시간은 빠르지만 그 특성상 높은 H/W cost가 요구되고 복잡하며 그에 따라 전력소모도 많아지게 된다<sup>[1,2]</sup>.

따라서, 본 논문에서는 DMF의 천이 및 합(shift-and-add) 부분을 대신하는 등가 회로로 스위칭 방법을 사용함으로써 이러한 문제점을 해결하고, 또 직렬 상관기와 DMF 및 제안된 구조의 DMF의 포착시간과 하드웨어 비용, 전력소모를 비교한다.

본 논문의 구성은 다음과 같다. II장에서는 직렬 상관기와 DMF 구성에 대해서 알아본다. III장에서는 새로운 스위칭 방법(Switching method)을 이용한 DMF(SW-DMF)에 대해 다룬다. IV장에서는 설계 및 시뮬레이션 결과 및 분석에 대해 알아본다. 그런 다음 V장에서는 결론을 맺는다.

II. 직렬 상관기와 DMF

동기 시스템에서 직렬 상관기를 사용할 경우의 평균 포착시간을 식 (1)에 보였다. 여기에서 보듯이 직렬 상관기를 사용할 경우 하드웨어 복잡도는 낮아지지만 평균포착시간이 길어지게 된다<sup>[3]</sup>.

$$\overline{T_{acq.ser}} = \tau_1 \frac{L}{2} + \tau_2 \tag{1}$$

그림 1과 식 (2)에서와 같이 N개의 칩(chip) 구간을 적분한 값인 자기상관 값이 임계치  $V_{th}$ 를 넘으면 포착이 이루어진 것으로 간주하여 추적 모드로 들어가게 되고 그렇지 않으면 1/2 칩 또는 1 칩을 천이(shift)하여 반복한다. 여기에서  $\tau_1$ 과  $\tau_2$ 는 첫 번째, 두 번째 적분 시구간(dwell time)이고 L은 처리이득(processing gain)이다.

$$R_c(\tau) = \frac{1}{N} \int_0^N C(t)C(t-\tau)dt \tag{2}$$

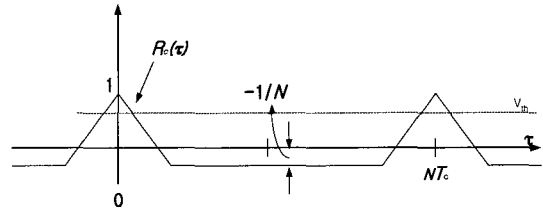


그림 1. 구형파의 자기상관 함수  
Fig. 1. Autocorrelation function of rectangular waveform.

DMF를 사용할 경우 동기된 경우는 출력이 N으로 최대 값이 되고, 동기 되지 않았을 경우에는 -1이 되어 출력이 최대가 되는 순간이 바로 동기가 이루어지는 순간이다<sup>[4]</sup>.

$$T_{acq.mf,max} = N_c T_c \tag{3}$$

DMF는 식 (3)에서와 같이 최대 PN 시퀀스(sequence)의 한 주기 안에 포착이 이루어짐을 알 수 있다.  $N_c$ 는 PN 시퀀스의 한 주기,  $T_c$ 는 칩 시간을 나타낸다. 하지만 DMF는 성능 향상에 비례하여 하드웨어가 복잡해지게 된다

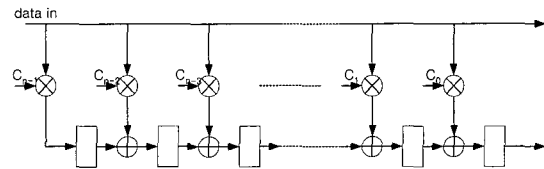


그림 2. 디지털 정합필터의 하드웨어 구현  
Fig. 2. Hardware implementation of digital matched filter.

이 방식의 실제 H/W 구현을 위한 기능 블록도를 그림 2에 보였다. 여기서 볼 때 짧은 PN 시퀀스의 경우 별 문제가 없지만 긴 PN 시퀀스의 경우 하드웨어 구현 시 천이 및 합 부분이 매우 큰 면적을 차지하고 그 소모 전력 또한 크게 증가하게 된다.

III. 새로운 스위칭 방법을 이용한 DMF(SW-DMF)

DMF의 단점인 복잡한 하드웨어의 구조와 높은 비용

을 해결할 방안으로 본 논문에서 제안한 스위칭 방법을 이용하는 방법<sup>[5]</sup>이 있다.

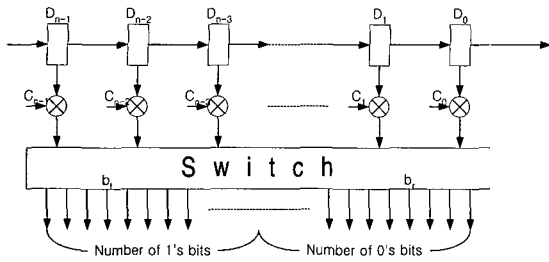


그림 3. 스위칭 방법을 이용한 DMF의 새로운 구조  
Fig. 3. New architecture of DMF using Switching Method.

그림 3에 새롭게 제안한 스위칭 방법을 이용한 DMF의 구조를 보였다. 먼저 수신되는 PN 코드는 입력 데이터를 레지스터에 저장시켜 전이하고, 국부 PN 코드 발생기에서 발생하는 계수  $C_n$ 이 곱해지는 곱셈기에서는 입력되는 데이터 전부를 곱하지 않고 부호 비트만을 고려하였다. 이러한 이유는 부호 비트만을 곱하여도 동기포착과정에는 영향을 주지 않기 때문이다<sup>[26]</sup>.

그리고 천이 및 합 부분의 출력 값과 등가의 값을 갖는 부분은 스위치 부분으로 대체하였다. 이렇게 등가적으로 스위치를 사용할 수 있는 이유는 동기가 이루어지는 순간의 정규화(normalizing) 되지 않은 DMF의 출력 값은 곱셈기들의 출력의 1 또는 0의 비트들의 수와 같기 때문이다. 또 그림에서  $b_i$ 과  $b_o$ 는 동기획득 판정을 위한 비트로 정합필터의 판단기준값(threshold)에 대응하는 비트이다.

여기서 입력되는 각각의 데이터와 계수와의 XOR 결과들은 스위치 블록에서 1은 왼쪽에서 오른쪽으로 채워가고 0은 반대로 채워 가는 형태로 재배치하게 된다. 이렇게 하면 그림 3에서 볼 때 스위치의 출력은 매 칩 구간마다의 수신 신호의 부호 비트와 계수와의 자기상관 값과 동일한 값 즉, 1 또는 0의 개수를 나타낸다. 예를 들어 설명하면 다음과 같다.

$$N=7$$

$$C_n=\{1\ 0\ 0\ 1\ 1\ 1\ 0\}$$

과 같은 PN 코드가 있다고 했을 때 수신된 PN 코드가

$$D_n=\{1\ 0\ 1\ 0\ 0\ 1\ 1\}$$

이라면 자기상관 값  $R_c(\tau)=-1$  이 되고 스위치 블록의 출력은 1의 비트가 3개, 0의 비트가 4개가 되어 동기포착이 이루어지지 않았으므로 판별하게 된다. 그리고  $D_n=\{1\ 0\ 0\ 1\ 1\ 1\ 0\}$ 일 경우  $R_c(\tau)=7$ 이 되고 스위치 출력에서 1의 비트의 수는 7개이고  $b_i=1$ 로 동기포착이 이루어졌음을 판단한다. 그리고 수신된 PN 코드가  $D_n=\{0\ 1\ 1\ 0\ 0\ 0\ 1\}$ 일 경우  $R_c(\tau)=-7$ 이고 스위치 출력은 0의 비트 수가 7개이고  $b_o=0$ 로 동기포착이 이루어졌음을 판단한다<sup>[7]</sup>.

이 때 판단기준 값에 해당하는 비트의 상태에 따라 동기 여부가 판별되므로 필터링 이후에 오는 부분인 제곱 회로를 생략할 수 있다. 왜냐하면, 상관 값이 양의 판단기준 값을 초과하거나 음의 판단기준 값 미만일 경우 모두 다 포착이 이루어진 것이므로 그림3에서 볼 때 오른쪽의 판단기준 비트( $b_i$ )의 상태가 '1'이거나 왼쪽의 판단기준 비트( $b_o$ )의 상태가 '0'이면 동기가 이루어진 것으로 간주하게 되어 필터링 후의 제곱회로를 생략할 수 있게 된다.

그림 4에 새롭게 제안한 SW-DMF를 사용한 동기포착 시스템을 보였다.

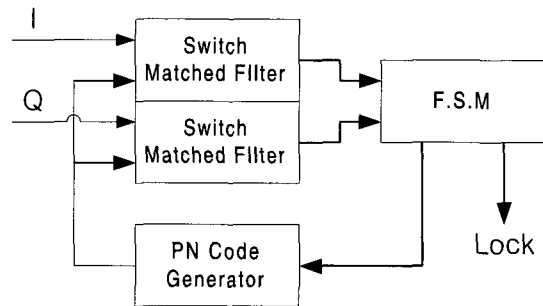


그림 4. 새롭게 제안한 SW-DMF를 사용한 동기포착 시스템  
Fig. 4. PN code acquisition system using proposed new SW-DMF.

그림 4에서 볼 수 있듯이 새롭게 제안한 구조에서는 I와 Q축의 SW-DMF의 출력 값 중 단순히 몇 개의 비트만을 검사하여 이에 따라 동기포착여부가 결정되므로 제곱 회로와 비교기 등의 기타 회로가 생략될 수 있음을 알 수 있다.

$$S_L = (b_{i1} \cdot \overline{b_{i0}})(b_{o1} \cdot \overline{b_{o0}}) \tag{4}$$

몇 개의 비트만을 검사한다는 것은 식 (4)에서처럼 I 축과 Q축의 필터의 스위치 출력 중 판단기준 값에 해당하는 비트  $b_{rI}$ ,  $b_{rI}$ ,  $b_{rQ}$ ,  $b_{rQ}$ 의 조합만으로 동기포착 여부를 알 수 있다는 것이다. 여기에서  $S_L$ 은 로크 신호(lock signal)이고  $b_{rI}$ ,  $b_{rI}$ 는 I축 필터의 판단기준 값을 나타내는 비트이고,  $b_{rQ}$ ,  $b_{rQ}$ 는 Q축 필터의 판단기준 값을 나타내는 비트이다.

예를 들어  $b_{rI}=1$ ,  $b_{rI}=0$ ,  $b_{rQ}=1$ ,  $b_{rQ}=0$ 일 경우에는 동기포착이 이루어진 경우이며 그 외의 경우에는 동기포착이 이루어지지 않은 경우이다.

$$T_{acq,switch,max} = N_c T_c \tag{5}$$

또, SW-DMF의 최대 포착 시간은 식 (5)에서와 같이 일반적인 DMF와 동일함을 알 수 있다. 이는 제안된 구조는 일반적인 DMF와 다르지만 그 동작 원리는 동일함을 의미한다. 본 논문에서 제안한 SW-DMF는 일반적인 DMF를 사용한 동기포착 시스템에 비해 저전력을 실현할 수 있었고 시스템의 제어도 단순해졌다.

#### IV. 설계 및 시뮬레이션 결과

##### 1. 직렬탐지방식을 이용한 포착 시스템

복수 적분 시구간(double dwell time) 직렬 탐지방식의 하드웨어 설계를 위한 기능 블록도를 그림 5에 보였다.

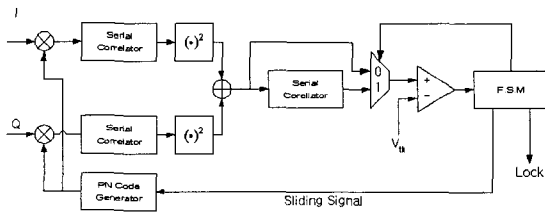


그림 5. 복수 적분 시구간 직렬 상관기를 이용한 PN 코드동기포착 시스템

Fig. 5. PN code acquisition system using double dwell time serial correlation.

여기서 첫 번째 적분 시구간의 검색구간  $\lambda=32$ 이고 두 번째 적분 시구간의 검색구간  $\lambda=10^{24}$ 이다<sup>[8]</sup>.

첫 번째 적분 시구간에서  $\lambda=32$ 이고 1/2 chip씩 위상 지연을 주게 되므로 직렬 상관기의 출력 값은 최대 +64이고 최소 -64가 되어 출력 비트 수는 7비트가 되

어야 한다. 마찬가지로 두 번째 적분 시구간에서 직렬 상관기의 출력 비트 수는 9비트가 되어야 한다.

채널의 영향으로 인한 비트 오류가 발생하여 판단기준 값을 지정해줄 수도 있으나 설계할 때는 단순히 비교기에서의  $b_1, b_2(V_{th})$ 만을 조정함으로써 얻을 수 있기 때문에 본 논문에서는 상관기의 출력 값이 최대 값 (+64, 혹은 -64)을 가져야만 포착이 이루어진 것으로 간주한다. 여기서 사용한 판단기준 값은  $b_1=8192$ ,  $b_2=262144$ 이다<sup>[9-11]</sup>.

F.S.M.(Finite State Machine)에서의 PN 칩 지연 신호는 1차 검색구간이 끝난 후 직렬 상관기의 출력 값을 감시하여 +64, 혹은 -64가 아니면 국부 PN 코드 발생기에 제어신호를 주어 1/2 칩을 지연시켜 수신되는 PN 코드와 위상이 맞을 때까지 계속 반복 수행하여 맞았을 경우 즉, 첫 번째 적분시구간의 직렬 상관기의 출력 값이 +64, 혹은 -64가 되어 I축과 Q축의 제곱 가산기의 출력 값이 8192가 되었을 경우 두 번째 적분 시구간으로 넘어가게 된다.

두 번째 적분 시구간에서는 직렬 상관기의 출력 값이 262144가 되었을 경우 포착이 이루어진 것으로 간주하여 동기추적 루프를 구동시킨다.

그림 6은 직렬 상관기를 이용한 PN 코드동기포착 시스템의 최상위 레벨 합성한 모습이다.

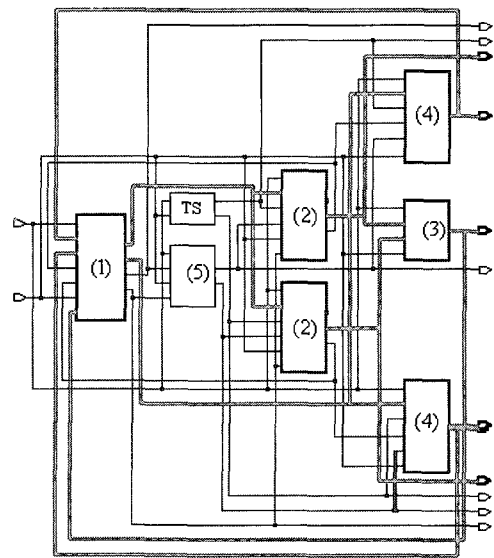


그림 6. 직렬 상관기를 이용한 PN 코드동기포착 시스템의 최상위 레벨 합성

Fig. 6. Top level synthesis of PN code acquisition system using serial correlator architecture.

각 블록은 TS(test signal generator), (1) 제어기, (2) 첫 번째 적분 시구간 직렬 상관기 (3) 제곱 가산기 (4) 두 번째 적분 시구간 직렬 상관기 (5) 국부 PN 코드 발생기로 구성되어 있다.

TS(test signal)라 표시된 블록을 나타내며 이는 PN 코드 발생기이고 이는 단순히 시뮬레이션을 위한 것으로 PN 코드 발생기의 기능과 외부에서 가해지는 잡음 대신에 내부적으로 수신 신호를 발생시키는 부분이 추가된 블록이다. 잡음은 VHDL 소스(source)로 되어 있는 가우시안 잡음 발생기를 사용하였고 일반적인 AWGN 환경에 적합하도록 설계되었다.

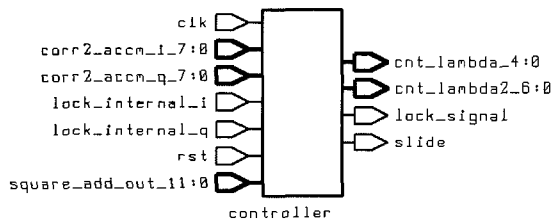


그림 7. 제어신호 발생기  
Fig. 7. Generator of control signal.

그림 7은 (1)블록을 나타내고 제어기(F.S.M.)로서 가장 중요한 역할을 하게 되는데, 첫 번째 적분 시구간의 직렬 상관기(2)와 제곱 가산기 블록을 통해 나오는 신호와 내부에 저장된 첫 번째 적분 시구간의 판단기준 값인  $V_{th}$ 와 비교하고, 두 번째 적분 시구간의 직렬 상관기(4)에서 나오는 신호와 내부에 저장된 두 번째 적분 시구간의 판단기준 값인  $V_{th}$ 값과 비교하여, (5)의 국부 PN 코드 발생기 및 각각의 블록에 사용될 제어신호를 발생시킨다.

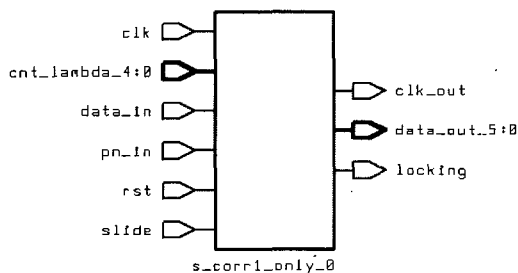


그림 8. 첫 번째 적분 시구간 직렬 상관기  
Fig. 8. First dwell time serial correlator.

그림 8은 (2)블록을 나타내며 이는 첫 번째 적분 시구간의 직렬 상관기로서 제어기의 제어신호를 받아 TS 블록과 (5)의 국부 PN 코드 발생기에서 발생하는 신호와 상관값을 산출한다.

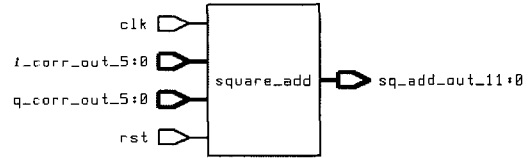


그림 9. 제곱 후 가산기 회로  
Fig. 9. Square and adder.

그림 9는 (3)블록을 나타내며 이는 제곱 후 가산기 블록으로서 I축과 Q축의 첫 번째 적분 시구간 상관기의 출력신호를 제공하고 더해주는 기능을 수행하여, 짧은 검색구간동안 수행한 상관 값을 제어기에 보내 적절한 제어신호를 발생하게 한다.

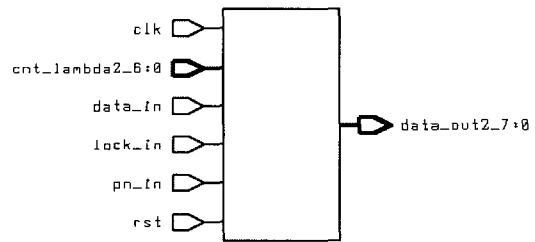


그림 10. 두 번째 적분 시구간 직렬 상관기  
Fig. 10. Second dwell time serial correlator.

그림 10은 (4)블록을 나타내며 이는 두 번째 적분 시구간의 직렬 상관기로서 제어기의 제어신호를 받아, 긴 검색구간동안 상관값을 산출하여 처음 짧은 검색구간 동안의 상관기 동기가 들어맞는가를 검증하는 블록이다.

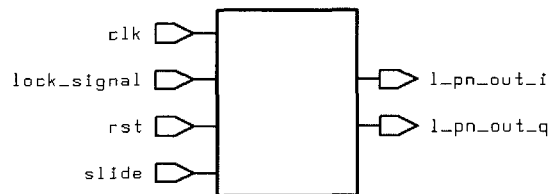


그림 11. 국부 PN 코드 발생기  
Fig. 11. Local PN code generator.

그림 11은 (5)블록을 나타내며 이는 국부 PN 코드 발생기로서 제어기에서 발생하는 지연 신호를 받아 원래의 PN 코드의 위상을 1/2 칩씩 늦추주는 역할을 한다.

(1) 포착과정 시물레이션

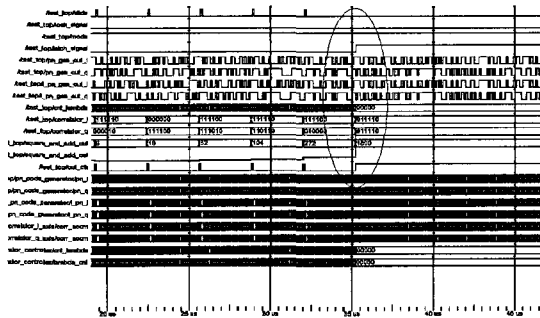


그림 12. 직렬 상관기 포착과정 시물레이션 결과  
Fig. 12. Simulation result of serial correlator acquisition process.

그림 12에서 입력되는 수신 PN 코드가 국부 PN 코드 발생기의 출력 PN 코드보다 11 칩 앞서는 신호일 경우 일정 시간이 흐른 후 래치 신호가 1로 설정되어 동기포착이 이루어짐을 알 수 있다.

(2) 면적, 소모전력

직렬 상관기를 이용한 동기포착 시스템의 각 블록의 면적(NAND 셀의 수)과 소모전력은 표 1과 같다.

표 1. 직렬 상관기를 이용한 동기포착 시스템의 면적과 소모전력

Table 1. Area and power of serial correlator architecture.

	면적 (NAND 셀 수)	소모전력 (mW)	비고
제어기	200	2.0	
상관기_1	260	2.7	I, Q
상관기_2	438	3.0	I, Q
국부 PN 발생기	439	4.4	
TS	189	1.1	
제공 후 가산기	658	7.9	
합계	2,184	21.1	

2. 디지털 정합필터를 이용한 포착 시스템

그림 13에 디지털 정합필터의 기능 블록도를 보였다.

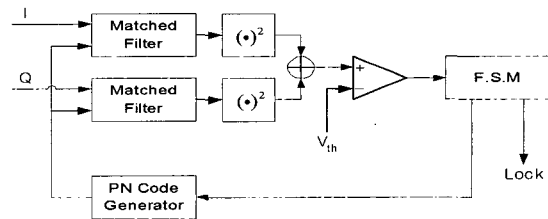


그림 13. 디지털 정합필터를 이용한 PN 코드동기포착 시스템

Fig. 13. PN code acquisition system using digital matched filter.

여기서는 앞서 설계한 직렬탐지방식과 같이 두적분 시구간 방식으로 설계한 것이 아니고 적분 시구간은  $s_1$ 만을 가정하여 설계하였고 그 값은 32로 직렬탐지방식과 동일하다.

$s_1 = 32$ 이고 1/2 칩 지연을 기준으로 설계하여야 하므로 정합필터의 탭 수는 64 탭이 된다. 그러므로 정합필터의 출력 값의 최대 값은 PN 코드가 M부호 열이라고 했을 때 +64, 혹은 -64가 되고 그렇지 않을 경우 -1이다. 본 논문에서는 IS-95용 PN 코드를 사용하므로 -1이 아닌 작은 값이 나오게 된다.

여기서도 마찬가지로 판단기준 값은  $b_1 = 8192$ 이고 이는 정합필터의 최대 값일 경우이다. 즉 비트 오류 확률이 0인 경우를 기준으로 설계하였고, 이것 역시 설계 시에는  $b_1$ 값만을 조정함으로써 판단기준 값을 결정할 수 있다.

그림 14는 디지털 정합필터를 이용한 동기포착 시스템의 최상위 레벨 합성한 모습이다.

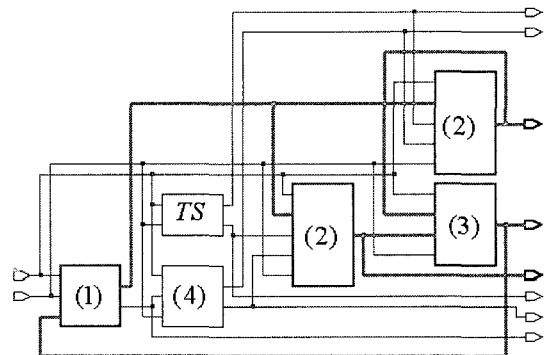


그림 14. 디지털 정합필터를 이용한 PN 코드동기포착 시스템의 최상위 레벨 합성

Fig. 14. Top level synthesis of PN code acquisition system using digital matched filter.

그림 14의 각 블록은 TS, (1) 제어기, (2) 디지털 정합필터, (3) 제곱 후 가산기 (4) 국부 PN 코드 발생기로 구성되어 있다.

TS 블록은 앞서서 직렬 상관기를 이용한 동기포착 시스템에서와 동일한 용도와 동일한 기능을 가지는 블록이다.

(1)블록은 제어기로서 제곱 후 가산기 블록(3)에서 나오는 신호를 내부에 저장된 판단기준 값과 비교하여 로킹 신호(locking signal) 및 회로 내에 사용될 제어신호를 발생시키는 블록이다.

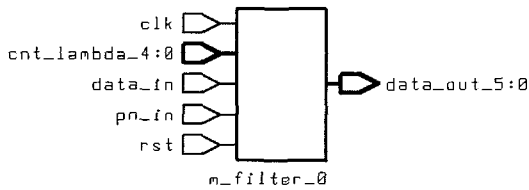


그림 15. 디지털 정합필터  
Fig. 15. Digital matched filter.

그림 15은 (2)블록을 나타내며 이는 I축과 Q축의 디지털 정합필터로서 수신되는 PN 코드 즉 TS 블록에서 나오는 신호와 국부 PN 코드 발생기에서 발생하는 PN 코드와의 상관관계를 출력하게 된다.

(3)블록은 제곱 후 가산기 블록으로서 I축과 Q축의 정합필터로부터 나오는 신호를 제곱하여 더하는 기능을 수행하고, (4)블록은 국부 PN 코드 발생기이다.

(1) 포착과정 시물레이션

그림 16에 디지털 정합필터를 이용한 동기포착 시스템의 포착과정 시물레이션을 보였다.

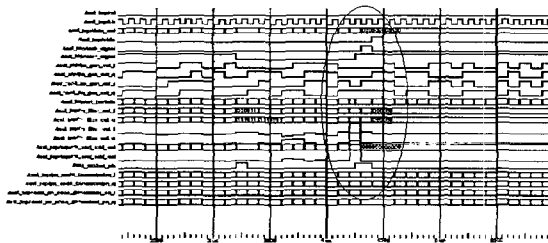


그림 16. 디지털 정합필터 사용한 포착과정 시물레이션 결과  
Fig. 16. Simulation result of acquisition system using digital matched filter.

여기서도 마찬가지로 입력되는 즉, 수신되는 PN 코

드는 국부 PN 코드 발생기에서 발생하는 PN 코드보다 위상이 11 클럭을 앞서는 파형이다. 디지털 정합필터의 동기포착 과정은 직렬 상관기를 사용하는 동기포착 시스템과는 달리 PN 코드의 위상이 차츰차츰 변해 가는 것이 아니고 그림 16에서처럼 정합필터의 출력값이 최대일 때가 바로 포착 시점이 된다는 것이다.

(2) 면적, 소모전력

디지털 정합필터를 이용한 동기포착 시스템의 각 블록의 면적과 소모전력을 표 2에 보였다.

표 2. 디지털 정합필터를 이용한 동기포착 시스템의 면적과 소모전력  
Table 2. Area and Power of digital matched filter.

	면적 (NAND 셀 수)	소모전력 (mW)	비고
제어기	79	0.8	
정합필터	7947	69.9	I, Q축
제곱 후 가산기	658	7.7	
국부 PN 발생기	343	2.2	
TS	135	1.1	
합계	9,162	81.7	

3. 새롭게 제안한 SW-DMF를 이용한 포착 시스템

그림 17에 제안된 구조인 SW-DMF를 이용한 동기포착 시스템의 기능 블록도를 보였다.

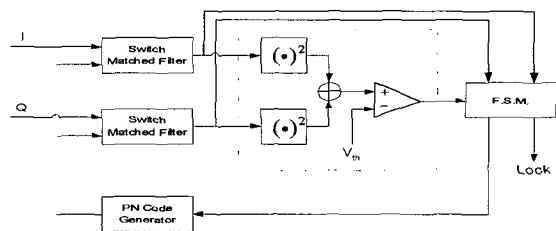


그림 17. SW-DMF를 이용한 PN 코드동기포착 시스템  
Fig. 17. PN code acquisition system using proposed SW-DMF.

그림 17에서 볼 때 점선으로 둘러싸인 부분 즉, 제곱 회로 블록, 15비트 가산기, 비교기 등이 생략될 수 있다. 뿐만 아니라, F.S.M.의 내부 상태도 앞서 설명한 바와 같이 단순히 4개의 비트의 상태만을 검사하게 되므로 그 복잡성을 현저하게 낮출 수 있다.

$$S_L' = \begin{cases} 1, & MF_{output} \geq V_{th} \\ 0, & MF_{output} < V_{th} \end{cases} \quad (6)$$

$$S_L = (b_{r1} \cdot \overline{b_{r2}})(b_{rQ} \cdot \overline{b_{rQ}}) \quad (7)$$

식 (6)과 (7)에서와 같이 15비트의 2진 데이터의 크기를 비교하는 H/W 회로와 4개 비트의 상태만을 검사하는 H/W 회로는 누가 보더라도 쉽게 그 효율을 알 수 있을 것이다.

그림 18에 본 논문에서 새롭게 제안한 SW-DMF를 이용한 동기포착 시스템의 최상위 레벨 합성한 결과를 보였다.

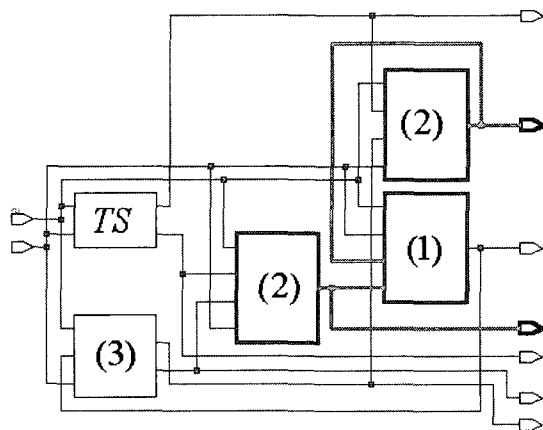


그림 18. 제안한 SW-DMF를 이용한 PN 코드동기포착 시스템의 최상위 레벨 합성

Fig. 18. Top level synthesis of PN code acquisition system using proposed SW-DMF.

그림 18의 각 블록은 TS, (1) 제어기, (2) SW-DMF, (3) 국부 PN 코드 발생기로 구성되어 있다.

TS는 역시 테스트 신호 발생기이고 (1)블록은 제어기로서 SW-DMF의 출력 중 4개의 판단기준 비트만을 검사하는 블록이다.

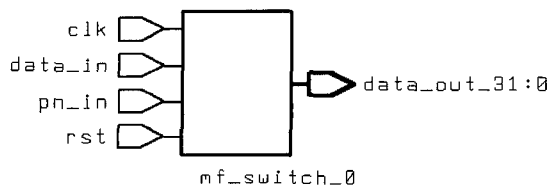


그림 19. 제안된 SW-DMF  
Fig. 19. Proposed SW-DMF.

그림 19은 (2)블록을 나타내며 이는 SW-DMF로서 본 논문에서 제안한 정합필터의 새로운 구조로 설계된 블록이다. 그리고 (3)블록은 국부 PN 코드 발생기이다.

(1) 포착과정 시뮬레이션

그림 20에 새롭게 제안한 SW-DMF를 이용한 동기포착 시스템의 포착과정 시뮬레이션 결과를 보였다.

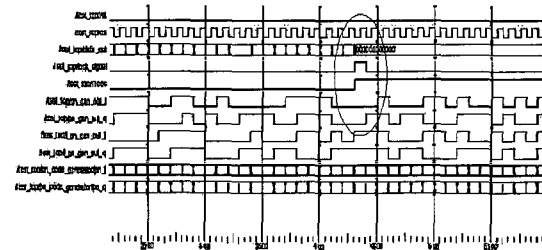


그림 20. 제안한 SW-DMF를 이용한 PN 코드동기포착 시스템의 포착과정 시뮬레이션

Fig. 20. Simulation result of PN code acquisition system using proposed SW-DMF.

그림 20에서 볼 수 있듯이 동기포착 시점은 일반적인 디지털 정합필터와 동일하다. 즉, SW-DMF의 출력이 최대가 되는 순간(4개의 판단기준 비트의 상태가 식 (7)을 만족하는 순간)이 바로 포착 시점이 되는 것이다. 그러나, H/W 면적이 크게 줄었으며 그 소모 전력도 낮아지는 것을 알 수 있고, 최상위레벨 합성 결과도 그 복잡도가 현저하게 줄어들음을 알 수 있다.

(2) 면적, 소모전력

표 3에 제안한 SW-DMF를 사용한 동기포착 시스템의 각 블록의 면적과 그 소모 전력을 보였다.

표 3. 제안한 SW-DMF를 이용한 PN 코드 동기포착 시스템의 면적과 소모전력

Table 3. Area and power of PN code acquisition system using proposed SW-DMF architecture.

	면적(NAND 셀 수)	소모전력 (mW)	비고
제어기	4	0.1	
스위치 MF	1384	8.3	I, Q축
국부 PN 발생기	343	2.2	
TS	135	1.1	
합계	1,866	11.7	



표 4. 세 가지 방식 구조 비교

Table 4. Compare three schemes.

	직렬 상관기	디지털 정합필터	제한한 SW-DMF
N	$2^{15} - 1 = 32767$ (PN Chip)	$2^{15} - 1 = 32767$ (PN Chip)	$2^{15} - 1 = 32767$ (PN Chip)
$\lambda$	32(PN 칩)	32(PN 칩)	32(PN 칩)
포착시간	$T_{acq} = \tau_1 L / 2$	$T_{max} - N_c T_c$	$T_{max} - N_c T_c$
요구되는 포착시간	$32(\lambda) * 11(\text{지연}) + 1(\text{클록지연}) = 353$ (클록)	$32(\lambda) + 11(\text{지연}) + 1(\text{클록지연}) = 43$ (클록)	$32(\lambda) + 11(\text{지연}) + 1(\text{클록지연}) = 43$ (클록)
면적(NAND 셀 수)	2,184	9,162	1,866
	15% {100% - [(1,866 * 100) ÷ 2,184] %}	79% {100% - [(1,866 * 100) ÷ 9,162] %}	
전력(mW)	21.1	81.7	11.7
	44% {100% - [(11.7 * 100) ÷ 21.1] %}	85% {100% - [(11.7 * 100) ÷ 81.7] %}	

4. 비교분석

표 4는 세 가지 방식, 즉 직렬 상관기, 디지털 정합필터를 이용하는 동기포착 시스템, 그리고 제한한 SW-DMF를 이용한 동기포착 시스템을 비교한 것이다.

표 4에서 면적과 소모전력의 아래쪽에 있는 퍼센티지는 제안한 방식과 비교해서 제안한 방식과 기존의 방식과의 차이를 나타내는 것으로서, 제안한 SW-DMF는 먼저 면적 면에서 볼 때 직렬 상관기 구조보다 약 15%, 정합 필터보다 약 79%정도 감소하였음을 알 수 있고, 또 소모 전력 면에서 볼 때 직렬 상관기보다 약 44%, 정합필터보다 약 85% 가량 소모 전력이 낮음을 알 수 있다.

이상의 결과에서 알 수 있듯이 제안한 SW-DMF는 가장 빠른 동기포착 성능을 보이는 정합필터와 동일한 동기포착시간을 가지면서도 차지하는 H/W 면적과, 소모전력, 그리고 제어의 용이성 등이 장점으로 부각된다.

5. 제안한 SW-DMF 이용한 동기포착시스템 레이아웃

그림 21과 그림 22는 본 논문에서 제안한 구조인 SW-DMF를 이용한 CDMA PN 코드동기 포착시스템의 레이아웃이다. 코어(core)의 사이즈는  $0.35 \times 0.39(\text{mm}^2)$ 이고 칩 사이즈는  $2 \times 2(\text{mm}^2)$ 이며, 레이아웃(layout)에 사용된 코어의 게이트 카운트는 1867 이

다. 설계에 사용한 라이브러리는 아남의 0.25um, 2.5V의 IDEC Standard Cell Library IDEC-C221을 사용하였다.

레이아웃을 하기 위해 사용된 툴(tool)은 먼저 합성을 위해서는 synopsys를 사용하였고, Auto P&R은 cadence사의 silicon ensemble을 사용하였다. 내부의 소자 정보까지 P&R하는 것은 cadence사의 Virtuoso이고, DRC, ERC, LVS verification은 cadence사의 DIVA를 사용하였고 전력 측정은 synopsys사의 EPIC을 사용하였다.



그림 21. 제안한 SW-DMF를 사용한 동기포착시스템의 최적화

Fig. 21. Optimization of PN code acquisition system using SW-DMF.

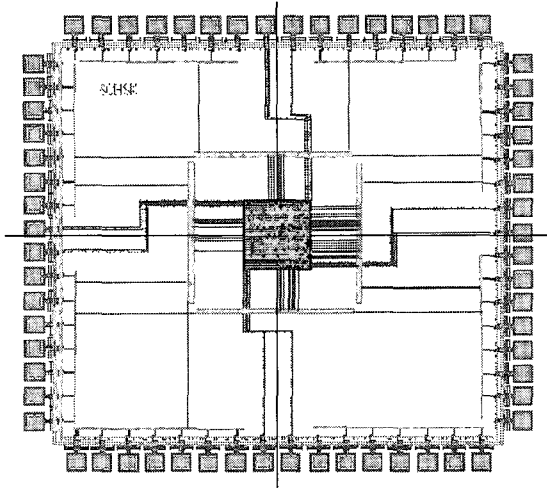


그림 22. 제안한 SW-DMF를 이용한 PN 코드동기 포착 시스템의 레이아웃

Fig. 22. Layout of PN code acquisition system using proposed SW-DMF.

## V. 결론

본 논문에서는 새롭게 제안한 SW-DMF를 이용하여 기존의 방식인 I축과 Q축의 출력신호를 제공하여 더한 후 판단기준 값과 비교하는 방식이 아니라 단지 몇 개의 비트만을 감시함으로써도 PN 코드동기 포착을 가능하게 하였고, 나아가 DS/SS CDMA 시스템 PN 코드포착 시스템의 전체적인 복잡도를 낮췄다.

또, 본 논문에서는 PN 코드동기 포착을 위한 시스템의 몇 가지 예를 들어보았고 새롭게 제안한 SW-DMF에 대해서도 설명하였다. 예를 든 기존의 방식들과 비교해 볼 때, 평균 동기포착시간 면에서 볼 때는 일반적인 DMF와 동일한 결과를 얻었지만, 다른 방식 즉 직렬탐지방식보다는 월등히 빠른 동기포착 성능을 보였고, 면적과 소모전력 면에서 살펴보면 DMF의 단점인 넓은 면적과 많은 소모전력에 대한 점을 SW-DMF 방식을 적용하여 성능향상을 확인하였다. 그리고 전체적인 동기포착 시스템과 연동 했을 경우에는 직렬탐지 방식보다도 작은 면적과 낮은 소모전력임을 확인하였다.

그리고 본 논문에서는 저전력의 설계를 위하여 디지털 정합필터의 천이 레지스터를 없앴고 가산기 부분도 사용하지 않았지만 스위치 구조를 사용하여 전혀 다른 구조지만 동가의 기능을 수행하도록 설계하였다.

본 논문에서 제안하고 구현한 DS-SS/CDMA 시스템

에 사용되는 스위치 방법을 이용한 DMF는 DS-SS/CDMA 시스템의 동기 시스템을 구현할 때 유용하리라 사료되며 ASIC화하여 보다 높은 안정도의 성능을 나타내는 동기시스템이 구현될 것이다.

## 참고 문헌

- [1] Song Young Joon, Han young yearl, "Implementation of Rapid Synchronization System for DS/CDMA Digital Cellular System Using the DMF," *J. IEEK*, vol. 32, A, no. 5, pp. 657-669, May. 1995.
- [2] Jong Sam Lee, Leonard E. Miller, *CDMA Systems Engineering Handbook*, Artech House Publishers Inc., 1998.
- [3] J.K.Holmes, C.C. Chen, "Acquisition Time Performance PN Spread-Spectrum Systems," *IEEE Transactions on communications*, vol. COM-25, no.8, Aug. 1977.
- [4] B.B Ibrahim, A.H. Aghvami, "Direct Sequence Spread Spectrum Code Acquisition in Mobile Fading Channel Using Matched Filter with Reference Filtering," *IEEE Global Telecommunications Conference*, vol. 2, pp. 1085-1089. 1993.
- [5] 하석기, 조병록, "DS-SS/CDMA 시스템에서의 고속 코드포착을 위한 새로운 DMF의 구조" 한국통신학회 2000년도 추계종합학술발표회 논문집, 상권 224-227쪽, 2000년 11월
- [6] Simon M.K., Omura J.k., Scholtz R.A., Levitt B.K., *Spread Spectrum Communications Handbook*, McGraw-Hill Inc., 1994.
- [7] 최형진, 동기방식 디지털 통신, (주)교학사, 1995
- [8] Christopher Deng, Charies Chein, "A Low Energy Architecture for Fast PN Acquisition", *Intern. Symp. on Low Power Elect. and Design 1999*, San Diego, CA, pp.42-47, Aug. 1999.
- [9] Sawahashi M., Adachi F., Shou G., Zhou C., "Low-Power Consuming Analog-Type Matched Filter for DS-CDMA Mobile Radio," *IEICE*

*Trans. Fundamentals*, vol. E79-A, no. 12, Dec. 1996.

[10] Chien C., Jain R., Cohen E.G., Samueli H., "A Single-Chip 12.7 Mchip/s Digital IF BPSK Direct Sequence Spread-Spectrum Transceiver in 1.2  $\mu\text{m}$  CMOS", *IEEE J. of Solid State Circuits*, vol. 29, no. 12, Dec, 1994.

[11] Sheng S., "A Low-Power CMOS Chipset for Spread-Spectrum Communications", *Intern. Solid-State Circuit Conf. Digest of Technical Papers*, pp.346-347, Feb. 1996.

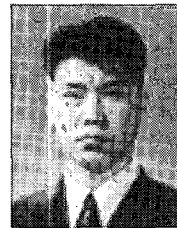
저 자 소 개



趙炳錄(正會員)

1987년 2월 : 성균관대학교 전자공학과(공학사). 1990년 2월 : 성균관대학교 대학원 전자공학과(공학석사). 1994년 2월 : 성균관대학교 대학원 전자공학과 (공학박사). 1987년 1월~1988년 3월 : 삼성전자 (주)종합연구소 1994년 3월~현재 : 순천대학교 전자공학과 부교수. <주 관심분야 > 디지털 통신이론, 디지털 통신 시스템 ASIC설계, 무선멀티미디어용 고속 모뎀 설계, 무선망 성능분석

李康鉉(正會員) 論文 第 38卷 CI編 第2號 參照



河奭起(正會員)

1991년 2월 : 순천대학교 전자공학과(공학사). 2001년 2월 : 순천대학교 대학원 전자공학과(공학석사). 2001년 1월~현재 : (주)디브이테크 놀러지 주임연구원. <주 관심분야> 디지털 통신시스템 ASIC설계, 무선멀티미디어용 고속 모뎀 설계