

論文2001-38SC-11-6

1.8-GHz 주파수 합성기용 가상 2단 링 CMOS VCO의 설계 및 분석

(A design and analysis of Pseudo 2-stage ring CMOS VCO for 1.8-GHz Frequency Synthesizer)

李舜燮*, 金世曄**, 南基賢*, 趙京善*, 葛昌龍*, 金壽遠*

(Soon-Seob Lee, Se-Yeob Kim, Kee-Hyun Nam, Kyoung-Sun Cho, Chang-Lyung Gal, and Soo-Won Kim)

요약

본 논문에서 고속 가상 2단 링VCO를 내장한 1.8 GHz 주파수 합성기를 0.6m CMOS 기술을 이용하여 구현하였다. 고속 동작을 위한 링 발진기의 발진 조건을 제시하고, 출력 부하를 줄인 가상 2단 링 형태의 발진기를 제안하여 최고 1.87 GHz의 발진을 확인하였다. 이는 기존의 4단 링 VCO에 비해 21.3%의 속도가 향상된 것이다. 제안된 VCO와 함께 집적된 주파수 합성기는 위상 고정시 24ps 지터가 측정되어 고속 주파수 합성기나 고속 클럭 발진기 등에 응용이 가능함을 입증하였다.

Abstract

This paper presents a 1.8 GHz CMOS frequency synthesizer with high-speed on-chip pseudo 2-stage ring VCO. We introduce and analysis the conditions in which the ring VCO can oscillate. For high speed operation, we propose the pseudo 2-stage ring VCO that eliminates dummy loads. It can operate up to 1.87 GHz with 0.6 m CMOS process, which shows 21.3% improvement agins: the conventional 4-stage ring VCO in the aspect of the speed. When the frequency synthesizer with the psedo 2-stage ring VCO is locked at 1.85GHz, the jitter measured to 24 psec. The proposed VCO and the frequency synthesizer are directly applicable to high speed clocky synhtesizers.

* 正會員, 高麗大學校 電子工學科, ASIC 設計 研究室
(ASIC Design Lab., Electronic Engineering, Korea University)

** 正會員, 인티그란트 테크놀로지스
(Integrant Technologies Inc. 株 인티그란트 테크놀로지스)

※ 이 논문은 반도체 설계 교육 센터(IDECC)의 부분적인 지원과 한국 학술 진흥 재단의 지원에 의하여 연구되었음(KRS-1998-0050-E00257).

接受日字:2001年6月13日, 수정완료일:2001年8月27日

I. 서론

최근 CMOS 고주파 회로의 중요성이 여러 논문과 연구 결과를 통해 대두되고 있다^{[1]-[3]}. 고속 CMOS 회로는 저가의 공정으로 디지털 블록과 단일 칩 구현이 매우 용이한 장점을 가지고 있으나, 현대의 고속 통신 시스템에 적용하기 위해서는 기존의 GaAs, BJT 회로를 대체할 수 있는 고속 동작이 가능한 새로운 회로 방식이 필수적이다. 고속 회로 중 주파수 합성기는 CMOS로 구현하기에 적합한 블록들 중 하나다. 일반적

으로 주파수 합성기는 그림 1과 같은 PLL(Phase Locked Loop) 구조를 기반으로 한다. 주파수 합성기에서 VCO(Voltage Controlled Oscillator)는 가장 고속으로 동작하며, 잡음도 적어야 하기 때문에 일반적으로 LC 공진 발진기와 링 발진기 구조를 사용하였다^{[1]-[5]}. 저전력과 소형화를 위해 VCO를 내장하는 경우 LC 발진기는 잡음 특성이 우수하지만, 내장형의 LC 회로는 면적을 많이 차지하며, 인덕터와 커패시터 등을 정확히 모델링하기 어렵고, 튜닝 영역이 수십 MHz 이하로 작은 단점을 갖는다^{[2][3]}.

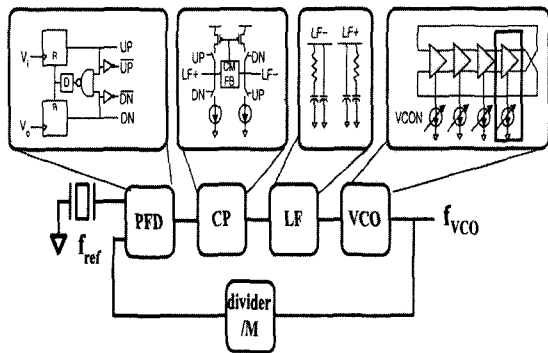


그림 1. RF 주파수 합성기의 블록도
Fig. 1. Block diagram of CMOS RF synthesizer.

한편, 자연 소자를 이용한 링 발진기는 내부에 인덕터와 같이 큰 면적을 차지 하는 수동 소자들을 사용하지 않으므로 사용 면적이 작을 뿐 아니라 튜닝이 쉽고 설계 및 제작이 쉬운 장점을 가지고 있으나 자체의 지연 시간을 이용하였기 때문에 잡음이 많고 고속 동작에 불리하다^{[4][5]}. 따라서, 고속과 저전력의 링 발진기를 만들기 위해 충분한 위상 변화를 제공하여 발진의 안정도를 유지하며 단수를 줄이는 방법이 제안되었다^[6]. 그러나 단수를 한 단으로 줄이며 위상 마진을 위해 첨가된 소자로 인해 속도가 제한되는 단점이 있었다.

따라서, 본 논문에서 고속 가상 2단 링 구조의 VCO를 제안하였다. 제안된 VCO는 단수를 유지하여 안정적인 발진이 이루어지도록 하는 동시에 최대한 부하 커패시턴스를 줄여서 발진 속도를 증가시켰으며 이를 0.6μm 표준 CMOS 공정으로 제작하여 검증하였다.

II. 링 발진기의 발진 조건

일반적으로 발진기는 위상과 이득의 발진 조건을 충족

시켜야 한다. 먼저, 위상 조건은 발진점에서의 위상이 피드백된 신호의 위상과 정확히 360 차이가 있어야 하고, 두번째, 이득 조건은 발진 신호에 대한 피드백 신호의 이득이 정확히 1이 되는 것이다^[4]. 위의 발진 조건을 충족시키면서 발진기의 동작 속도를 빠르게 하기 위해서 다음의 세가지 요소를 살펴보아야만 한다. 먼저 지연 소자의 개수 혹은 단수(N)로 발진기의 위상과 속도에 관계된 요소이며, 둘째로 지연 소자의 지연 시간(t_d)으로 속도에 관계된 요소이다. 마지막으로 지연소자의 자체 이득(G) 혹은 이득대역폭(GBP)으로 발진기의 이득 및 발진 주파수를 결정하는 요소이다. 따라서, 고속 링 발진기를 만들기 위해서는 위의 세 가지 파라미터에 각각에 대한 고찰이 필요하다.

2.1 링 발진기의 단수

먼저 단수에 대해 살펴보면 발진기의 단수는 속도를 결정할 뿐만 아니라 인접 위상의 위상차도 결정한다. 지연 소자의 지연 시간이 같으면, 각 단의 위상차가 동일하게 되는 데, 위상 발진조건에 따라 N단의 링 VCO의 경우, 신호 사이의 위상 차이($\Delta\phi$)는 수식 (1)과 같다.

$$\Delta\phi = k \frac{180^\circ}{N} \tag{1}$$

여기서, $k = 0, 1, \dots, 2N - 1$ 이다. 예를 들어, 4단의 경우는 $0^\circ, 45^\circ, 90^\circ, 135^\circ, 180^\circ, 225^\circ, 270^\circ, 315^\circ$ 의 8개의 위상차를 갖는 신호들을 얻을 수 있다. 또한 시스템에서 In-phase, Quadrature-phase의 90° 위상차가 나는 신호가 필요할 수 있는 데, 이 경우는 수식 (1)에서 단 수를 짝수로 선택하면 된다.

또한 단수는 동작 속도에 관계가 되는데, 신호가 링을 한바퀴도는 데 걸리는 시간이 동작 주파수가 되므로 전체 발진 시간(T_d)은 수식 (2)처럼 모든 지연 소자의 지연 시간(t_d)을 합친 시간의 두 배가 된다^[4]. 이를 발진 주파수(f_{osc})로 변환하면 수식 (3)과 같이 지연시간의 역수가 된다.

$$T_d \approx Nt_d \tag{2}$$

$$f_{osc} = \frac{1}{T_d} = \frac{1}{2Nt_d} \tag{3}$$

수식 (2)에서 보면 단수(N)가 적을수록 속도가 빨라지지만 각 신호 사이의 위상차가 작아지므로 발진 조건을 충족시키기 어렵기 때문에 이에 따른 선택이 필요

하다⁴⁾. 따라서, 90° 차이의 위상 신호가 필요한 경우 짝수단인 2단을 사용하는 것이 가장 고속이지만, 2 단의 경우 위상 지연과 이득이 크지 않아 발진이 안정적이지 못하므로 일반적으로 4단 링 발진기를 사용한다 [15].

2.2 지연 소자의 지연 시간

발진기에 사용된 지연 소자를 그림2에 나타내었다. M₁과 M₂는 차동 입력 소자이며, M₃, M₄는 능동 부하 저항이다. 그림 2에서 지연소자의 지연 시간(*t_d*)을 구하면 수식 (4)와 같다.

$$t_d = kR_{ds3}C_L \tag{4}$$

여기서, *k*는 비례 상수이고, *R_{ds3}*는 부하 저항으로 사용된 M₃의 선형 영역 저항이며, *C_L* 은 출력단에서 보이는 모든 커패시턴스이다. 수식 (4)에서 보면 지연 시간을 줄이기 위해서는 부하 저항이나 *R_{ds3}* 와 출력 커패시턴스 *C_L*을 줄여야 한다. 그러나, *R_{ds3}*의 경우는 출력 스윙 크기를 결정하기 위해 하단의 바이어스 전류(*I_{bias}*)에 따라 정해지므로 출력단의 커패시턴스(*C_L*)를 줄이는 것이 보통이다. 출력 커패시턴스는 수식 (5)과 같이 나타낼 수 있다.

$$C_L = C_{g1} + C_{buf} + C_{d3} + C_{d1} \tag{5}$$

여기서, *C_{g1}*, *C_{buf}*는 외부의 부하로 다음 단의 게이트와 버퍼의 입력 커패시턴스이고, *C_{d3}*, *C_{d1}*은 각각 M₃, M₁의 지연 소자 내부의 드레인 커패시턴스이다.

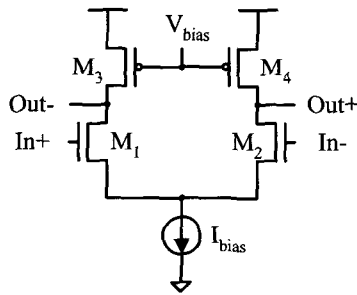


그림 2. 지연 소자
Fig. 2. Delay cell.

2.3 지연 소자의 이득 및 이득대역폭

지연소자의 이득 발진 조건에서 발진시 이득은 정확히 1이지만, 초기 발진을 위해 초기 이득은 1보다 큰

값을 가져야만 한다. 저주파수에서 지연 소자의 이득 (*G*)은 수식(6)과 같다. 또한 루프의 전체 이득(*H*)은 지연 소자 이득이 단 수(*N*)만큼 있는 것이므로 수식 (7)과 같다.

$$G = g_{m1}R_{ds3} > 1 \tag{6}$$

$$H = G^{(N)} > 1 \tag{7}$$

그러나, 발진 주파수에서의 이득은 지연 소자의 극점 (ω_p)을 통과한 후의 이득이므로 수식 (8)과 같이 주파수에 따라 이득이 감소하게 된다. 따라서, 최대 발진 주파수는 이득이 1 이상이 될 수 있어야 하므로 결국 지연소자의 이득 대역 곱(GBP; Gain Bandwidth Product)이 되며 수식 (9)와 같다.

$$G(s) = \frac{G}{1 + s/\omega_p} \tag{8}$$

$$GBP = \frac{g_{m1}}{C_L} = \frac{g_{m1}}{C_{g1} + C_{buf} + C_{d3} + C_{d1}} \tag{9}$$

결론적으로 말하면 링 발진기의 발진 주파수의 최대 값은 지연 소자의 이득대역폭에 의해 결정된다. 따라서, 링 발진기를 고속으로 동작시키기 위해, 지연 소자의 지연 시간은 작고, GBP는 커야하며, 전체 단수는 최소의 단수를 갖는 형태가 되어야 한다.

수식 (9)에서 이득대역폭을 증가시키기 위한 첫번째 방법은 *g_{m1}*을 크게 하는 것이다. 이 때, *g_{m1}*은 M₁의 크기와 동작 전류(*I_{bias}*)의 제곱근에 비례한다. 먼저, M₁의 크기를 크게 하는 방법은 오히려 출력 커패시터(*C_{g1}*, *C_{d1}*)가 커지기 때문에 이득대역폭이 감소한다. 둘째로, 동작 전류를 크게하면 할수록 동작속도가 증가되는 반면, 이에 따른 전력 소모는 제곱에 비례하여 증가하므로 저전력이 어려워진다.

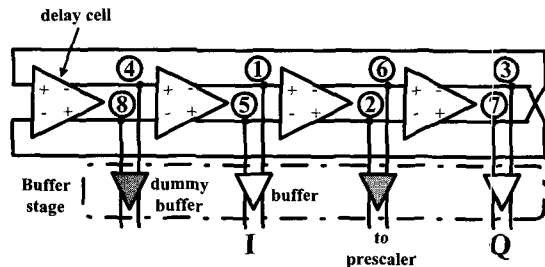


그림 3. 일반적인 4단 링 VCO
Fig. 3. Conventional 4-stage ring VCO.

따라서, 가장 좋은 방법으로는 수식 (4)와 수식 (9)의 부하 커패시턴스 C_L 값을 줄이는 방법이다. 기존의 발진기는 그림 3과 같은 4단 링 형태를 이용하여 안정적으로 발진하는 형태로 신호를 발생시킬 수 있었다. 그러나, 각 단의 지연 시간 및 위상차를 같게 만들어 주기 위해 사용하고자 하는 출력 신호(I, Q) 신호 외에도 발진 경로에 더미 버퍼를 연결했기 때문에 지연 소자의 부하 커패시턴스가 커져서 발진 속도가 느려졌으며, 이득대역폭의 값도 작아졌다.

III. 가상 2단 링 발진기

3.1 제안된 가상 2단 링 VCO

일반적인 4단 링 발진기보다 발진 속도를 높이면서 동시에 안정성을 확보하기 위해 제안된 가상 2단 링 (high-speed pseudo 2-stage ring) VCO를 그림 4에 나타내었다. 가상 2단 링 발진기는 일반적인 4단 발진기에서 홀수 단의 불필요한 더미(dummy) 버퍼를 제거하여 짝수 단에만 구동 버퍼를 두고, 구동 능력에 맞게 홀수 단의 지연 소자를 r 배 축소한 구조이다. 제안된 구조는 2단 발진기와 4단 발진기의 장점을 결합한 구조로 생각할 수 있다. 먼저 2단 구조로 생각한다면, 그림 4의 점선으로 표현된 블록을 하나의 합성된 지연소자로 생각할 수 있다. 합성된 지연 소자의 이득이 2배

본다면 지연 소자 2개와 축소된 지연 소자 2개를 사용하여 이득은 유지한 채, 불필요한 더미 버퍼를 제거함으로써 버퍼에 의해 생기는 부하를 줄이고 이를 구동하는 지연 소자를 축소하여 동작 속도를 개선한 구조이다. 이러한 특징을 통해 4단 링 발진기와 비슷한 형태이나 2단 발진기의 특성을 가지므로 가상 2단 링 발진기(pseudo 2-stage ring oscillator)라 명명하였다. 2.3 절에서 살펴본 바와 같이 발진기의 최고 속도는 지연 소자의 이득과 발진 속도에 따라 결정되기 때문에 제안된 발진기와 기존 발진기의 GBP를 통해 동작 속도를 비교할 것이다.

3.2 가상 2단 링 발진기의 이득대역폭

가상 2단 링 발진기는 홀수단과 짝수단 지연 소자의 이득대역폭이 다르다. 그림 4에서 가상 2단 링 발진기의 홀수단 지연 소자는 짝수단의 지연 소자를 $r(r>1)$ 배 축소하여 $M_1 - M_4$ 소자의 크기를 r 배 줄였다. 그 결과, 홀수단의 트랜스컨덕턴스(g_{m1o})와 출력 커패시턴스(C_{Lo})는 수식(10)과 같이 줄어든다.

$$g_{m1o} = \frac{1}{r} g_{m1}, C_{Lo} = C_{g1} + \frac{C_{d1}}{r} + \frac{C_{d3}}{r} \quad (10)$$

결과적으로 홀수단의 이득대역폭은(GBP_o) 수식(11)과 같다.

$$GBP_o = \frac{g_{m1o}}{C_{Lo}} = \frac{\sqrt{r} g_{m1}}{r C_{g1} + C_{d3} + C_{d1}} \approx \sqrt{r} GBP_c \quad (11)$$

수식 (11)과 수식 (9)를 비교해보면, 버퍼 커패시턴스 (C_{buf})가 없어졌으며, 구동 트랜지스터의 크기가 축소됨으로 구동 능력이 줄어 다음 단의 입력 게이트 커패시턴스가 커보이게 되는 것을 알 수 있다. 이 때, 게이트 커패시턴스의 증가량(rC_{g1})과 없어진 버퍼 커패시턴스 (C_{buf})가 비슷하다고 가정하면, 축소된 홀수단의 소자의 GBP_o가 기존의 GBP보다 약 \sqrt{r} 배 증가 되었다고 할 수 있다.

둘째로, 짝수단의 경우를 살펴보면 입력 커패시턴스만 r 배 축소되고 나머지는 동일하다. 짝수단의 트랜스컨덕턴스(g_{m1e})와 출력 커패시턴스(C_{Le})는 수식 (12)와 같다.

$$g_{m1e} = g_{m1}, C_{Le} = \frac{C_{g1}}{r} + G_{d1} + G_{d3} + C_{buf} \quad (12)$$

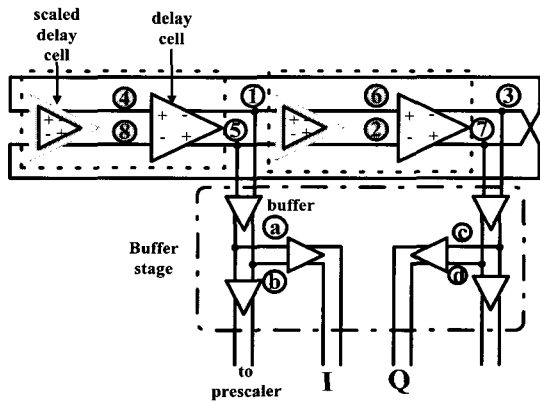


그림 4. 고속 가상 2단 링 VCO
Fig. 4. High speed pseudo 2-stage VCO.

의 이득단으로 이루어져 있으므로 이득과 위상 변화를 크게 만들어 2단 발진기에 비해 발진의 안정성을 높인 구조라 할 수 있다. 한편, 제안된 발진기를 4단 구조로

위와 같은 방법으로 이득대역폭(GBP)은 수식 (13)과 같다.

$$GBP_e = \frac{g_{m1e}}{C_{Le}} = \frac{g_{m1}}{\frac{C_{g1}}{r} + C_{buf} + C_{d3} + C_{d1}} > GBP_c \quad (13)$$

따라서, 수식 (9)와 수식 (13)을 비교하면 홀수단의 출력 커패시턴스(C_{Le})가 출력 커패시턴스(C_L)보다 감소되어 GBP가 증가되었음을 알수있다. 결론적으로 홀수단 축소비(r)가 크면 클수록 홀수단과 짝수단 GBP가 모두 증가 되지만, r 을 너무 크게 잡으면 수식 (11)에서 rC_{g1} 커패시턴스가 버퍼 입력 커패시턴스보다 증가하여 오히려 GBP가 크지않도록 축소비 r 을 정해야 한다.

기존 4단 링 VCO와 제안된 가상 2단 링 VCO의 이득대역폭을 0.6 μ m 공정 파라미터를 이용하여 모의 실험한 결과를 그림 5에 나타내었다. 두 발전기의 지연 소자의 GBP를 비교하였을 때, 홀수단 스케일(r)이 2인 경우, 제안된 가상 2단 링 VCO는 2.1 GHz이고, 기존 4단 링 VCO는 1.77 GHz 보다 18.6 %의 향상이 있었다. 이것은 제안된 가상 2단 링 VCO의 GBP가 수식 (11), (13)과 같이 증가된 것을 보여주며, 이를 통해 최고 발진 주파수가 커진 것을 쉽게 예측할 수 있다.

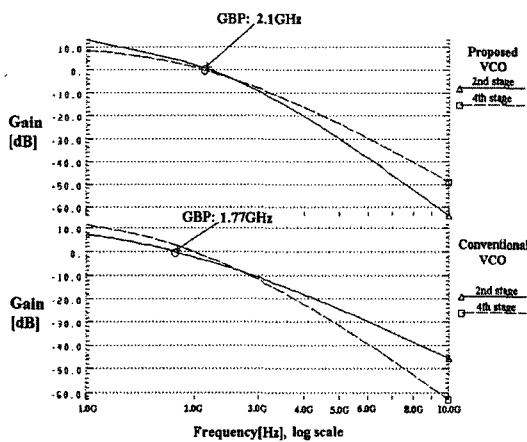


그림 5. 지연 소자의 GBP
Fig. 5. GBP of delay cells.

3.3 가상 2단 링 발전기를 사용한 주파수 합성기

고속 가상 2단 링을 이용하여 주파수 합성기는 PLL에 기반을 둔 형태로 PFD (Phase / Frequency Detector), CP (Charge Pump), LF (Loop Filter), 분주기(divider) 등으로 구성되며 이를 그림 1에 나타내었

다. 주파수 합성기는 VCO 출력 신호의 주파수(f_{VCO})를 분주기를 통해 M분주하여 외부 입력 신호의 주파수(f_{ref})와 일치시키는 방식으로 주파수를 합성한다. 그 결과 VCO 출력 주파수는 수식 (14)처럼 외부 입력 주파수의 정수배가 된다.

$$f_{VCO} = M \cdot f_{ref} \quad (14)$$

칩 내부에 VCO를 집적하는 경우 고속으로 동작하는 프리스케일러와 전류량이 큰 전하 펌프의 스위칭 잡음이 전원선과 벌크 단자를 통해 VCO로 유입되어 지터가 증가된다. 이러한 문제점을 해결하기 위해 분주기의 경우 스위칭 잡음이 적은 전류 모드 로직(CML; Current Mode Logic) 구조의 래치 및 플립플롭을 사용하였다. 전류 모드 로직은 차동 구조를 통해 스위칭 전류가 서로 상쇄되도록 할 뿐 아니라, 전류 싱크를 첨가하여 일정한 전류가 흐르게 함으로 스위칭 신호가 전원선에 전달되지 못하게 한다^[4].

또한, 전하 펌프가 루프 필터로 전류를 넘겨나 빼낼 때 전원에 큰 전류의 변동으로 잡음이 생기게 되므로 이를 해결하기 위해 차동 전하 펌프를 제안하여 사용하였다. 제안된 차동 전하 펌프는 스위칭 동작 시에도 일정한 전류가 흘러 전원 전압의 변동을 줄이고, 스위치의 기생 커패시터에 의해 생기는 신호 간섭도 차동 형태로 줄일 수 있다. 또한 전원의 변동이 있을 때도 차동 구조로 인해 잡음이 줄어들게 된다. PFD는 deadzone 문제에 의해 위상 잡음이 악화되는 것을 방지하기 위해 리셋 경로에 시간 지연을 준 z-state 구조를 사용하였다^[7]. PLL 전체 루프의 대역과 이득을 결정하는 루프 필터는 일반적으로 사용하는 2차 필터를 사용하였고, 고주파 잡음을 줄이기 위해 세번째 극점을 추가하였다. 따라서, 차동 형태의 전하 펌프를 제안하여 고속 회로의 잡음을 최소화시키는 주파수 합성기를 구현하였다.

IV. 실험 결과

동작 주파수의 비교를 위해 일반적인 4단 VCO와 제안된 가상 2단 VCO 동일한 지연 소자와 버퍼를 사용하였고, 제안된 VCO의 홀수 단의 지연 소자를 1/2배로 축소하였다. 4단 링 VCO와 가상 2단 링 VCO의 주파수 특성을 그림 6에 나타내었다. 5 V 전원을 사용하여 측정하였을 때, 4단 링 VCO는 최대 1.542 GHz까지 발

진하는 데 비해 가상 2단 링 VCO는 1.87 GHz까지 발전하여 21.3 % 속도 향상을 보였다. 이 결과는 그림 5의 최대 발전 속도를 이득대역폭(GBP)으로 정의했을 때보다 10% 정도의 오차로 속도가 떨어졌지만, 이는 기생 성분에 의한 것으로 분석할 수 있으며, 두 주파수의 발전 속도 증가 비율은 GBP의 모의 실험 결과와 5% 이내로 일치하였다. 이를 통해 최고 발전 주파수와 이득 단의 GBP의 분석 결과가 일치함을 알 수 있었다.

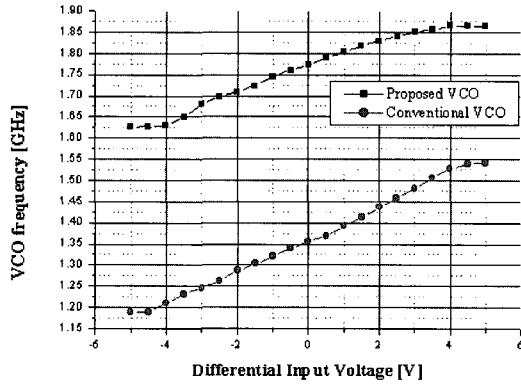


그림 6. VCO 주파수 특성
Fig. 6. Frequency characteristic of VCOs.

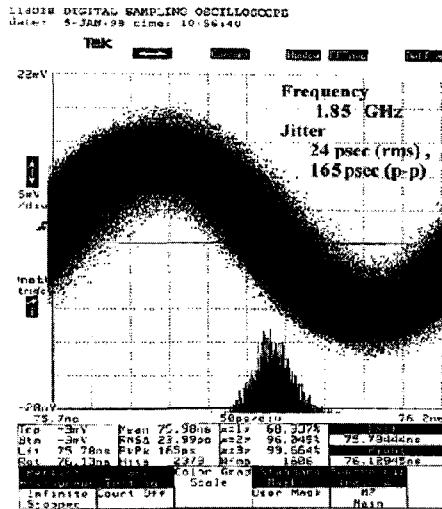


그림 7. 주파수 합성기 출력의 지터
Fig. 7. Jitter of synthesizer output

이 때 VCO의 이득은 4.33 MHz/V으로 측정되었고, 차동 V-I 변환기를 사용하여 -4.3V 에서 4.3 V 까지 8.6V의 넓은 전압에서 일정한 이득을 구현하였다. 이러한 선형적인 이득을 통해 PLL을 기반으로 만든 주파수

합성기의 루프 이득과 루프 대역이 고정되어 안정도를 유지시켜 주고 VCO 주파수의 사용 영역을 넓혀 줄 수 있었다. 그림 7에 1.85 GHz의 위상 고정시의 출력 파형을 나타내었다. 주파수 합성기의 지터는 24 psec (rms)와 165 psec(peak-to-peak)로 측정되었는데, 이를 주기로 나누면 백분율 지터는 4.44 %이다. 이는 칩 외부에서 출력을 검출할 때 신호가 140 mV정도로 감소되어 검출 시에 지터가 칩 내부에 비해 더 커진 것이다. 따라서, 이러한 주파수 합성기를 내부적으로 이용할 때, 더욱 좋은 특성을 예측할 수 있다. 또한, 주파수 합성기는 바이어스 회로 및 VCO를 포함하여 25.2mA의 전류를 소모하였다. 그림 8에 주파수 합성기의 주파수 스펙트럼을 나타내었다. 1.85 GHz에 위상고정시

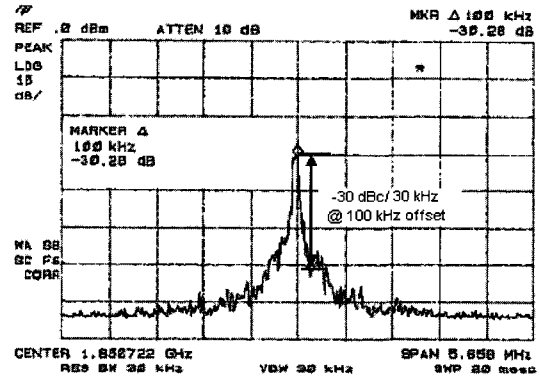


그림 8. 1.85 GHz에 위상 고정된 주파수 합성기의 주파수 스펙트럼
Fig. 8. Spectrum of phase-locked waveform at 1.85 GHz.

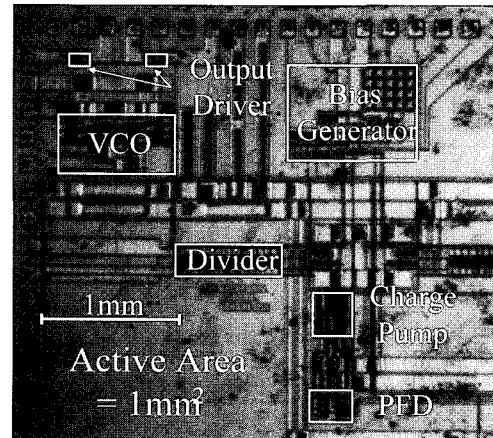


그림 9. 제작된 IC의 마이크로 사진
Fig. 9. Microphotograph of fabricated IC.

100kHz 오프셋 주파수에서 $-30.28 \text{ dBc} / 30 \text{ kHz}$ 의 위상 잡음 특성을 갖는데, 이를 1Hz 대역으로 정규화한 값은 $-75.05 \text{ dBc/Hz} @ 100\text{kHz}$ 로 측정되었다.

표 1에 실험 결과를 정리하였다. 고속 가상 2단 링 VCO를 포함한 주파수 합성기는 그림 9처럼 $0.6 \mu\text{m}$ CMOS 1P3M 표준 디지털 공정으로 제작되어 1 mm^2 의 적은 상용 면적을 차지하며 큰 면적을 차지하는 내부 인덕터 등을 사용하지 않아 다른 디지털 회로들과의 집적이 용이하고, 차동 형태의 회로를 사용함으로 외부 회로의 영향을 줄였기 때문에 칩 내부 주파수 합성기 및 클럭 합성기로의 응용을 검증할 수 있었다.

표 1. 제안된 주파수 합성기의 성능 요약

Table 1. Summary of proposed frequency synthesizer.

Technology	0.6 μm standard CMOS process
Active die area	1 mm^2
Frequency range	1.62 GHz ~ 1.87 GHz
VCO Gain	4.33 MHz/V
Jitter	24 psec (rms), 165 psec (p-p)
Phase Noise	$-75.05 \text{ dBc/Hz} @ 100 \text{ kHz}$ offset
Current	25.2 mA @ single 5V power supply

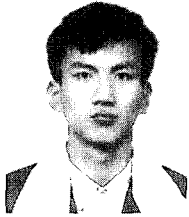
V. 결 론

본 논문을 통해 링 발진기의 발진 조건과 분석을 통해 지연 소자의 이득대역폭과 최대 발진 주파수가 일치하는 것을 증명하였다. 또한, 이득대역폭의 분석을 통해 부하 커패시턴스를 줄인 고속 가상 2단 링 발진기를 제안하고, 이를 이용하여 1.8GHz 대역의 주파수 합성기를 제작하여 실증하였다. 가상 2단 링 발진기는 표준 디지털 CMOS $0.6 \mu\text{m}$ 공정으로 제작하였을 때, 5V 전원에서 주파수 영역이 1.62 - 1.87 GHz로 측정되어 기존의 4단 발진기에 비해 발진 속도 면에서 26.3%의 향상을 가져왔다. 또한 주파수 합성기가 1.85 GHz에 고정되었을 때 지터는 24psec(rms)로 측정되었으며, 전체 51.2 mA의 전류를 소모하였고 전체 사용 면적은 1 mm^2 에 불과하여 다른 디지털 회로들과의 집적이 매우 용이하다. 본 논문에서 제안된 VCO와 주파수 합성기는 실험 결과를 통해 고속 클럭 합성기나 고속 주파수 합성기로의 응용을 확인하였다.

참 고 문 헌

- [1] P. R. Gray and R. G. Meyer, "Future Directions in Silicon ICs for RF Personal Communications", in Proc. IEEE Custom Integrated Circuits Conf., 1995, pp. 83~90.
- [2] A. Abidi "Low Power Radio-Frequency ICs for Portable Communications", in Proceedings of the IEEE, vol. 83, pp 544~569, April 1995.
- [3] J. Craninckx and M. Steyaert, "A CMOS 1.8 GHz Low-Phase-Noise Voltage-Controlled Oscillator with Prescaler," in ISSCC Dig. Tech. Papers, pp. 266~267, 1995.
- [4] B. Razavi, "A 2-GHz 1.6-mW Phase-Locked Loop," IEEE J. Solid-State Circuits, vol.32, pp.770~735, May. 1997.
- [5] A. Pottbacker and U. Langmann, "A 6-GHz 60-mW BiCMOS phase-locked loop with 2-V supply," IEEE J. Solid-State Circuits, vol. 29, pp. 1560~1565, Dec. 1994.
- [6] S. Lee, B. Kim, and K. Lee, "A Fully Integrated Low-Noise 1-GHz Frequency Synthesizer Design for Mobile Communication Application", IEEE J. Solid-State Circuits, vol 32, No. 5, pp.760~765, May 1997.
- [7] D. Mijuskovic et al., "Cell-Based Fully Integrated CMOS Frequency Synthesizers" ,IEEE J.Solid-state Circuits, vol. 29, pp 271~279, Mar 1994.

저 자 소 개



李 舜 燮(學生會員)

1996년 2월 : 고려대학교 전자공학과 학사. 1998년 2월 : 고려대학교 전자공학과 석사. 1998년~현재 : 고려대학교 전자공학과 박사 과정 중. <주요관심분야> 고속 아날로그 회로, RF CMOS 회로, PLL 및 고성능 아날로그 등이다.



趙 京 善(學生會員)

1999년 2월 : 고려대학교 전자공학과 학사. 2001년 8월 : 고려대학교 전자공학과 석사, 2001년 8월~ 삼성전자 연구원.



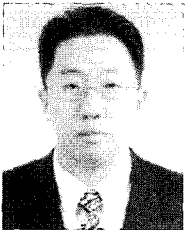
金 世 曄(正會員)

1997년 2월 : 고려대학교 정보공학과 학사. 1999년 8월 : 고려대학교 전자공학과 석사. 현재 : Integrant Technologies 전임연구원



葛 昌 龍(學生會員)

2000년 2월 : 고려대학교 전자공학과 학사. 2000년 3월 : 고려대학교 전자공학과 석사과정 중



南 基 賢(學生會員)

1999년 2월 : 고려대학교 전자공학과 학사. 2001년 8월 : 고려대학교 전자공학과 석사. 2001년 7월~현재 : LG전자 연구원



金 壽 遠(正會員) 第38卷 SD編 第 7號 參照

현재 : 고려대학교 전기전자전파공학부 정교수