

論文2001-38SC-5-9

5" True Color FED 구동시스템 설계

(Design of 5" True Color FED Driving System)

愼弘緯*, 權五敬**, 郭桂達**

(Hong-Jae Shin, Oh-Kyong Kwon, and Kae-Dal Kwack)

요 약

본 연구에서는 전류제어 효과를 갖는 전압제어 펄스폭 변조 방식의 5" true color FED 구동시스템을 설계하였다. 제안한 구동방식은 전압제어 펄스폭 변조방식과 전류제어 방식의 장점을 가지고 있다. 또한, FED 구동회로의 시뮬레이션을 위하여 FED 서브 픽셀에 대한 새로운 회로 모델을 제안한다. 제안된 모델은 FED 서브 픽셀의 특성과 FED 패널의 기생 효과인 게이트 라인간 커플링 현상과 인접한 캐소드 라인을 통하여 흐르는 누설 전류 등을 고려하고 있다. FED 구동회로의 출력단은 제안된 모델을 사용하여 최적화되었다. R·G·B 입력데이터 신호 처리를 병렬처리 방식으로 하여 기존의 직렬처리 방식에 비해서 화면에 영상을 디스플레이하는 duty ratio를 최대로 하여 휘도를 높일 수 있도록 하였다. 이러한 연구 결과를 바탕으로 300×224의 해상도를 가지는 5" true color FED를 성공적으로 디스플레이 하였다.

Abstract

We have developed a novel driving system of 5" true color FED using voltage controlled PWM method which has current control effect. The proposed method has the advantage of voltage controlled pulse width modulation method and current control method. Also, we propose a new circuit model of FED subpixel for circuit simulation of FED driving circuits, considering some parasitic effects, i.e., cross talk, line coupling effect and leakage current to the adjacent cathode lines. Output stage of the data driving circuit is optimized using the proposed circuit model. In video data processing, FED controller uses the parallel processing of R·G·B input data, so duty ratio is maximized and brightness of FED increases. With this results, no noise and high quality performance is achieved in display of 5" true color FED.

I. 서 론

1968년 Spindt가 전자원 소스인 캐소드(cathode)를 개발한 이후 이 소자를 지난 30 년간 세계 여러 나라에

* 正會員, 오리온電氣(株) 綜合研究所 平板研究팀
(Flat Panel Display Research & Development Team, Orion Electric. Co., Ltd)

** 正會員, 漢陽大學校 電子電氣컴퓨터工學部
(Division of Electrical and Computer Engineering, Hanyang University)

接受日字:2000年11月1日, 수정완료일:2001年7月24日

서 디스플레이에 적용하기 위한 연구를 수행하고 있다.^[1,2] 전계 방출 디스플레이(Field Emission Display)는 형광체의 인가전압과 캐소드와 애노드(anode)간의 스페이서(spacer) 높이에 따라 고전압용과 저전압용으로 분류할 수 있고, 네 가지 기술분야로 나눌 수 있다. 에미터(emitte)의 집합체인 캐소드 부, 화상 정보가 디스플레이 되는 애노드 부, 캐소드와 애노드를 접합하는 진공 패키징(packaging) 부, 그리고 제작된 패널을 동작시키는 구동회로(driving circuit) 부로 나눌 수 있다. 최근에 FED에서 중요성이 대두되고 있는 기술 분야는 FED 패널이 고화질 대면적화 되어 가는데 맞추어 더욱 효율적인 구동회로의 개발에 관한 것이다. FED 구

동방식은 전압 구동 방식과 전류 구동 방식으로 나눌 수 있고 이 방식들은 PWM(Pulse Width Modulation)과 PAM(Pulse Amplitude Modulation)방식으로 나눌 수 있다. 전압 구동방식은 비교적 간단하게 FED를 구동할 수 있다는 장점을 가지고 있다. 그러나 FED 패널의 픽셀(pixel)을 구성하고 있는 FED 팁의 I-V 특성이 균일하지 않으면 같은 인가 전압에 대해서 FED 픽셀을 통해서 방출되는 전류가 다르게 되고 화상이 표시되는 FED 패널이 불균일하게 된다. 전류 구동 방식은 각 픽셀에서 방출되는 전류의 양을 조절하므로 FED 팁의 불균일성에도 불구하고 일정한 방출전류를 얻을 수 있다는 장점이 있지만 미세한 양의 방출 전류를 정밀하게 제어하는 구동 회로를 개발하는 것이 어렵다.^[3]

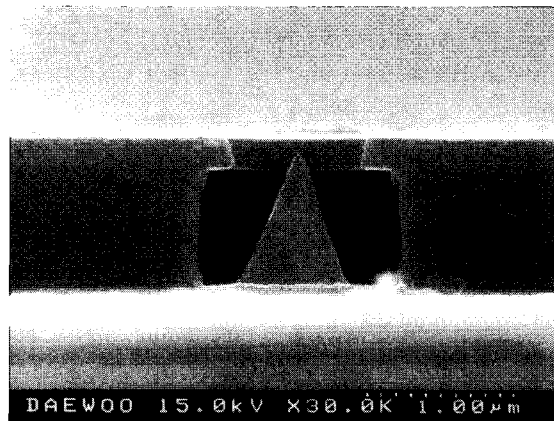
현재까지 발표된 FED는 매트릭스 구동 방식에 사용되기 위해서 게이트(gate) 라인과 캐소드 라인의 교차하는 부분에 수많은 팁들이 배치되어 서브 픽셀(subpixel)을 이루고 빨강(R), 녹색(G), 블루(B), 세 개의 서브 픽셀이 모여서 하나의 픽셀을 이루고 있다. 즉, 게이트 라인과 캐소드 라인은 행과 열을 이루고 있다. FED 구동회로를 설계하기 위해서는 FED 패널의 여러 가지 기생 효과, 즉 크로스톡(cross talk), 라인간 커플링 현상 그리고 인접한 캐소드 라인간을 통하여 흐르는 누설 전류를 고려한 FED 픽셀에 대한 회로 모델이 필요하다. 그러나 현재까지 FED 팁에 대한 모델이 발표되었지만 이러한 현상들을 고려한 FED 서브 픽셀 모델에 대한 발표는 없었다.^[4]

본 논문에서는 FED 구동회로 시뮬레이션을 위한 FED 서브 픽셀에 대한 효과적인 회로 모델을 제안하고 전압 구동 방식과 전류 제어 방식의 장점만을 살릴 수 있도록 전류 제어 효과를 갖는 전압 제어 펄스폭 변조 방식의 5" true color FED 구동시스템을 설계 및 제작하였다. 이러한 결과를 가지고, 8 BIT 비디오 신호를 구동 시스템의 입력으로 받아서 1,670 만 컬러색이 구현된 무결점 5 인치 칼라 FED를 성공적으로 발표하였다.

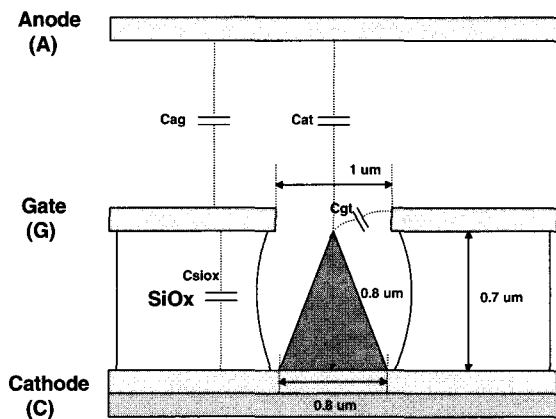
II. FED 서브 픽셀의 회로 모델

제작된 molybdenum(Mo) 팁 에미터를 그림 1(a)에 나타내었다. 여기서 팁 에미터 반경은 $0.4\mu\text{m}$, 높이는 $0.9\mu\text{m}$ 이고 SiO_2 의 두께는 $0.7\mu\text{m}$ 이다. 그림 1(b)는 5" FED 팁의 물리적인 구조를 나타내고 있다. 모델 파라

메타 값들은 제작된 팁으로부터 추출되었고 맥스웰 3D 시뮬레이션을 통해서 검증되었다. C_{gt} 는 게이트와 캐소드 팁 에미터 사이의 커패시턴스를 나타내고, C_{ag} 는 애노드와 게이트 사이의 커패시턴스를 나타내고, C_{at} 는 애노드와 팁 에미터 사이의 커패시턴스를 나타내고, C_{siox} 는 게이트와 캐소드 사이에 존재하며 산화막을 유전물질로 하는 평판형 커패시턴스를 나타낸다. 게이트와 캐소드 사이에 커패시턴스는 C_{gt} 와 C_{siox} 의 합이며 C_{gc} 로 표시된다. 위 커패시턴스 성분 중에 값이 가장 큰 커패시턴스는 C_{gc} 이다. 전압 구동 방식의 FED 구동회로 설



(a)



$$C_{gt} = 0.0099 \text{ fF}, C_{siox} = 0.679 \text{ fF}$$

$$C_{gc} = C_{gt} + C_{siox} = 0.778 \text{ fF}$$

$$C_{ag} = 0.702 \text{ aF}, C_{ac} = C_{at} = 5.84 \times 10^{-21} \text{ F}$$

(b)

그림 1. (a) 제작된 5" FED의 molybdenum 팁 에미터, (b) 5" FED 팁의 구조

Fig. 1. (a) SEM microphotograph of a fabricated Mo-tip emitter for 5" FED, (b) Physical structure of a Mo-tip emitter for 5" FED.

계시 가장 중요한 성분은 C_{gc} 이고 이 값에 의해서 게이트 구동회로와 데이터 구동회로의 고전압 출력단의 응답속도가 결정되게 된다.

애노드와 캐소드 사이의 전류(I_{AC})와 게이트와 캐소드 사이의 전류 (I_{GC})는 게이트와 캐소드 사이의 전압차에 의해서 제어된다. I_{AC} 는 캐소드의 전자 방출에 의해서 애노드로 흐르는 전류 성분이고 I_{GC} 는 게이트와 캐소드 사이의 누설 전류 성분이다. Fowler-Nordheim 이론에 의해서 I_{AC} 는 수식 (1)과 같이 나타낼 수 있다.^[5]

$$I_{AC} = a \times V_{GT} \times \exp(-b/V_{GT}) \quad (1)$$

여기서 a와 b의 값은 측정 결과인 F-N plot으로부터 계산되고, 제작된 팁의 a와 b의 값은 $4.81 \times 10^{-7} A/V^2$ 와 896.9 V 이다.

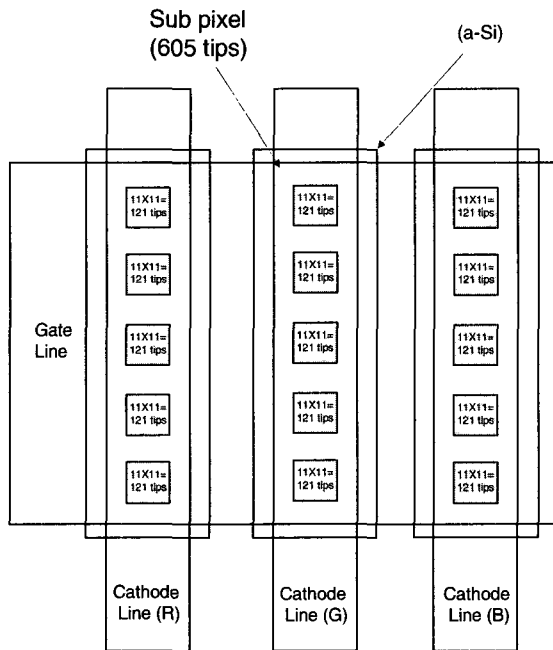


그림 2. 5" FED 픽셀의 구조
Fig. 2. Structure of a Mo-tip emitter for 5" FED.

FED를 매트릭스 방식으로 구동하기 위해서 같은 열에 해당하는 서브픽셀의 캐소드들은 같은 캐소드 라인에 연결되어 있고 같은 행에 해당하는 게이트들은 같은 게이트 라인에 연결되어 있다. 그림 2는 제작된 5" FED 픽셀의 구조를 나타내고 있다. 제작된 5" FED 패널에서 각각 R·G·B에 해당하는 서브 픽셀은 605 개

의 팁으로 이루어져 있고 픽셀은 1,815 개의 팁으로 이루어져 있다.

그림 3은 본 논문에서 제안한 FED 서브 픽셀에 대한 회로 모델을 나타내고 있다. 여기서 I_{AC-sub} 는 게이트와 팁 사이의 전압에 의해서 제어되는 서브 픽셀 당 방출전류를 나타내고 있고, gm은 소신호 트랜스컨덕턴스를 나타낸다. I_{GC-sub} 는 픽셀 당 게이트에서 캐소드로 흐르는 누설전류를 나타낸다. 게이트와 캐소드 사이의 서브 픽셀 당 커패시턴스는 C_{gc-sub} 로 나타내며 추출된 값은 988.67 fF 이었다. 서브 픽셀 당 C_{ag-sub} 는 897 aF 이었고 C_{ac-sub} 는 3.553 aF 이었다. 여기서 C_{gc-sub} 가 C_{ag-sub} 와 C_{ac-sub} 보다 훨씬 큰 값이기 때문에 C_{gc-sub} 에 의해서 구동회로의 응답속도가 많은 영향을 받게 된다.

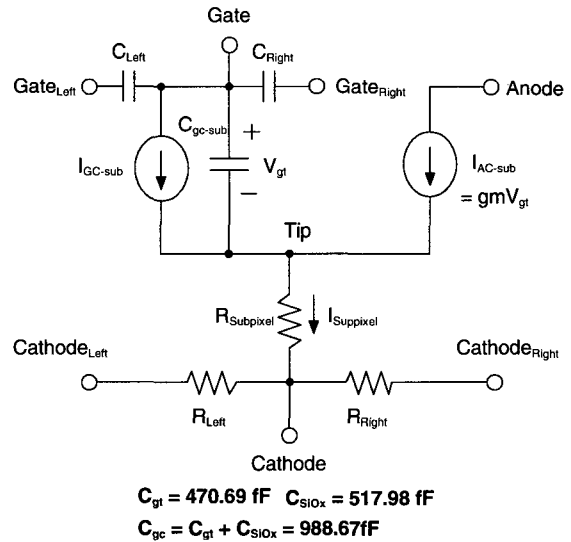


그림 3. 제안된 FED 서브 픽셀에 대한 회로 모델
Fig. 3. Proposed circuit model of FED subpixel.

본 연구에서 제작된 5" FED 패널에서 게이트 라인은 900 개의 서브픽셀, 즉 300 개의 픽셀에 연결되어 있고 캐소드 라인은 224 개의 서브 픽셀에 연결되어 있다. 이 결과 게이트 구동회로가 전압 스위칭을 하기 위해서는 890.61 pF의 커패시턴스를 충전-방전하여야 하고 캐소드 구동회로는 222.45 pF의 커패시턴스를 구동해야만 한다. C_{Left} 는 인접한 왼쪽 서브 픽셀과 게이트 사이의 커패시턴스이고 C_{Right} 는 인접한 오른쪽 서브 픽셀과 게이트 사이의 커패시턴스이다. 이 커패시터 성분은 FED 구동시 발생하는 게이트 라인 커플링 현상을 고려하여 모델링 된 것이다. $R_{sub-pixel}$ 은 서브 픽셀의

캐소드 전체 저항을 나타내고 R_{left} 는 인접한 왼쪽 서브 픽셀과 캐소드 사이의 저항 성분이고 R_{right} 는 인접한 오른쪽 서브 픽셀과 캐소드 사이의 저항 성분을 나타낸다. 이 저항 성분은 FED 패널에서 생기는 캐소드 라 인간의 누설 전류를 고려하여 모델링 된 것이다.

III. FED 구동시스템 설계

설계된 FED 구동 시스템은 $300(R \cdot G \cdot B \text{ color}) \times 224$ 의 해상도를 가지는 5" FED 패널, 영상보드 (Audio and Visual board), FED controller, 게이트 구동회로 (gate driving circuit)와 캐소드 구동회로(cathode driving circuit)로 구성되어 있다. 그림 4는 5" true color FED 구동 시스템의 블록도를 나타내고 있다.

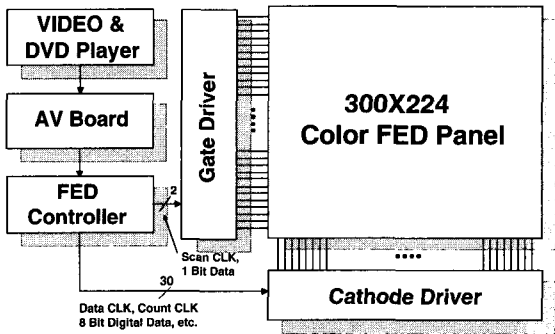


그림 4. 5" true color FED 구동 시스템의 블록도
Fig. 4. Block diagram of 5" true color FED driving system.

1. 게이트 구동회로

게이트 구동회로는 FED 패널의 행 부분인 게이트 라인에 연결되어 고전압을 일정시간 동안 FED 픽셀들의 게이트에 인가하는 역할을 한다. 그림 5는 게이트 구동회로의 블록도를 나타내고 있다. 게이트 구동회로는 224 단의 쉬프트 레지스터단, 제어로직단과 고전압 출력단으로 구성되어 있다. 제작된 5" FED의 특성 분석 결과, 게이트와 캐소드 사이의 전계 방출을 위한 턴 온 전압은 60 V이므로 게이트 부분에 60 V 이상의 고전압의 인가가 요구된다. 패널에 특성에 따라서 60 V에서 100 V 정도의 전압이 인가되었고 최적 전압은 80 V로 설정되었다. 5" FED 패널에서 게이트 라인은 900 개의 서브픽셀, 즉 300 개의 픽셀에 연결되어 있다. 이 결과 게이트 구동회로가 전압 스위칭을 하기 위해서는

890.61 pF의 커패시턴스를 충전-방전하여야 한다.

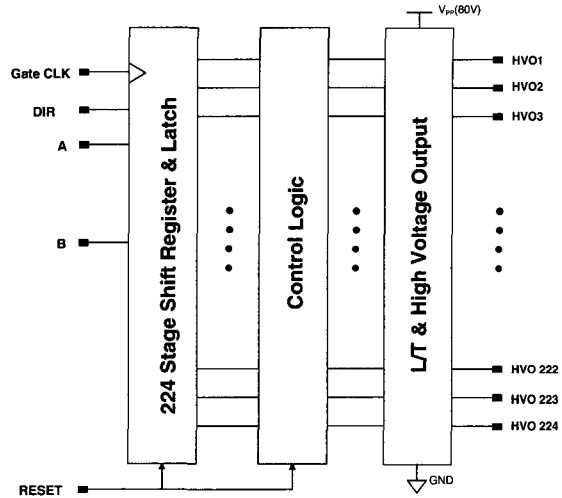


그림 5. 5" FED 게이트 구동회로의 블록도
Fig. 5. Block diagram of 5" FED gate driving circuit.

300X224의 해상도를 구현하기 위한 게이트 구동회로의 최소 동작주파수는 13.44 KHz이며 여기에 리셋 시간을 고려하여 게이트 구동회로의 동작주파수를 14.75 KHz(67.8 μ s)로 설정 하였다. 게이트 구동회로는 정해진 스캔 출력 파형 신호를 외부에서 입력되는 게이트 제어 입력 신호인 GSP(Gate Start Pulse)와 게이트 클럭(Gate Clock)의 동기신호에 맞추어 순차적으로 출력하는 동작을 하며 프레임(frame) 당 67.8 μ s의 시간 동안 게이트 라인마다 전압을 인가한다. 또한, Shift

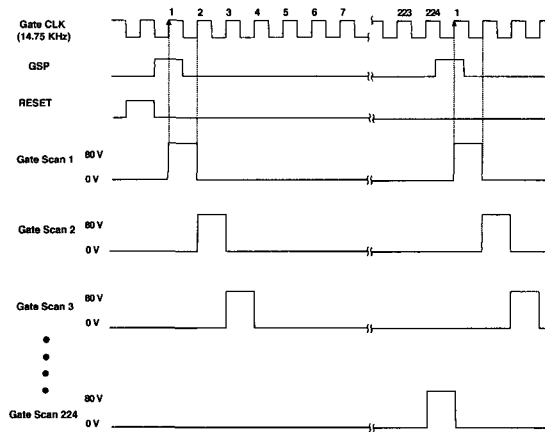


그림 6. 5" FED 게이트 구동회로의 타이밍도
Fig. 6. Timing diagrams of 5" FED gate driving circuit.

direction 제어입력 신호인 DIR에 의하여 스캔 파형의 방향이 결정된다. 즉, DIR 신호가 High 일 경우 GSP는 A로 입력되며 순차적으로 스캔 파형이 발생된다. DIR 신호가 Low 일 경우 GSP는 B로 입력되어 전자와 반대로 스캔 파형을 발생한다. 그림 6은 게이트 구동회로의 타이밍도를 나타낸다.

2. 캐소드 구동회로

본 연구에서 설계한 FED 캐소드 구동회로는 R, G, B 입력 데이터를 병렬로 동시에 인가하는 방식을 사용하여 설계되었다. 그림 7은 설계된 5" FED 캐소드 구동회로 중 R 서브 픽셀에 데이터를 인가하기 위한 캐소드 구동회로를 나타내고 있다. G, B 서브 픽셀의 캐소드 구동회로도 이와 같은 구조이다. R 서브픽셀에 해당하는 캐소드 구동회로는 300 단의 쉬프트 레지스터와 래치, 비교기(comparator), 제어로직(control logic), 고전압 출력단으로 구성되어 있다. 모든 제어신호는 FED Controller에서 발생된다. 3.44 MHz인 Shift Clock이 쉬프트 레지스터 부분에 인가되고 데이터 신호를 데이터 구동회로 내부로 전송하는 신호인 CSI가 인가되면 8 비트 디지털 신호가 순차적으로 전송되어 래치단에 저장된다. 캐소드 구동회로의 쉬프트 레지스터는 Shift Clock의 상승 에지(rising edge)와 하강 에지(falling edge)에 맞추어 동작하도록 설계되어 있다. 300 개의 데이터가 래치단에 저장되면 Load Count(LC) 신호가 인가되고 비교기로 전송된다. 비교기에는 PWM 신호를 발생시키기 위한 CCLK(Count Clock)가 인가되

며 비교기는 8 비트 신호 값에 따라서 서로 다른 시간 폭을 갖는 PWM 신호를 발생시킨다. 이 신호는 제어로직단의 제어 신호인 Blank 신호에 따라서 L/T(Level Transformer)를 거쳐 고전압 출력단의 인가전압인 V_{PP} 와 V_{NN} 으로 변화되어 출력된다. 설계시 고전압 출력단의 스위칭 전압인 V_{PP} 와 V_{NN} 에 50V와 -5V를 인가하였다.

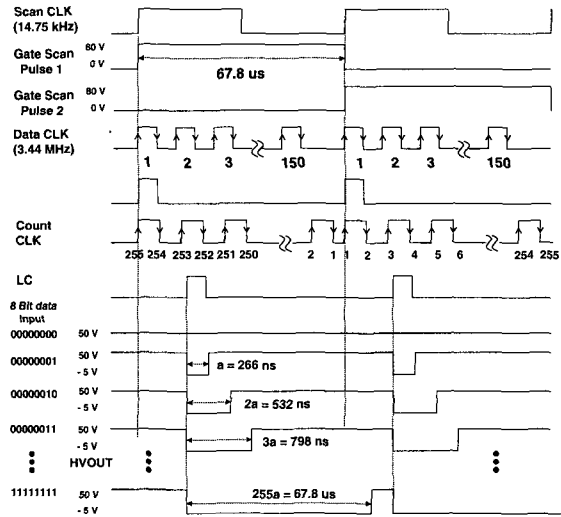


그림 8. 5" FED 캐소드 구동회로의 타이밍도
Fig. 8. Timing diagrams of 5" FED cathode driving system.

그림 8은 300×224 해상도의 칼라 FED 패널을 구동하기 위해 설계된 5" FED 데이터 구동회로의 파형을 나타내고 있다. 한 라인의 게이트 스캔 펄스 동안 300 라인의 데이터를 전송하기 위해서 한 라인의 게이트 스캔펄스 동안 캐소드 구동회로의 클럭(CLK)은 150 개가 인가되어야 하며 설계시 3.44 MHz로 하였다. 그리고, 300×224의 해상도를 갖고 60 프레임의 256 계조 처리시 가장 낮은 그레이를 나타내기 위해서 최소 고전압 펄스폭은 256 ns이다. 게이트 동작 주파수에 맞추어 CSI, LC, CSO의 주기는 14.75 KHz이다. Count CLK은 256 레벨의 PWM 펄스를 만들기 위해 인가되는 클럭 신호이다. 캐소드 구동회로의 고전압 출력단은 256 개의 고전압 펄스를 FED 캐소드에 인가해야 한다. FED 패널에 가장 어두운 상태를 나타내려면 8 비트 데이터 입력신호에 00000000 이 인가된다. 이 결과 고전압 출력인 50 V가 캐소드에 인가되어 FED 튜브는 오프 상태를 유지하고 발광을 하지 않는다. 가장 낮은 그

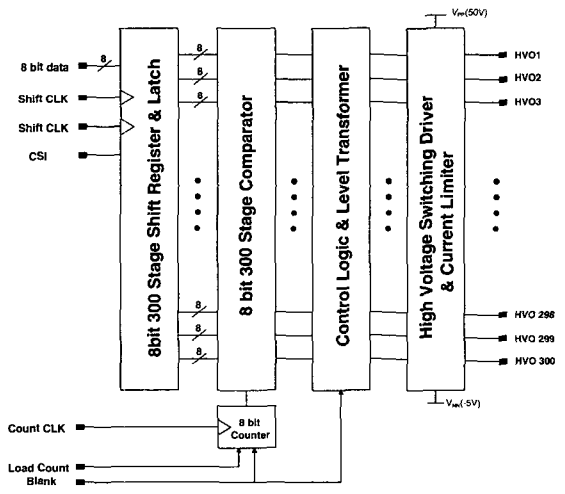


그림 7. 5" FED 캐소드 구동회로의 블록도
Fig. 7. Block diagram of 5" FED cathode driving circuit.

레이 레벨을 표시하기 위해서는 0000001 이 인가되고 고전압 출력은 266 ns 동안 50 V에서 -5 V로 스위칭하게 되고 프레임(frame) 당 FED 튜브는 266 ns 동안 발광을 하게 된다. 가장 높은 그레이 레벨을 표시하기 위해서는 11111111의 신호가 인가되고 고전압 출력은 프레임 당 76 μ s 동안 50 V에서 -5 V로 스위칭하게 된다. 이 결과 FED 패널은 가장 밝은 상태가 된다.

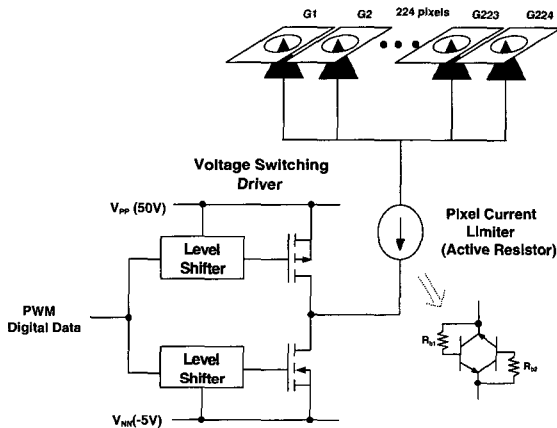


그림 9. FED 캐소드 구동회로의 출력단
Fig. 9. Output stage of FED cathode driving circuit.

본 연구에서 설계한 5" FED 구동시스템은 전류제어 효과를 갖는 전압제어 펄스폭 변조 방식으로 FED를 구동하도록 되어있다. 이러한 방식을 구현하기 위해서 FED 패널의 캐소드 부분에 데이터를 인가하는 부분인 캐소드 구동회로의 출력 단은 패널의 전류를 조절할 수 있도록 설계되어야만 한다. 그림 9는 제안된 캐소드 구동회로의 출력 단을 나타내고 있다. 이 회로는 두 개의 고전압 NMOS로 이루어진 고전압 스위칭 회로부분과 FED 캐소드로 공급되는 전류를 제한하는 전류리미터(current limiter) 부분으로 이루어져 있다. 각각의 캐소드의 경우 발광 시간을 조절하기 위해서 전압 펄스폭이 변조된다. 전류리미터는 능동소자인 2개의 NPN 트랜지스터와 2개의 바이어스 저항으로 이루어진 전류원으로 캐소드로 흐르는 전류를 제한하는 역할을 하며 전류공급 능력을 능동저항(active resistor)값으로 나타낸다. 이 결과 캐소드 전류와 V_{gc} 의 로드라인의 기울기를 낮추어 일정한 양의 전류가 캐소드로 공급되도록 하는 역할을 하게 된다. 이 결과 FED 픽셀의 불균일성에도 불구하고 디스플레이되는 패널은 균일한 특성을 가지게 된다. 그렇지만 전류의 양을 너무 많이 제한하

면 고전압 출력단의 상승시간(rising time)과 하강시간(falling time)이 길어지게 된다. 이 경우 낮은 그레이(gray) 레벨의 데이터는 화면에 디스플레이 되지 않으므로 실험을 통해서 적절한 범위의 값을 갖도록 해야만 한다. 캐소드 구동회로 설계시 전류리미터의 능동저항값은 패널의 특성에 따라서 $500\Omega \sim 2k\Omega$ 값을 갖도록 하였다. 능동저항 값을 크게 하면 패널의 균일도가 향상되는 것을 볼수 있었지만 상승과 하강 시간이 256 ns 이상으로 길어져 원하는 256 계조처리가 되지 않았다. 500Ω 의 경우 256 계조처리를 위한 모의실험 결과 상승, 하강 시간은 100 ns이내 였다.

3. FED Controller

그림 10은 5" FED Controller의 블록도를 나타낸다. FED Controller는 영상보드(AV Board)에서 출력되는 비디오 신호를 임시 저장하는 비디오 인터페이스 부분과 300X224의 해상도에 맞게 스캔구동회로와 데이터 구동회로의 특성에 맞게 비디오 신호와 제어신호를 발생시켜 출력하는 메모리 제어부(memory controller)와 타이밍 제어부(timing controller)로 구성되어 있다. 특히 R·G·B 신호처리를 병렬처리 방식으로 하여 직렬처리 방식에 비해서 영상을 화면에 디스플레이하는 duty 비를 3배로 하여 화면의 휘도를 높일 수 있도록 하였다. VGA 인터페이스 부분은 영상보드에서 출력되는 비디오 신호를 저장하면서 동시에 메모리에 저장되어 있는 비디오 신호를 FED 패널에 출력하도록 하기 위해서 그림 10에서와 같이 2개의 SRAM 모듈(SRAM Module1, SRAM Module2)과 메모리의 어드레스와 제어 신호를 생성하는 FPGA1으로 구성되어 있다. 메모리 제어부와 타이밍 제어부는 사용된 구동회로의 특성과 구성에 맞도록 비디오 신호와 제어 신호를 생성하여 출력하는 부분으로 3개의 FPGA (FPGA2, FPGA3, FPGA4)로 구성되어 있다. 먼저 FPGA2는 영상보드에서 비디오 신호를 저장하는 SRAM에서 비디오 신호를 읽어들이 어드레스를 생성하는 부분이고, FPGA3은 제어 신호를 생성하기 위한 카운터가 있는 부분으로 FPGA2와 FPGA4의 제어 신호와 구동회로의 제어 신호를 생성하는 역할을 하고, FPGA4는 R,G,B video 신호를 병렬로 입력받아서 사용된 구동회로의 구성이 R,G,B video 신호를 병렬 또는 직렬로 받도록 구성되어 있는지에 따라서 출력 형태를 조절하는 역할을 한다.

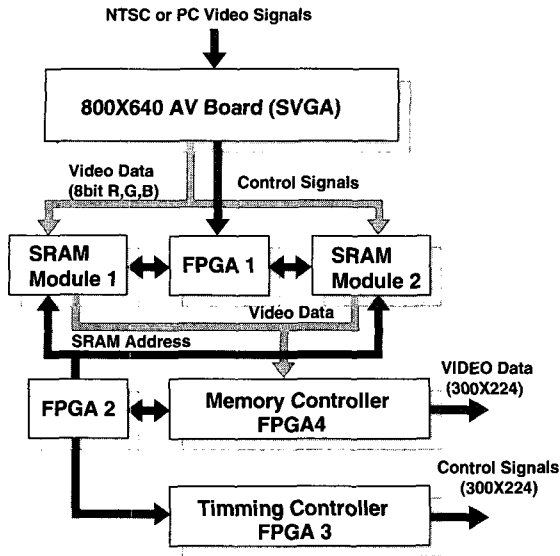


그림 10. 5" FED Controller의 블록도
Fig. 10. 5" FED Controller Block Diagram.

IV. 실험 및 특성 평가

그림 11은 제작된 5" FED 구동시스템의 시제품을 나타내고 있다. 왼쪽 부분이 5" FED 패널과 구동회로를 나타내고 있고 오른쪽 부분이 FED controller를 나타내고 있다. 그림 12는 캐소드에서 애노드로 방출되는 전류와 게이트 전압과의 관계를 나타내는 FED 서브픽셀의 I-V 특성 곡선을 나타내고 있다. 본 논문에서 제안한 모델을 사용한 시뮬레이션 결과와 측정 결과와 일치하고 있는 것을 나타내고 있다. 이 결과로부터 제안한 모델은 SPICE를 사용하여 회로 시뮬레이션에 적합하다는 것을 알 수 있다. 제작한 FED 구동시스템에 5" 패널을 장착한 후 측정된 구동회로의 출력 파형을 그림 13에 나타내었다. 시뮬레이션 결과 전류리미터의 능동저항 값이 1 kΩ 이었을 때 상승, 하강 시간은 465 ns, 450 ns이었는데 실제 측정결과 상승, 하강 시간은 601 ns, 591 ns로 나타나 모의시험과 측정 결과에는 29 % 오차를 나타냈다. 이는 모의실험으로 추출한 커패시턴스 값과 실제 패널의 커패시턴스간에 오차가 발생되었기 때문이며 패널마다 전류리미터의 능동 저항 값을 패널에 맞게 조절해 주어야만 원하는 상태의 계조처리를 할 수 있다. 그림 14는 FED 구동회로의 능동저항 값과 그레이 스케일과의 관계에 대한 실험 결과를 나타내고 있다.

본 연구에서는 제안한 방식으로 구동시스템을 설계하여 패널의 균일도를 30 % 향상시킬 수 있었다. 그렇지만 캐소드 구동회로의 출력단의 상승시간과 하강시간은 가장 짧은 펄스 펄스폭(266 ns) 보다 길었고 이 결과 가장 낮은 그레이 레벨인 1, 2 그레이 레벨이 화면에 디스플레이 되지 못하는 결과를 나타냈다. 위의 결과로부터 전류원의 전류 공급능력을 나타내는 능동 저항 값을 크게 하면 패널의 균일도를 향상시킬 수 있지만 낮은 레벨의 그레이 스케일이 표시되지 못하는 것을 알 수 있었다. 그림 15는 설계된 5" true color FED 시스템의 시제품 데모 결과를 나타내고 있다. 표 1은 설계된 5" true color FED 시스템의 특성을 요약한 것이다.

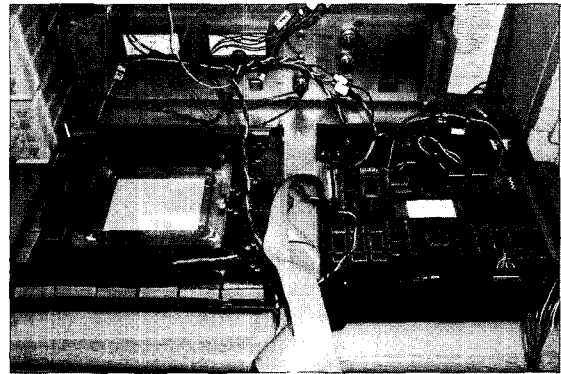


그림 11. 제작된 5" FED 구동시스템의 시제품
Fig. 11. Prototype of the fabricated 5" FED driving system.

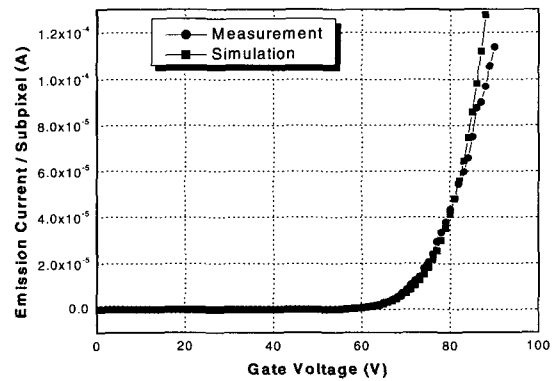
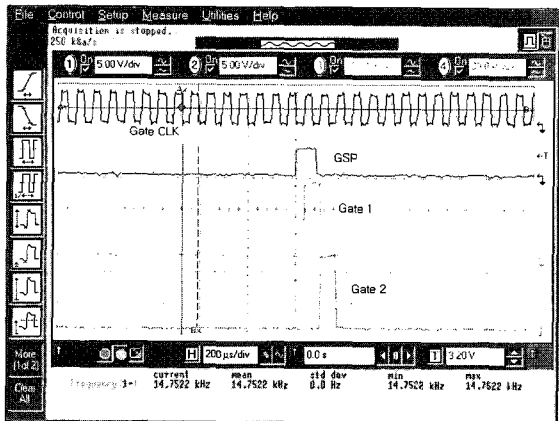
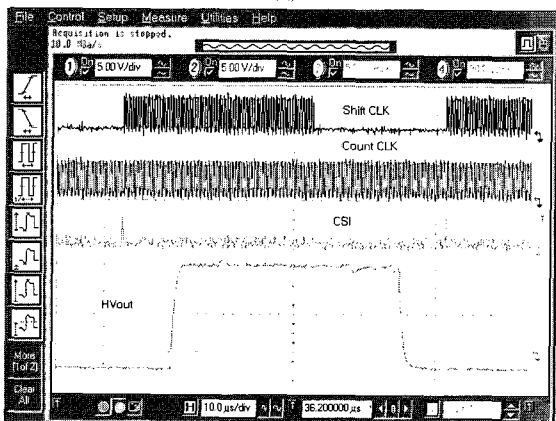


그림 12. FED 서브 픽셀의 I-V 특성곡선
Fig. 12. Emission I-V characteristics of FED sub pixel.



(a)



(b)

그림 13. (a) FED 게이트 구동회로의 측정 파형, 13(b) FED 캐소드 구동회로의 측정 파형
 Fig. 13. (a) Waveform of the FED gate driving circuit, 13(b) Waveform of the FED cathode driving circuit.

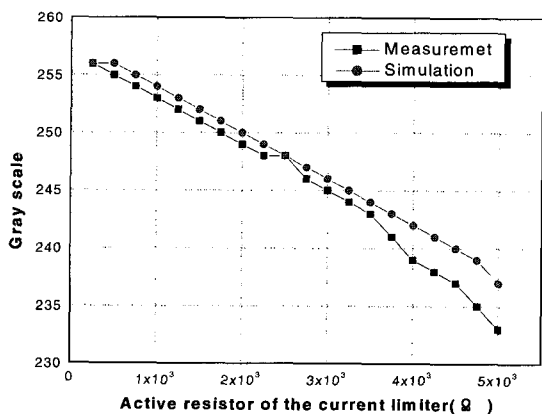


그림 14. FED 캐소드 구동회로의 능동저항 값과 그레이 스케일과의 관계에 대한 실험 결과
 Fig. 14. Experiment results of relations between active resistor of the FED cathode driving circuit and gray scale.



그림 15. 5" True Color FED 시제품 데모 사진
 Fig. 15. Photograph of 5" True Color FED.

표 1. 5" FED 구동 시스템의 특성
 Table 1. Characteristics of 5" FED Driving System.

Display Type	5" True color	Unit
Format	300X224	
Drive Voltages V_a, V_g, V_{c+}, V_{c-}	600, 80, 50, -5	V
Gray Levels (color)	$256^3 = 16.7M$ Color	
Brightness	100	cd/m ²
Pixel Capacitance (Sub pixel Cap × 3)	2.94 (0.98 × 3)	pF
Frame Rate	60	Hz
Anode Power	2.1	W
FED Driving System Power	19.74	W
Total Power	21.84	W

V. 결 론

본 논문에서는 5" True Color FED 구동시스템을 설계 및 제작하였다. 캐소드 구동회로 설계시 전류제어효과를 갖는 전압 제어 PWM 방식을 제안하여 전압 구동 방식과 전류제어 방식의 장점만을 살릴 수 있도록 하였다. 이 결과 FED 패널의 균일도를 30 % 향상시킬 수 있었다. FED 구동회로의 시뮬레이션을 위하여 FED 서브 픽셀에 대한 효과적인 회로 모델을 제안하고 FED 구동회로의 출력단은 제한된 모델을 사용하여 최적화되었다. R·G·B 신호처리를 병렬처리 방식으로

하여 기존의 직렬처리 방식에 비해서 영상을 화면에 디스플레이하는 duty 비를 3배로 하여 화면의 휘도를 높일 수 있도록 하였다. 향후 과제로는 저전력 소모 FED 구동회로설계에 관한 연구가 진행되어야 할 것이며 FED 전용 구동 IC의 개발을 통해서 시스템의 소형화 및 구동의 최적화를 이루어야 할 것이다.

참 고 문 헌

- [1] B. H. Chung, J. O. Choi, J. H. Jung, H. R. Chung, S. Y. Han, J. H. Han, M. W. Nam, Y. W. Choi, S. Y. Hwang and N. Y. Lee, "Optimization of field emitter geometry to improve emission efficiency and reliability for FED," IDW99, pp 947-950, 1999.
- [2] M. Tanaka, Y. Nohara, K. Tamura, Y. Sato, and H. Sakurada, "Luminance improvement of low-voltage full color FEDs," Proceedings of SID'98, pp. 193-196, 1998.
- [3] C. W. Lu, C. L. Lee and J. M. Huang, "A high speed circuit scheme for driving field emission array," IVMC96, pp 505-508, 1996.
- [4] J. H. Nam, J. D. Ihm, H. S. Uh, Y. H. Kim, K. M. Choi and J. D. Lee, "Characteristics and circuit model of a field emission triode," IVMC97, pp 321-325, 1997.
- [5] R.H. Fowler and L.W. Nordheim, "Electron emission in intense fields," Proc. R. Soc. London, vol A119, pp. 173-174, 1928.

저 자 소 개

愼 弘 緯(正會員)

1970년 9월 5일생. 1995년 2월 경원대학교 전자공학과 졸업(공학사). 1997년 2월 한양대학교 대학원 전자공학과 졸업(공학석사). 2000년 9월~현재 : 한양대학교 전자통신전파공학과 박사과정 재학중. 1997년 1월~현재 오리온 전기(주) 종합연구소 수석경력 : 1996년 12월 LG 반도체(현 하이닉스 반도체) 설계 공모전 은상 수상. 1998년 12월 대우 기술대상 수상. 관심분야 : Flat Panel Display(FED, PDP, TFT LCD, EC) 구동회로 및 LSI 설계, 아날로그 회로 설계, 저전력 회로 설계

郭 桂 達(正會員)

1950년 2월 12일생. 1974년 2월 한양대학교 전자공학과 졸업(공학사). 1976년 2월 한양대학교 대학원 전자공학과 졸업(공학석사). 1980년 2월 프랑스 국립 툴루즈 공과대학교 졸업(공학박사). 1982년 7월~1986년 8월 일본 와세다 대학교 연구교수. 1981년 3월~현재 한양대학교 전자전기공학부 교수. 1991년 3월~현재 한양대학교 첨단반도체 연구소 소장. 2000년 5월~현재 한양대학교 반도체 협력사 설계지원센터 센터장. 관심분야 : 반도체 소자 및 공정 모델링, 아날로그 회로 설계, 메모리 설계

權 五 敬(正會員) 第38卷 SD編 第4號 參照

1992년 3월~현재 한양대학교 전자전기컴퓨터부 교수

論文誌投稿規定

1. 論文投稿은 會員에 限함을 原則으로 한다.
2. 論文은 電子工學에 關한 分野의 獨創의인 研究結果로서 國內外 刊行物에 發表되지 아니한 것으로 한다.
3. 原稿採擇與否는 所定의 審査過程을 거쳐 編輯委員會에서 決定하되 원고의 부분적 修正 또는 補完을 要求할 수 있다.
4. 原稿는 수시로 接受하며 原稿의 接受日은 그 原稿가 學會에 到着된 日자로 한다.
5. 原稿는 國·漢文으로 作成하되 필요한 경우 英文用語를 使用할 수 있다.(단, 논문제목, 저자성명, 저자소속기관, 요약 및 그림과 표의 설명은 英文을 併記해야 한다.)
6. 英文은 문장 의 첫 字만 大文字로 표기하고 나머지는 小文字로 표기한다.(단, 고유명사의 경우는 예외)
7. 英文 姓名은 이름을 먼저 쓰고 姓은 뒤로 쓴다.
(예: Bum Ho Lee and Keh Kun Choi)
8. 가. 原稿는 워드프로세서를 使用하고 A4 用紙에 그림과 표를 包含하여 12枚(장당 1000字 內外, 더블 스페이싱) 以內를 基準으로 한다.
나. 掲載用原稿는 著者가 한글 워드프로세서를 使用하여 作成한 디스켓을 提出하도록 한다.
9. 原稿表紙에 題目(英文포함)·姓名(漢文 및 英文포함)·所屬機關(英文포함)·研究細部分野·住所·郵便番號·電話番號·E-mail 주소 등을 必히 記入한다.
10. 첫 면(表紙 다음 면)에는 姓名, 所屬을 記入하지 않고 題目(英文 포함)만 記入한다.
11. 原稿는 國文要約, 英文要約, 本文, 附錄, 參考文獻의 順으로 하고, 영문요약 하단에 5개 이하의 Keyword를 기재한다.
12. 章에 該當되는 番號는 로마자(I, II, III, IV...)로, 節에 該當되는 番號는 아라비아字(1, 2, 3, 4...)로 表記한다.
13. 그림, 표는 本文과 함께 쪽을 定하고 그림 또는 표가 들어갈 공간을 표시하고 說明을 쓰되 그림은 공간 下端에, 표는 上端에 國文과 英文으로 併記한다.
14. 그림은 寫眞版으로 할 수 있도록 申明하여야 하며, 크기는 加급적 半段(가로 7cm)으로 하고 原圖가 이 크기보다 클 때는 縮小될 것을 考慮하여 글자의 크기를 알맞게 選定한다. 全段(가로 14cm) 그림의 境遇도 이와 同一하다.
15. 參考文獻은 반드시 本文에 引用順序대로 記載하되 國·한문 및 기타 외국어도 허용하며, 記載方法은 아래 例와 같고, 論文誌 名(雜誌포함) 또는 圖書名은 이탤릭체로 表記한다.
가. 論文誌: 著者名, 題目, 論文誌名, 卷, 號, 쪽, 年月.
나. 單行本: 著者名, 圖書名, 出版社名, 쪽, 年度.
다. 學術會의 論文誌: 著者名, 題目, 論文誌名, 쪽, 개최 장소, 국가, 年月.
예: [1] 김남훈, 정영철, "평탄한 통과대역 특성을 갖는 새로운 구조의 광도파로열 격자 라우터," *전자공학회논문지*, 제35권·D편, 제3호, 56-62쪽, 1998년 3월.
- [2] B. Jeon and J. Jeong, "Blocking artifacts reduction in image compression with block boundary discontinuity criterion," *IEEE Trans. Circuits and Systems for Video Tech.*, vol. 8, no. 3, pp. 345-357, June 1998.
- [3] B. Sklar, *Digital Communications*, Prentice Hall, p. 187, 1998.
- [4] W. G. Jeon and Y. S. Cho, "An equalization technique for OFDM and MC-CDMA in a multipath fading channels," in *Proc. of IEEE Conf. on Acoustics, Speech and Signal Processing*, pp. 2529-2532, Munich, Germany, May 1997.
16. 本文에서 引用한 參考文獻 番號는 引用文 右側 上段의 [] 안에 記入한다.
17. 原稿는 5部 (複寫本이라도 無妨)를 作成해서 提出해야 하며 所定의 審査料(篇當 30,000원)을 納付해야 한다.(단, 긴급심사료는 100,000원으로 한다.)
18. 論文의 採擇이 決定되면 筆者는 寫眞 1枚와 간단한 略歷(研究分野 包含)을 提出하도록 한다.
19. 論文은 審査에 通過된 것을 接受順序대로 掲載함을 原則으로 한다.
20. 論文 掲載料는 基本 6面까지는 面當 15,000원(*40,000원)이며, 7.8面은 面當 30,000원(*50,000원), 9面 以上은 面當 40,000원(*60,000원)을 納付한다. 研究支援機關을 表記하는 境遇에 100,000원을 追加 納付한다. (*긴급 게재시 적용)
21. 審査 通過된 論文 중 特別한 事情으로 긴급한 掲載가 필요한 경우에는 論文 掲載 順序가 當號에 該當되지 않아도 編輯委員會의 承認을 얻어 追加 掲載할 수 있다.(단, 추가 게재에 따른 경비는 저자가 부담한다.)
22. 採擇된 論文에 關된된 一切의 著作權(copyright)은 本學會에 歸屬되고 著者는 다음의 權利를 維持한다.
가. 著者는 論文의 一部를 다른 論文에 使用할 수 있다.
나. 著者 혹은 그의 所屬機關은 商業的인 目的이 아닌 경우, 著者 個人 用途 혹은 所屬機關 內部 用途로 論文을 재 印刷할 수 있다.
다. 著者 혹은 그의 所屬機關은 學會에서 論文이 出版되기 前에, 學會에서 出版豫定임이 明時된 論文의 一部 혹은 全部를 制限된 部數만큼 配布할 수 있다.
라. 論文이 大韓民國 政府 혹은 其他機關의 支援에 의한 研究結果인 경우, 學會는 政府 혹은 其他 機關이 無償으로 學會에 著作權을 移讓한 것으로 看做한다.