

論文 2001-38SC-5-7

# 직렬 복합 트랜지스터를 이용한 저전압 가변 트랜스컨덕터의 설계

## (Design of Low Voltage Linear Tunable Transconductors using the Series Composite Transistor)

尹暢焘\*, 劉永奎\*\*, 崔碩佑\*\*\*

(Chang Hun Yun, Young Gyu Yu, and Seok Woo Choi)

### 요 약

본 논문에서는 직렬 복합 트랜지스터를 이용한 저전압 선형 가변 트랜스컨덕터를 설계하였다. 직렬 복합 트랜지스터는 포화 영역에서 동작하는 트랜지스터와 선형 영역에서 동작하는 트랜지스터가 직렬 연결된 구조로 낮은 공급 전압에서도 넓은 입력 전압 범위를 갖는다. 설계된 트랜스컨덕터는 0.25 $\mu$ m CMOS n-well 공정 파라미터를 이용하여 HSPICE로 시뮬레이션한 결과 차단주파수는 309MHz 이고, 입력 신호 주파수가 10MHz일 때 1.5VP-P의 차동 입력에 대해 1.1%이하의 THD 특성을 갖는다.

### Abstract

In this paper, the low voltage linear tunable transconductors using the series composite transistor are presented. Due to the series composite transistor operating in the saturation region and the triode region, the proposed circuits have wide input range at low supply voltage. The designed transconductors have been simulated by HSPICE using 0.25 $\mu$ m n-well CMOS process. Simulation results show that the cutoff frequency is 309MHz and the THD of less than 1.1% can be obtained for the differential input signal of up to 1.5VP-P with the input signal frequency of 10MHz.

### I. 서 론

현재 CMOS 공정에서 트랜지스터의 최소 길이는 서브마이크론 이하로 감소되었다. 이러한 공정 기술의 발

전은 고집적화된 칩 제작으로 제품의 가격을 줄이고 시스템을 소형화 할 수 있는 장점을 갖지만 트랜지스터의 안정된 동작을 위해서는 공급 전압의 감소를 요구하고 있다<sup>[1]</sup>. 또한 아날로그 회로와 디지털 회로가 동일 칩상에서 집적화 되는 혼성모드 집적회로와 각종 개인용 무선통신 기기, 휴대용 컴퓨터 및 비디오 신호 처리 장치 등에서 저전압 회로 설계가 필요하다<sup>[2]</sup>. 이러한 공급 전압의 감소추세에 따라, 디지털 회로뿐만 아니라 아날로그 회로에서도 저전압으로 동작이 가능한 새로운 회로 구조에 대한 연구가 활발히 진행되고 있다<sup>[3]</sup>.

가장 기본적인 아날로그 블록중의 하나인 전압-전류 변환기 즉, 트랜스컨덕터는 OTA (operational transconductance amplifier), DDA(differential difference amplifier), neural network 등과 같은 아날로그 신호처리를 위한 회로에서 필수적인 블록이다<sup>[4-6]</sup>. 일반적으로

\* 正會員, 又石大學校 理工大學 情報通信컴퓨터工學部  
(Department. of Information and Communications Engineering, Woosuk University)

\*\* (주) 플래닛  
(PLANET)

\*\*\* 全北大學校 附屬 電氣電子回路合成研究所  
(Electrical Circuits and Systems Research Institute, Chonbuk National University)

※ 본 연구는 1999년 한국과학재단 특정기초연구비  
(1999-1-302-003-3) 지원에 의해 수행되었음.

接受日:2000년4월24일, 수정완료일:2001년6월22일

트랜스컨덕터는 바이폴라 회로 보다 비선형성의 제거가 쉽고 높은 입력 임피던스를 갖는 MOS 트랜지스터를 이용하여 설계하는데 MOS 트랜지스터의 높은 문턱전압 때문에 저전압 회로 설계가 어렵고 대부분 높은 공급 전압에서 설계되었다<sup>[7~9]</sup>. 또한 공급 전압이 감소함에 따라 선형 범위가 감소하고 속도 등이 저하되는 문제점을 갖는데 트랜스컨덕터의 성능을 개선하기 위한 여러 회로들이 제안되고 있다<sup>[10,11]</sup>.

본 논문에서는 직렬 복합 트랜지스터를 이용하여 2V의 낮은 공급 전압에서 넓은 선형 범위를 갖는 새로운 트랜스컨덕터를 설계한다. 설계된 트랜스컨덕터는 직렬 복합 트랜지스터의 게이트에 동일한 신호가 인가되는 구조로 선형 영역에서 동작하는 트랜지스터로 인해 입력 범위가 증가하게 된다.

본 논문의 구성은 제2장에서는 저전압 트랜스컨덕터를 설계하고 제3장에서는 0.25 $\mu$ m n-well CMOS 공정 파라미터를 이용하여 제안된 회로를 시뮬레이션하며 제4장에서 결론을 맺는다.

## II. 직렬 복합트랜지스터를 이용한 트랜스컨덕터 설계

그림 1은 COMFET(COMposite n-channel MOSFET) 트랜스컨덕터이다<sup>[9]</sup>. 그림 1에서 M1과 M2는 소스와 몸체(body)가 같은 절점에 연결되어 있다. 이와 같은 회로 구성은 p-well 또는 twin-well 공정에서만 가능하고 몸체를  $V_{SS}$ 로 연결하는 것보다 면적이 증가하고 레이아웃(layout)이 복잡해진다. 이러한 문제점을 해결하기

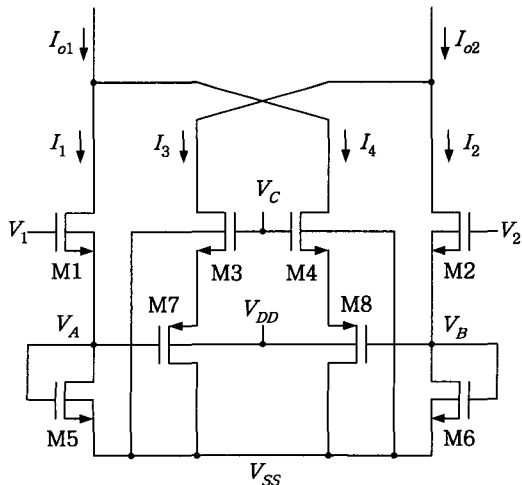


그림 1. COMFET 트랜스컨덕터  
Fig. 1. COMFET transconductor.

위해 M1과 M2의 몸체를  $V_{SS}$ 로 연결하면 M5와 M6이 다이오드 연결된 구조를 갖기 때문에 M1과 M2는 몸체 효과(body effect)에 의해 문턱 전압이 크게 증가하게 된다. 따라서 입력 전압  $V_1$ 과  $V_2$ 의 동작 영역이 감소하게 된다. 그림 1에서  $V_1$ 과  $V_2$ 의 최소 입력 전압은  $V_{T5,6} + V_{T1,2}$ 이다.

본 논문에서는 게이트에 동일한 신호가 인가되는 직렬 복합 트랜지스터<sup>[12]</sup>를 이용하여 그림 2와 같은 트랜스컨덕터를 설계하였다. 그림 2의 직렬 복합 트랜지스터에서 Ma2와 Mb2는 Ma1과 Mb1을 동작시키기 위해 선형 영역에서 동작하게 되고 Ma1과 Mb1은 포화 영역에서 동작하게 된다. 그리고 낮은 게이트 입력 전압에서 Ma2와 Mb2의 드레인 전압은 수십 mV까지 유지할 수 있다.

그림 2에서 Ma1과 Mb1의 몸체가 가장 낮은 전위인 접지에 연결되어 있지만 Ma2와 Mb2가 선형 영역에서 동작하기 때문에 몸체 효과에 의한 문턱 전압의 증가를 거의 무시할 수 있다. 또한 그림 1에서  $V_1$ 과  $V_2$ 의 최소 입력 전압은  $V_{T5,6} + V_{T1,2}$ 이지만 그림 2의 최소 입력 전압은  $V_T$ 이므로 입력 전압의 범위가 증가하게 된다.

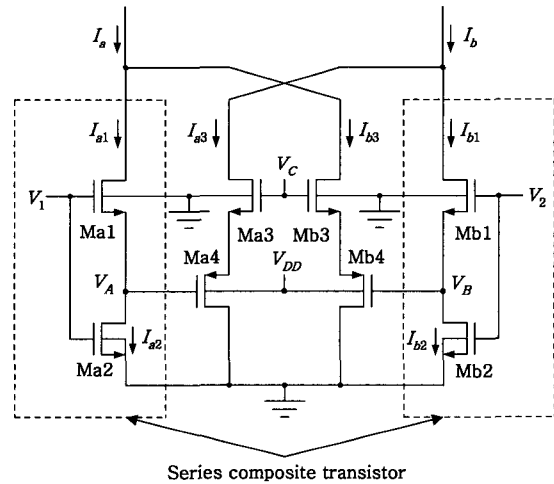


그림 2. 직렬 복합 트랜지스터를 이용한 제안된 트랜스컨덕터  
Fig. 2. The proposed transconductor using series composite transistor.

그림 2에서 트랜지스터 Ma1~Ma4와 Mb1~Mb4를 동일한 조건으로 설계하면  $K_{n1} \sim K_{n4}$ 이고  $K_{n2} = K_{n3} = K_{n4}$ 이다. 여기서  $K_n = \mu_n C_{ox} (W/L)$ 이고  $\mu_n$ 은 전자의

이동도,  $C_{ox}$ 는 산화물 커패시턴스,  $W$ 는 채널의 길이,  $L$ 은 채널의 폭이다. Ma1과 Mb1의 몸체 효과를 무시할 때 문턱 전압은  $V_{Tn1} = V_{Tn1} = V_{Tn2} = V_{Tn2} = V_{Tn}$ 이라고 가정하면 각 트랜지스터에 흐르는 전류는 다음과 같이 나타낼 수 있다.

$$I_{a1} = \frac{K_{n1}}{2} (V_1 - V_A - V_{Tn})^2 \quad (1)$$

$$I_{b1} = \frac{K_{n1}}{2} (V_2 - V_B - V_{Tn})^2 \quad (2)$$

$$I_{a2} = \frac{K_{n2}}{2} [(V_1 - V_{Tn})^2 - (V_1 - V_A - V_{Tn})^2] \quad (3)$$

$$I_{b2} = \frac{K_{n2}}{2} [(V_2 - V_{Tn})^2 - (V_2 - V_B - V_{Tn})^2] \quad (4)$$

$$I_{a3} = \frac{K_{eq}}{2} (V_C - V_A - V_{Teq})^2 \quad (5)$$

$$I_{b3} = \frac{K_{eq}}{2} (V_C - V_B - V_{Teq})^2 \quad (6)$$

그리고  $I_{a1}$ 과  $I_{a2}$ 가 일치하기 때문에 식 (1)과 (3)을 이용하여  $V_A$ 를 구할 수 있고  $V_B$ 도 식 (2)와 (4)를 이용하여 구할 수 있다.

$$V_A = K_T (V_1 - V_{Tn}) \quad (7)$$

$$V_B = K_T (V_2 - V_{Tn}) \quad (8)$$

여기서  $K_T = 1 - \sqrt{K_{n2}/K_{n1} + K_{n2}}$ 로 정의한다.

또한 식 (5)와 (6)에서  $K_{eq}$ 와  $V_{Teq}$ 는 복합 (composite) 트랜지스터<sup>[7]</sup> Ma3, Mb3과 Ma4, Mb4의 등가 트랜스컨덕턴스 파라미터와 문턱 전압이고 식 (9)와 (10)으로 나타낼 수 있다.

$$\frac{1}{\sqrt{K_{eq}}} = \frac{1}{\sqrt{K_{n3}}} + \frac{1}{\sqrt{K_{p4}}} \quad (9)$$

$$V_{Teq} = V_{Tn3} + |V_{Tp4}| \quad (10)$$

식 (9)의  $K_{eq}$ 를  $K_{eq} = K_{n1} = K_n$ 과 같은 조건이 되도록 설계하고 식 (7), (8)을 이용하여 출력전류  $I_{out}$ 을 구하면 식 (11)과 같다.

$$\begin{aligned} I_{out} &= I_a - I_b = I_{a1} - I_{b1} - I_{a3} + I_{b3} \\ &= \frac{K_n}{2} (V_1 - V_A - V_{Tn})^2 - \frac{K_n}{2} (V_2 - V_B - V_{Tn})^2 \\ &\quad - \frac{K_n}{2} (V_C - V_A - V_{Teq})^2 + \frac{K_n}{2} (V_C - V_B - V_{Teq})^2 \\ &= \frac{K_n}{2} (V_1 - V_2) [(1 - 2K_T)(V_1 + V_2 - 2V_{Tn}) \\ &\quad + 2K_T(V_C - V_{Teq})] \end{aligned} \quad (11)$$

식 (11)에서 완전 차동 입력이 인가 될 때 ( $V_1 = V_{cm} + v_{in}/2$ ,  $V_2 = V_{cm} - v_{in}/2$ , 여기에서  $V_{cm}$ 은 공통 모드 입력 전압,  $v_{in}$ 은 차동 입력 전압이다.) 트랜스컨덕턴스  $g_m$ 은 다음과 같이 주어진다.

$$\begin{aligned} g_m = \frac{I_{out}}{v_{in}} &= K_n [(1 - 2K_T)(V_{cm} - V_{Tn}) \\ &\quad + K_T(V_C - V_{Teq})] \end{aligned} \quad (12)$$

식 (12)로부터  $g_m$ 은  $V_{cm}$ 과 제어 전압  $V_C$ , 및  $K_T$ 로 결정된다.  $V_{cm}$ 과  $K_T$ 는 일정한 값을 갖기 때문에 트랜스컨덕턴스는 제어 전압  $V_C$ 로 조정이 가능하다. 또한 식 (11)에서  $K_T = 1/2$ 일 때  $g_m = K_n(V_C - V_{Teq})/2$ 로 나타낼 수 있다. 따라서 완전 차동 입력을 요구하지 않게 되어 단일 입력이 인가되어도 트랜스컨덕터로 동작하게 된다.

그리고 그림 2에서 복합 트랜지스터가 포화 영역 동작을 위해서는 제어 전압  $V_C$ 는 식 (13)과 같다.

$$V_C \geq V_{DS2, triode} + V_{Teq} = V_{DS2, triode} + V_{Tn3} + |V_{Tp4}| \quad (13)$$

여기서  $V_{Teq}$ 는 식 (10)의 복합 트랜지스터의 등가 문턱 전압으로 NMOS 트랜지스터와 PMOS 트랜지스터의 문턱 전압의 합이며 단일 트랜지스터에 비해 높은 문턱 전압을 갖게 되어 저전압 회로에 적합하지 않다.

이러한 단점을 보완하기 위해 저전압 복합 트랜지스터<sup>[3]</sup>를 이용한 새로운 형태의 트랜스컨덕터를 그림 3에 제시하였다. 그림 3의 저전압 복합 트랜지스터에서 Ma3, Mb3, Ma4, Mb4는 그림 2의 복합 트랜지스터와 같고 다이오드 연결된 레벨 시프트 트랜지스터 Ma5, Mb5와  $I_B$ 에 의해 문턱 전압이 감소하게 된다. 포화 영역에서 동작하기 위한 제어 전압  $V_C$ 는 다음과 같다.

$$V_C \geq V_{DS2, triode} + V_{Teq} = V_{DS2, triode} + |V_{Tp4}| - \sqrt{\frac{2I_B - I_3}{K_{n5}}} \quad (14)$$

식 (14)에서 바이어스 전류  $I_B$ 에 따라 제어 전압  $V_C$ 의 동작 범위가 결정된다.  $I_3 = 2I_B$ 라고 가정하면  $V_C \geq V_{DS2, triode} + |V_{Tp4}|$ 이므로 식 (13)과 비교하여  $V_{Tn}$ 만큼 동작 범위가 증가한다.

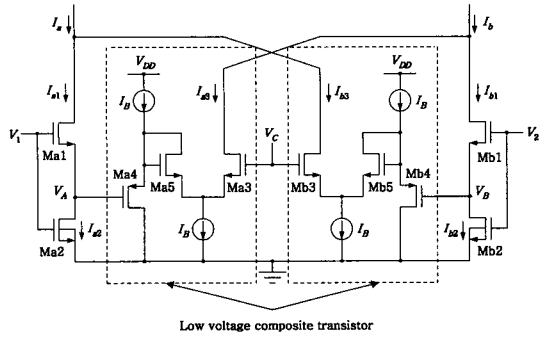


그림 3. 저전압 복합 트랜지스터를 이용한 제안된 트랜스컨덕터  
 Fig. 3. The proposed transconductor using low voltage composite transistor.

III. 시뮬레이션 결과

제안된 회로는 0.25 $\mu$ m CMOS n-well 공정파라미터를 이용하여 HSPICE로 시뮬레이션 하였다. NMOS와 PMOS 트랜지스터의 문턱전압  $V_{Tn}=0.556V$ ,  $V_{Tp}=0.609V$ 이다.

식 (12)의 출력 전류는  $K_{n1}=K_{eq}$  조건에서 얻어졌다. 일반적인 방법은 식 (9)의 복합트랜지스터에서  $K_{\mu 1}$   $K_{\mu 3}$ 으로 하여  $K_{n1}=K_{eq} \approx K_{\mu 3}$ 가 되도록 설계한다<sup>[9]</sup>. 이와 같은 방법은 복합트랜지스터에서 이동도가 낮은 PMOS 트랜지스터 Ma4, Mb4의 외형비(aspect ratio)를 NMOS 트랜지스터 Ma3, Mb3의 외형비보다 크게 해야 하므로 넓은 면적을 요구하고 주파수 특성을 저하시킨다. 따라서 면적, 주파수 특성과 출력 전류의 선형성 사이에 trade-off 관계가 존재하므로 적절한 크기의 트랜지스터의 선택이 필요하다. 표 1은 제안된 트랜스컨덕터의 트랜지스터 크기이다.

표 1. 제안된 트랜스컨덕터의 트랜지스터 크기  
 Table 1. Transistor sizes of the proposed transconductor.

Transistor	Type	Dimensions	
		W( $\mu$ m)	L( $\mu$ m)
Ma1, Mb1	NMOS	1	2
Ma3, Mb3	NMOS	1	2
Ma2, Mb2	NMOS	1	6
Ma4, Mb4	PMOS	10	0.25

그림 2에 제안된 트랜스컨덕터는 2.5V 공급 전압에서 부하 저항을 10k $\Omega$ 으로 하여 시뮬레이션 하였다.

그림 4는 그림 2에서 제안한 트랜스컨덕터의 DC 특성으로 입력 전압  $V_1 - V_2$ 를 -1.5V에서 +1.5V까지 차동 입력을 인가할 때 제어 전압  $V_C$ 가 2.0V, 2.1V, 2.2V, 2.3V, 2.4V일 때의 출력 전류를 나타내고 있다.

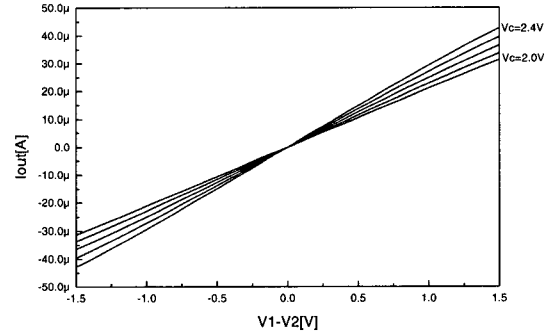


그림 4. 제안된 트랜스컨덕터(그림 2)의 DC 특성  
 Fig. 4. DC characteristics of the proposed transconductor(Fig. 2).

그림 5는 그림 2에서 제안한 트랜스컨덕터에  $V_1 - V_2$ 의 입력으로 10MHz의 sine파를 인가하고 제어 전압  $V_C$ 에 따라 시뮬레이션된 THD 특성이다.  $V_1 - V_2$ 가 1.5V<sub>P-P</sub>일 때 모든  $V_C$ 값에 대해서 THD는 1.1% 미만임을 확인할 수 있다.

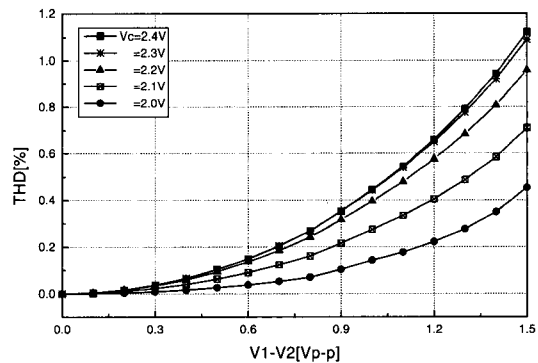


그림 5.  $V_1 - V_2 [V_{P-P}]$ 의 변화에 따른 THD  
 Fig. 5. THD as a function of  $V_1 - V_2 [V_{P-P}]$ .

그림 3에 제안된 트랜스컨덕터는 2V 공급 전압에서 부하 저항을 5k $\Omega$ 으로 하였고 저전압 복합 트랜지스터의 바이어스 전류  $I_B$ 는 100 $\mu$ A, 트랜지스터 Ma5, Mb5의 트랜지스터의 크기는  $L=0.25\mu$ m,  $W=10\mu$ m로 시뮬레

이선 하였다.

그림 6은 그림 3에서 제안된 트랜스컨덕터의 DC 특성으로 입력 전압  $V_1 - V_2$ 를  $-1.5$ 에서  $+1.5$ 까지 차동 입력을 인가할 때 제어 전압  $V_C$ 가 1.5V, 1.6V, 1.7V, 1.8V, 1.9V일 때의 출력 전류를 나타내고 있다.

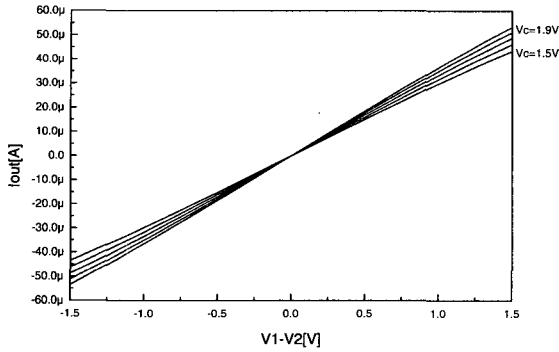


그림 6. 제안된 트랜스컨덕터(그림 3)의 DC 특성  
Fig. 6. DC characteristics of the proposed transconductor(Fig. 3).

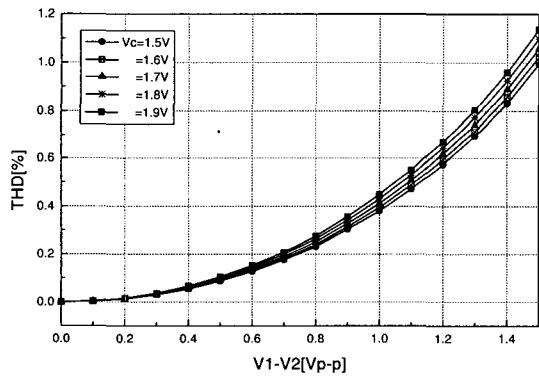


그림 7.  $V_1 - V_2 [V_{P-P}]$ 의 변화에 따른 THD  
Fig. 7. THD as a function of  $V_1 - V_2 [V_{P-P}]$ .

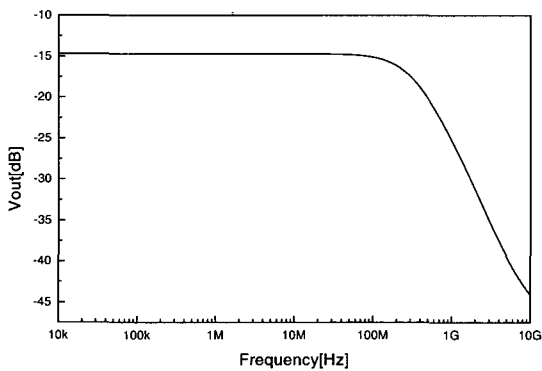


그림 8. 제안된 트랜스컨덕터(그림 3)의 AC 특성  
Fig. 8. AC characteristics of the proposed transconductor(Fig. 3)

그림 3에서 제안된 트랜스컨덕터의 제어 전압  $V_C$ 에 따른 THD 특성을 그림 7에 제시하였다.  $V_1 - V_2$ 에 10MHz의 sine파를 입력으로 인가하고 모든 제어 전압에 대해서  $V_1 - V_2$ 가  $1.5V_{P-P}$ 에서 THD는 1.1%미만이다. 또한 그림 3에 제안된 트랜스컨덕터의 AC 특성을 그림 8에 제시하였고 부하 저항과 커패시터는  $5k\Omega$ ,  $0.1pF$ 이며  $V_C$ 가 1.9V일 때 차단주파수는 309MHz이다.

그리고 표 2는 제안된 트랜스컨덕터의 시뮬레이션 결과이다.

표 2. 제안된 트랜스컨덕터의 시뮬레이션 결과  
Table 2. Simulation results of the proposed transconductors.

	The proposed transconductor of Fig. 2	The proposed transconductor of Fig. 3
Power supply voltage	2.5V	2V
Control voltage( $V_C$ )	2.4V	1.9V
THD( $1.5V_{P-P}$ )	< 1.1%	< 1.1%
Power dissipation	83 $\mu$ W	790 $\mu$ W
Cutoff frequency	151MHz	309MHz

표 3은 본 논문에서 제시한 참고문헌과 제안된 트랜스컨덕터의 성능을 비교하였다. 제안된 회로는 기존의 회로와 비교하여 낮은 공급 전압에서 동작하면서도 넓은 입력 선형 범위를 갖는다.

표 3. 트랜스컨덕터의 특성 비교  
Table 3. Performance comparison of transconductors.

	Power supply voltage [V]	Input range	Input signal Frequency	THD (%)
This paper	2V	$\pm 1.5V_{P-P}$	10MHz	< 1.1%
[7]	$\pm 5V$	$\pm 2.4V_{P-P}$	1KHz	< 0.2%
[8]	$\pm 5V$	$\pm 6V_{P-P}$	1KHz	< 1%
[9]	$\pm 5V$	$\pm 4V_{P-P}$	1KHz	0.776%
[10]	3V	$\pm 0.8V_{P-P}$	10MHz	< 0.158%
[11]	3V	3V	100KHz	< 1.2%

## IV. 결 론

기존의 COMFET 트랜스컨덕터는 다이오드 연결된 트랜지스터의 사용으로 저전압 회로에 적용하기 어렵고 트랜지스터의 소스와 몸체를 연결함으로써 집적회로 공정 기술상의 제한을 받는다. 이러한 문제점을 해결하기 위해 본 논문에서는 직렬 복합 트랜지스터를 이용한 트랜스컨덕터를 제안하였다. 직렬 복합 트랜지스터는 포화 영역에 동작하는 트랜지스터와 선형 영역에서 동작하는 트랜지스터가 직렬 연결된 구조로 낮은 공급 전압에서도 넓은 입력 전압 범위를 갖는다. 또한 제안된 트랜스컨덕터는 제어 전압에 의해 출력 전류의 가변이 가능하였다. 제안된 트랜스컨덕터는 2V 공급전압에서 0.25 $\mu\text{m}$  CMOS n-well 공정 파라미터를 이용하여 HSPICE로 시뮬레이션 하였고, 그 결과 입력 신호 주파수가 10MHz일 때 1.5V<sub>p-p</sub>의 차동 입력 전압에 대해 1.1% 이하의 THD 특성을 보였으며 전력소모는 790  $\mu\text{W}$ , 차단주파수는 309MHz로 우수함을 입증하였다. 따라서 제안된 트랜스컨덕터 회로는 저전압, 고주파수 동작이 요구되는 multiplier, Gm-C필터 등과 같은 아날로그 회로에 응용될 수 있다.

## 참 고 문 헌

- [1] J. E. Chung, M. C. Jeng, J. E. Moon, P. K. Ko, and C. Hu, "Performance and reliability design issue for deep-submicrometer MOSFET's," *IEEE Transactions on Electron Devices*, vol. 38, pp. 545-554, March, 1991.
- [2] J. Y. Michel, "High-performance analog cells in mixed-signal VLSI: problems and practical solutions," *Analog Integrated Circuits and Signal Processing*, vol. 1, pp. 171-182, November, 1991.
- [3] V. I. Prodanov, and M. M. Green, "Design Techniques and Paradigms Toward Design of Low-Voltage CMOS Analog Circuits," *Proc. IEEE Int. Symp. on Circuits and Systems*, pp. 129-132, 1997.
- [4] M. I. Ali, M. Howe, E. Sanchez-Sinencio, and J. Ramirez-Angulo, "A BiCMOS low distortion tunable OTA for continuous-times filters," *IEEE Trans. Circuits and Systems - I*, vol-40, pp. 43-49, 1993.
- [5] S. C. Huang, M. Ismail, and S. R. Zarabadi, "A wide range differential difference amplifier: a basic block for analog signal processing," *IEEE Trans. Circuits and Systems - II*, vol. 40, pp. 289-301, 1993.
- [6] M. A. Tan, "Synthesis of artificial neural networks by transconductor only," *J. Analog Integrated Circuits and Signal Processing*, vol. 1, pp. 339-351, 1991.
- [7] E. Seevinck and R. F. Wassenaar, "A Versatile CMOS linear transconductor/ square-law function circuit," *IEEE J. Solid-State Circuits*, vol. SC-22, no. 3, pp. 336-377, 1987.
- [8] C. S. Kim, Y. H. Kim, and S. B. Park, "New CMOS Linear transconductor," *Electron. Lett.*, vol. 28, pp. 1962-1964, 1992.
- [9] S. C. Huang and M. Ismail, "Linear tunable COMFET transconductor," *Electron. Lett.*, vol. 29, pp. 459-461, 1993.
- [10] P. Likittanapong, A. Worapishet, and C. Toumazou, "Linear CMOS transconductor for low voltage applications," *Electron. Lett.*, vol. 34, pp. 1124-1125, June 1998.
- [11] C. H. Lin, M. Ismail, and T. Pimenta, "A 1.2V Micropower CMOS class-AB V-I converter for VLSI cells library design," *Proc. IEEE Midwest. Symp. on Circuits and Systems*, pp. 364-367, 1999.
- [12] M. Ismail and Terri Fiez, "Analog VLSI Signal and Information Processing," pp. 49-50, McGraw Hill, 1993.
- [13] A. Hyogo, C. Hwang, M. Ismail, and K. Sekin, "LV/LP CMOS square-law circuits," *Proc. IEEE Midwest. Symp. on Circuits and Systems*, pp. 1181-1184, 1998.

---

저 자 소 개

---

尹暢焘(正會員) 第 37 卷 SC編 第 4 號 參照

현재 우석대학교 이공대학 정보통신컴퓨터공학부 조교수

崔碩佑(正會員) 第 37 卷 SC編 第 4 號 參照

현재 전북대학교 부속 전기전자회로합성연구소 조교수

劉永奎(正會員) 第 37 卷 SC編 第 4 號 參照

현재 (주) 플레넷 주임연구원