

論文2001-38SC-3-5

새로운 저전력 전가산기 회로 설계

(A Novel Design of a Low Power Full Adder)

姜聲泰*, 朴成熙*, 趙慶錄*, 劉泳甲*

(Sungtae Kang, Seonghee Park, Kyoungrok Cho, and Younggap You)

요약

본 논문에서는 10개의 트랜지스터를 이용한 새로운 저전력 전가산기의 회로를 제안한다. 회로는 six-transistor CMOS XOR 회로를 기본으로 하여 XOR 출력뿐만 아니라 XNOR 출력을 생성하며, 전가산기를 구성하는 트랜지스터의 수를 줄임과 동시에 단락회로를 없앴으로써 저전력 설계에 유리하게 하였다. 실측 회로의 크기 평가를 위해서 0.65 μm ASIC 공정으로 의해 레이아웃을 하고, HSPICE를 이용해서 시뮬레이션을 하였다. 제안한 가산기의 셀을 이용하여 2bit, 8bit 리플 캐리 가산기를 구성하여 소비 전력, 지연 시간, 상승시간, 하강시간에 대한 시뮬레이션 결과로 제안한 회로를 검증하였다. 25MHz부터 50MHz까지의 클럭을 사용하였다. 8bit 리플 캐리 전가산기로 구현하였을 때의 소모되는 전력을 살펴보면 기존의 transmission function full adder (TFA) 설계보다는 약 70% 정도, 그리고 14개의 transistor (TR14)[4]를 쓰는 설계보다는 약 60% 우수한 특성을 보이고 있다. 또한 신호의 지연시간은 기존의 회로 TFA, TR14보다 1/2배 정도 짧고, 신호의 상승시간과 하강 시간의 경우는 기존 회로의 2~3배 정도 빠르게 나타났다.

Abstract

In this paper, a novel low power full adder circuit comprising only 10 transistors is proposed. The circuit is based on the six-transistor CMOS XOR circuit, which generates both XOR and XNOR signals and pass transistors. This adder circuit provides a good low power characteristics due to the smaller number of transistors and the elimination of short circuit current paths. Layouts have been carried out using a 0.65 μm ASIC design rule for evaluation purposes. The physical design has been evaluated using HSPICE at 25MHz to 50MHz. The proposed circuit has been used to build 2bit and 8bit ripple carry adders, which are used for evaluation of power consumption, time-delay and rise and fall time. The proposed circuit shows substantially improved power consumption characteristics, about 70% lower than transmission gate full adder (TFA), and 60% lower than a design using 14 transistors (TR14). Delay and signal rise and fall time are also far shorter than other conventional designs such as TFA and TR14.

I. 서론

덧셈은 기본적인 산술 연산으로서, 산술 연산 시스템 전체의 속도 및 소모전력에 결정적인 역할을 한다. 단

일 비트 전가산기의 성능을 향상시키는 문제는 시스템 성능 향상의 기본적인 요소인 것이다. 현재 VLSI 시스템에서 사용되는 가산회로는 일반적인 CMOS 전가산기(The Conventional CMOS full adder)와 TFA(The Transmission Function Full Adder)이다^[1,2]. 여기에 제시된 회로는 대부분이 전력 소비의 근원중의 하나인 단락 회로를 감소시킴으로써 개선된 것이다. 그림 1은 전송 게이트와 인버터를 기본으로 20개의 트랜지스터를 사용해서 전가산기를 구성한 일반적인 전가산기를

* 正會員, 忠北大學校 情報通信工學科

(Dept. Computer and Communication Eng, Chungbuk National University)

接受日字:2000年8月8日, 수정완료일:2001年3月5日

보여주고 있다. 이것은 인버터에서 발생하는 4개의 단락회로가 존재하는데 전체 전력소비에 많은 비중을 차지하고 있다. 그림 2는 전송 기능원리를 적용하여 16개의 트랜지스터를 사용해서 구성한 TFA를 보여주고 있다. 이 회로의 경우, 전원과 접지 사이에 두 개의 단락 경로가 존재한다. 또한 부하를 구동시키기 위한 상보대칭 구조뿐만 아니라 풀업, 풀다운 구조를 모두 사용한다.

이제까지 발표된 논문에서 TFA가 일반적인 전가산기보다 전력소비 관점에서 더 좋은 성능을 가지고 있음을 증명해왔다^[3-5]. 그러나 여전히 단락회로가 존재하므로 이를 감소시키려는 연구가 계속되었고, 그 중 하나가 그림 3에 나타낸 14트랜지스터 전가산기이다 (Tr14 FA)^[3]. 그림 3에서 볼 수 있듯이 앞에서 설명된 두 전가산기에 존재하는 4개, 2개의 단락회로를 1개로 줄임으로써 소비 전력 면에서 우수함을 주장하고 있으며, 이 회로는 TFA와 유사하게 부하를 구동시키기 위해서 상보대칭형 구조를 사용하고 있다. 그림 4는 최근

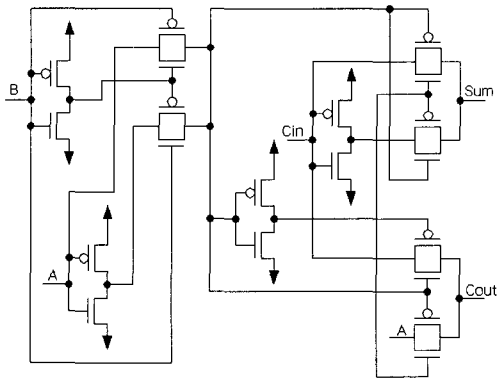


그림 1. 콘벤셔널 CMOS 전가산기
Fig. 1. Conventional CMOS full adder.

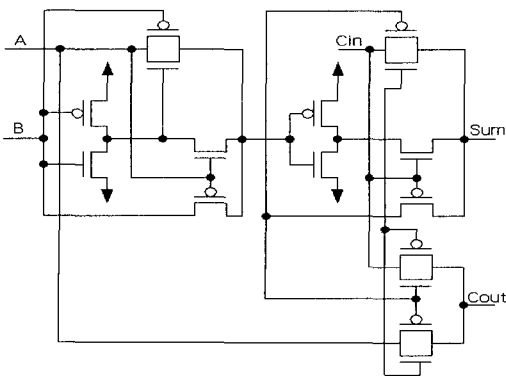


그림 2. 트랜스미션 전가산기^[2]
Fig. 2. Transmission full adder(TFA)^[2]

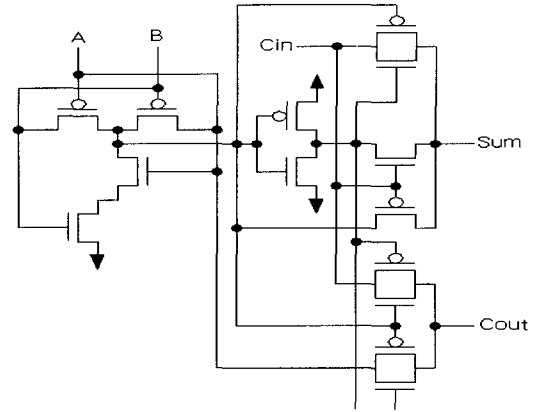


그림 3. 14개의 트랜지스터를 이용한 전가산기^[3]
Fig. 3. A full adder with 14 transistors(Tr14.)^[3]

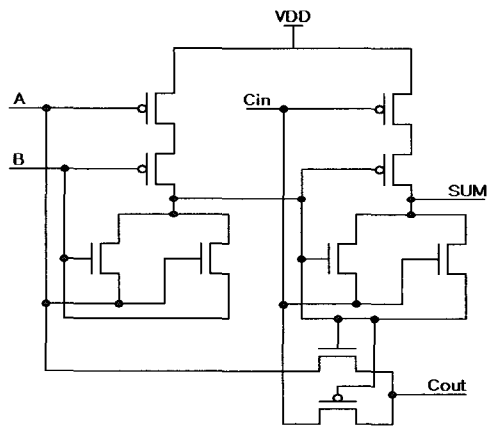


그림 4. 새로운 정적 에너지 복원 전가산기^[4]
Fig. 4. The new static energy recovery full adder(SERF)^[4]

에 발표된 저전력이며 적은 개수의 트랜지스터를 사용한 SERF(Static energy recovery full adder)회로로, 위에서 언급한 가산기들보다 전력 소비, 실리콘 면적, 그리고 지연시간에서 뛰어난 성능을 보여주고 있다^[4].

전가산기의 경우는 상보형 XOR 회로가 많이 사용된다. 일반적으로 4개의 트랜지스터를 사용한 패스-트랜지스터 회로 XOR 함수의 구현을 살펴보면, 입력 신호가 A=B=0인 경우, 출력에 문턱전압 강하가 일어나서 감소된 출력 전압이 얻어진다. 따라서 풀-스윙(full-swing) 출력을 얻기 위해서 제안되는 회로들은 4개나 5개의 트랜지스터가 사용되고, 부가적으로 보수 입력을 필요로 하므로 전체 회로에 요구되어지는 트랜지스터의 수는 증가하게 된다.

본 논문에서는 앞단에서는 풀-스윙을 하는 XOR회로와 뒷단에서는 감소-스윙을 하는 패스 트랜지스터 회

로를 결합하며 전원과 접지 사이에 단락 회로가 없고 10개의 트랜지스터로 구성하는 새로운 저전력 전가산기 회로를 제안하였다. 본 논문의 구성은 다음과 같다. 제 II 장에서는 제안하는 전가산기의 구조, 동작 그리고 특성에 대해 설명하였고, 제 III 장에서는 제안한 회로의 일반적인 특성 및 전력에 관한 시뮬레이션 결과를 II 장에서 설명된 가산기들과 비교되었고, 마지막으로 제 IV 장에서는 결론을 맺는다.

II. 제안한 전가산기 회로

일반적인 전가산기의 연산을 기술하면 다음과 같다.

$$Sum = (A \oplus B) \oplus Cin \quad (1)$$

$$Cout = A \cdot B + Cin \cdot (A \oplus B) \quad (2)$$

전가산기는 두 개의 1비트 외부 입력(A, B)과 1비트 캐리 입력(Cin)으로 합(Sum), 캐리출력(Cout)을 계산한다. 식 (1),(2)에서 볼 수 있듯이 가산기의 출력은 각각의 입력에 대한 XOR(\oplus)항이 포함된다.

제안하는 전가산기 회로는 그림 5와 같이 크게 세 부분으로 구성되어 있다. 먼저 $A \oplus B$ 회로 부분은 STCXC (Six Transistor CMOS XOR Circuit)^[6]을 채택하였다. 이것은 두 외부 입력을 받아 XOR 출력과 XNOR 출력 신호를 생성한다. 그림 5의 Cout 출력 회로 부분은 두 개의 트랜지스터를 사용하여 캐리 아웃을 생성하고, Sum 출력 회로 부분은 출력 합을 생성하며, 역시 두 개의 트랜지스터로 구성되어 있다.

출력 캐리아웃과 합을 생성하는 부분의 동작을 살펴 보면 다음과 같다. 먼저 캐리아웃을 생성하는 구조는 A, Cin이 패스 트랜지스터에 입력되고, $A \oplus B$ 회로 부분의 XOR 출력이 게이트를 제어하는 인에이블 신호로 사용된다. 예를 들면, XOR의 값이 1인 경우, 식 (2)에서 $A \cdot B$ 항은 항상 0의 값을 갖게 된다. 따라서 식 (2)는 $A \oplus B=1$ 에 대해서 다음과 같이 표현될 수 있다.

$$Cout = Cin \cdot (A \oplus B) = Cin \quad (3)$$

결국, 출력 Cout의 값은 입력 신호 Cin이 된다. 반대로 XOR 출력의 값이 0인 경우, 식 (2)에서 $Cin \cdot (A \oplus B)$ 항은 항상 0의 값을 갖게 된다. 따라서 식 (2)는 $A \oplus B=0$ 에 대해서 다음과 같이 표현될 수 있다.

$$Cout = A \cdot B = A = B \quad (4)$$

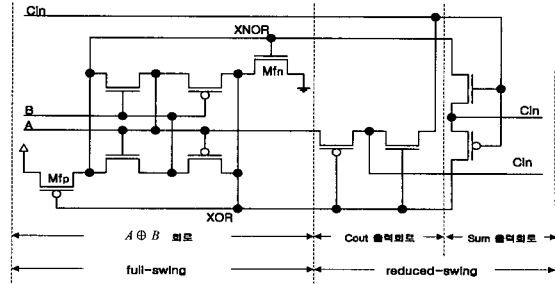


그림 5. 10개의 트랜지스터를 사용한 제안된 전가산기 Fig. 5. The proposed full adder with 10 transistors

결국, 출력 Cout의 값은 $A \oplus B=0$ 일 때 A와 B가 동일한 값이므로 출력이 입력 신호 A 혹은 B가 된다. 다음으로, 합을 생성하는 구조는 한 개의 입력(Cin)을 인에이블 신호로 사용하며, 이를 통해서 $A \oplus B$ 회로 부분에서 생성하는 XOR 출력과 XNOR 출력 신호 값을 합으로 보낸다. 예를 들면, 신호 Cin의 값이 1이면, 식 (1)은 Cin=1에 대해서 다음과 같이 표현될 수 있다.

$$Sum = \frac{(A \oplus B)}{(A \oplus B)} \cdot Cin = Cin \quad (5)$$

따라서 출력 Sum의 값은 XNOR가 출력되고, 반대로 신호 Cin의 값이 0이면, 식 (1)은 Cin=0에 대해서 다음과 같이 표현될 수 있다.

표 1. 캐리아웃과 합의 생성 동작 Table 1. The generation activity of carry-out and sum.

A	B	$A \oplus B$	$\overline{A \oplus B}$	Cin	Cout	Sum
0	0	0	1	0	0	0
0	1	1	0	0	0	1
1	0	1	0	0	0	1
1	1	0	1	0	1	0
0	0	0	1	1	0	1
0	1	1	0	1	1	0
1	0	1	0	1	1	0
1	1	0	1	1	1	1

$$Sum = (A \oplus B) \cdot \overline{Cin} = (A \oplus B) \quad (6)$$

따라서 출력 Sum의 값은 회로의 XOR 값이 출력된다. 표 1은 캐리아웃과 합을 생성하는 전체의 동작을 나타낸다.

그림 5에 나타난 제안하는 회로에서 $A \oplus B$ 회로는 캐리아웃을 생성할 경우 인에이블 신호로 사용되고, 합

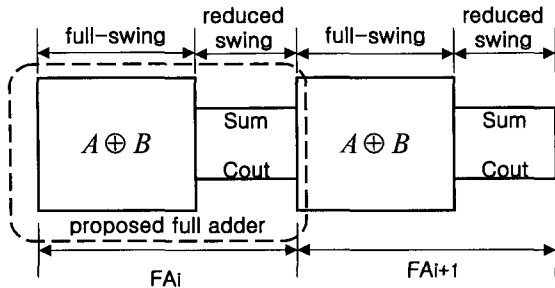


그림 6. 제안한 전가산기를 이용한 곱셈기의 구성 예
Fig. 6. The sample of multiplier using proposed full adder.

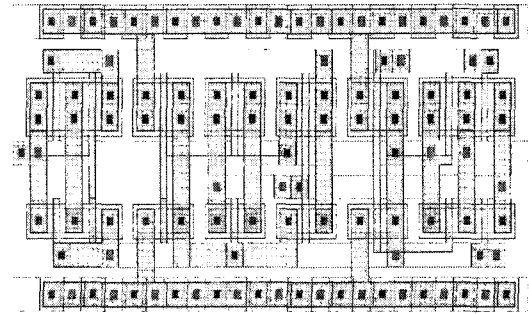
을 생성할 경우 입력 신호로 사용되며 동작 특성을 살펴보면 다음과 같다. 이 회로는 동일한 상보 크로스 커플된 pMOS 구조와 보수 값 만들기 위한 상보 크로스 커플된 nMOS 구조를 가진다. 그림 5에서는 XOR 회로의 귀환 회로인 M_{fn} 과 M_{fp} 를 사용하여 출력감소가 일어나는 $A \oplus B = 0$ 입력 조건에서도 XOR 및 XNOR 노드의 출력을 풀스윙 끌어올려 전가산기 앞단의 문턱전압 손실을 보상한다. 귀환구조는 다른 XOR 게이트들과 비교할 때, 최대 동작 주파수의 범위가 적으므로^[6], 구성된 트랜지스터들은 적당한 aspect ratio를 가져야 한다. 본 논문에서는 구동회로를 얻기 위해서 공정 파라미터를 적용한 계산 결과로 트랜지스터 크기를 결정하였다.

제안한 회로구조는 전단에서 풀스윙이 일어나고 출력단에서 스윙감소가 발생하는 회로로 곱셈기 등에 활용시는 그림 6의 구조가 된다. 따라서 신호전달이 반복적으로 복원 및 감소가 일어나는 지연을 줄일 수 있어 [9]에 제안한 출력단에 전송게이트를 사용한 회로보다 면적 및 소비전력면에서 유리하다.

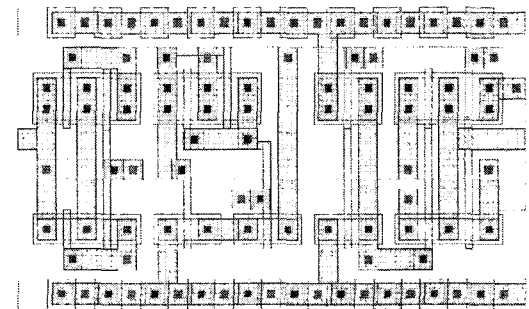
III. 레이아웃 및 시뮬레이션 결과 분석

그림 7은 제안한 전가산기와 비교 대상 전가산기 회로를 0.65 μm ASIC 공정으로 레이아웃한 결과이다. 레이아웃을 통한 실리콘 면적과 레이아웃에서 추출된 전체 노드 캐패시턴스가 표 2에 나타나있다. 표 2에서 볼 수 있듯이, 제안한 새로운 전가산기 셀의 실리콘 면적은 TFA, Tr14와 비교해 볼 때 각각 47%, 42% 감소되었고, 이는 대략 1.5배의 실리콘 면적의 이익을 의미한다. 또한 전체 캐패시턴스를 살펴보면, TFA, Tr14의 캐패시턴스가 제안한 셀에 비해 각각 50.2%, 26.4%

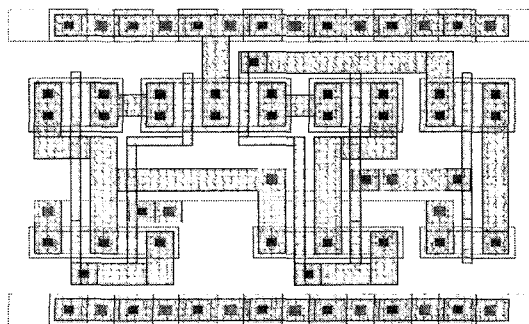
많은 값을 가짐을 알 수 있다. 그러나 SERF의 경우에 실리콘 면적이 제안한 회로보다 큼에도 불구하고 전체 캐패시턴스는 5.6%가량 적은 것은 오차 범위로 생각된다.



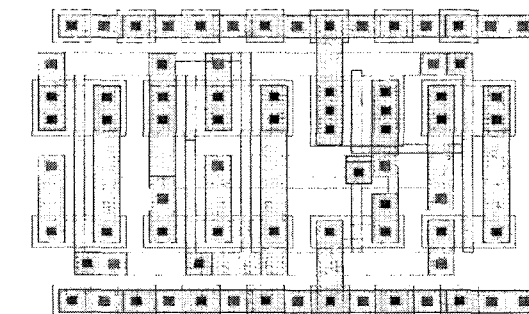
TFA cell(54.7 $\mu\text{m} \times 24.4\mu\text{m}$)



Tr14 cell(47.55 $\mu\text{m} \times 27\mu\text{m}$)



SERF cell(35.9 $\mu\text{m} \times 26\mu\text{m}$)



The proposed cell(35.8 $\mu\text{m} \times 25.5\mu\text{m}$)

그림 7. 전가산기들의 레이아웃
Fig. 7. The layout of full adders.

표 2. 실리콘 면적과 전체 캐패시턴스
Table 2. The area of silicon and total capacitances.

Type	Silicon Area (μm^2)	Total Capacitances(fF)
TFA	1334.68	95.5
Tr14	1283.85	80.4
SERF	933.4	60.2
Proposed	912.9	63.6

디지털 CMOS 회로에서 소비 전력은 크게 세 가지로 나눌 수 있다. 첫째는 트랜지스터가 스위칭 될 때 회로의 캐패시턴스의 충·방전으로 인한 스위칭 소비 전력, 둘째는 P-type과 N-type의 트랜지스터가 동시에 활성화되었을 때 전원부에서 접지로 단락회로 전류가 흐름으로써 소비되는 단락 회로 소비전력, 그리고 전체 전력 소비에서 차지하는 비중은 미약하지만, 누설 전류에 의해서 생기는 누설 전력으로 구분된다. 이를 요약한 것이 다음의 수식으로 정리될 수 있다.^[8]

$$P_{total} = P_{switching} + P_{short-circuit} + P_{leakage}$$

$$= \sum_i V_{DD} \cdot V_{swing} \cdot C_{load} \cdot f \cdot P_i + V_{DD} \sum_i I_{i,sc} + V_{DD} \cdot I_l \quad (7)$$

여기서 V_{DD} 는 공급 전압이고, V_{swing} 은 출력의 전압 스윙, C_{load} 는 노드 i 에 대한 출력 부하 캐패시턴스, f 는 시스템 클럭 주파수, P_i 는 노드 i 에서 스위칭 동작, $I_{i,sc}$ 는 노드 i 에서 단락 회로 전류, 그리고 I_l 는 누설 전류이다. 따라서 제안한 회로의 노드 캐패시턴스의 감소는 주어진 식 (7)의 소비전력을 감소시킬 수 있다.

앞에서 언급한 가산기들(그림 2, 3, 4, 5)을 두 개의 2bit, 8bit 리플캐리 가산기로 구성하였고, HSPICE에 의해서 160ns 동안 25MHz부터 50MHz까지 그리고 temp=25°C에서 시뮬레이션을 수행하였다. 또한 [7]과 동일한 테스트 패턴을 이용해서 시뮬레이션을 수행하였다. 그림 5에서 Mf_p 의 W/L은 $4.8\mu\text{m}/0.7\mu\text{m}$ 이고, Mf_n 의 W/L은 $1.2\mu\text{m}/0.7\mu\text{m}$ 이다. 그리고 나머지 pMOS는 모두 $3.6\mu\text{m}/0.7\mu\text{m}$ 이고, nMOS는 $1.8\mu\text{m}/0.7\mu\text{m}$ 이다. 그림 8은 실제적인 시뮬레이션의 회로로 입력단에 버퍼가 추가되었다. 그림 9는 제안하는 회로의 시뮬레이션으로 XOR, XNOR노드가 풀스윙으로 얻어지고 뒷단은 스윙이 감소됨을 알 수 있다. 그림 10은 그림 8의 입출력에 버퍼를 추가하여 회로의

시뮬레이션 파형을 보여주고 있다.

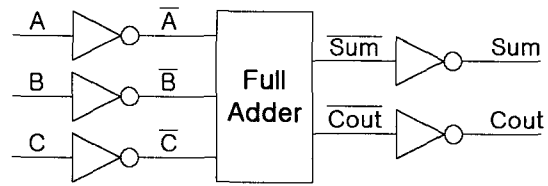


그림 8. 시뮬레이션 셋업
Fig. 8. Simulation setup.

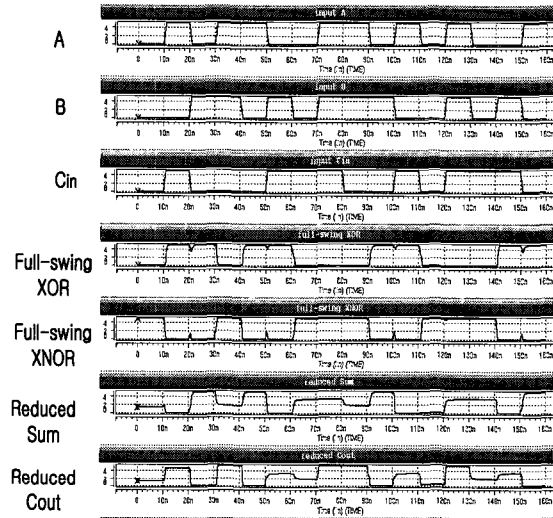


그림 9. 버퍼를 사용하지 않은 제안한 전가산기의 시뮬레이션 파형
Fig. 9. Simulation of proposed cell.

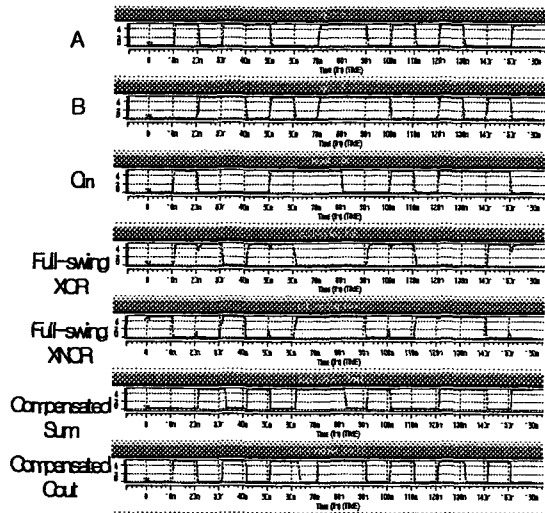


그림 10. 버퍼를 사용한 제안한 전가산기의 시뮬레이션 파형
그림 10. Simulation of proposed cell through simulation setup.

표 3. 2bit RCA(Ripple Carry Adder) 시뮬레이션(Vdd=3.3V, 50MHz)

Table 3. The 2-bit RCA simulation result ((Vdd=3.3V, 50MHz).

	TFA	Tr14	SERF	Proposed
Delay Time (ns)	1.40	1.20	0.65	0.80
Rise Time (ns)	0.12	0.15	0.12	0.10
Fall Time (ns)	0.23	0.20	0.1	0.12
Avg. Power($10^{-4}W$)	5.97	5.71	4.43	5.08
Tr. Count (ea)	16	14	10	10

표 4. 8bit RCA(Ripple Carry Adder) 시뮬레이션(Vdd=3.3V)

Table 4. The 8-bit RCA simulation(Vdd=3.3V).

		TFA	Tr14	SERF	Proposed
POWER ($10^{-3}W$)	50MHz	2.75	2.43	1.82	1.57
	40MHz	2.50	2.38	1.7	1.43
	25MHz	1.93	2.05	1.54	1.19
Time Delay(ns)		1.64	2.00	1.4	1.20
Rise Time(ns)		0.81	1.16	0.7	0.50
Fall Time(ns)		0.22	0.15	0.18	0.12

주파수별 소비전력

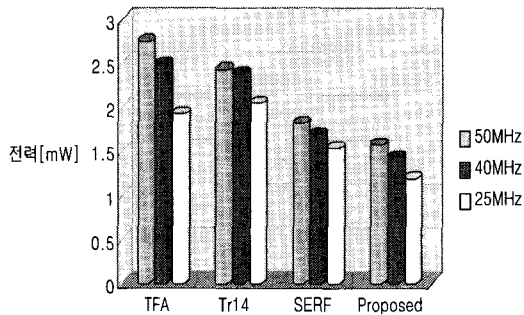


그림 11. 8bit RCA의 주파수별 전력 소비 비교
Fig. 11. The 8-bit RCA power consumption comparison in variable frequency.

지연, 상승, 하강 비교

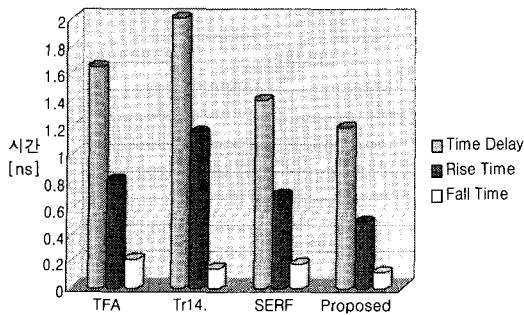


그림 12. 8bit RCA의 지연, 상승, 하강시간의 비교
그림 12. The 8-bit RCA time delay comparison.

2bit 리플 캐리 전가산기의 시뮬레이션 결과가 표 3에 나타나있다. 제안하는 회로의 상승시간은 TFA 회로보다 상승시간이 1.2배, 하강시간이 2배 빠르고, Tr14 회로보다 상승시간이 1.5배, 하강시간이 1.6배 빠르다. SERF보다 시간지연, 하강시간에서 각각 1.2배, 2배 느림을 알 수 있다.

그리고 제안하는 회로의 평균 전력 소비는 SERF보다 약13% 더 많은 것을 제외하고는 다른 두 전가산기에 비해 좋은 성능을 나타냄을 볼 수 있다.

표 4는 8bit 리플 캐리 전가산기의 시뮬레이션을 보여주고 있다. 그림 11, 12는 주파수대별 전력 소비와 각 전가산기의 지연, 상승, 하강시간의 비교하여 보여주고 있다. 제안한 회로의 주파수대별(50MHz, 40MHz, 25MHz) 소모전력을 비교해보면, 50MHz에서는 TFA보다 75%, Tr14보다 55%, SERF보다 15%우수하고, 40MHz에서는 TFA보다 75%, Tr14보다 66%, SERF보다 19%우수하고, 그리고 25MHz에서는 TFA보다 62%, Tr14보다 72%, SERF보다 29%우수함을 알 수 있다. 신호의 지연 시간, 상승시간과 하강 시간에서 비교하는 가산기에 비해 더 빠름을 알 수 있다.

IV. 결론

본 논문에서는 10개의 트랜지스터를 이용하여 전가산기를 구현할 수 있는 새로운 회로를 제안하였다. 회로의 성능을 검증하기 위해서, 2bit, 8bit 리플 캐리 전가산기로 구성하였고, 두 개의 다른 전가산기와 평균전력소모, 실리콘 면적, 트랜지스터 개수, 그리고 지연에 대해서 비교하였다. 레이아웃은 0.65 μm ASIC 공정으로 설계하였고, 네트리스트를 추출하여 HSPICE로 시뮬레이션하였다. 2bit 리플 캐리 전가산기로 구현한 경우, 제안하는 회로의 상승시간 및 하강 시간은 TFA 회로보다 1.2배, 2.0배 빠르고, Tr14 회로보다 1.5배, 1.6배 빠름을 알 수 있다. 또한 평균 소비전력, 신호의 지연시간 및 칩 면적에서 SERF를 제외하고는 확연히 좋은 성능을 나타냈다. 또한 8bit 리플 캐리 전가산기로 구현한 경우, 제안하는 회로는 지연시간, 상승시간, 하강시간에서 우수한 성능을 볼 수 있었고, 주파수대별(50MHz, 40MHz, 25MHz) 전력 소비를 살펴보면, 제안하는 회로는 50MHz에서는 TFA보다 75%, Tr14보다 55%, SERF보다 15%우수하고, 40MHz에서는 TFA보다 75%, Tr14보다 66%, SERF보다 19%우수하고, 그리고 25MHz에서는 TFA보다 62%, Tr14보다 72%, SERF보다 29%우수함을 알 수 있다.

참 고 논 문

- [1] N. Zhuang and H. Wu, "A new design of the CMOS full adder," *IEEE J. Solid-State Circuits*, vol. 27, no. 5, pp. 840~844, May 1992.
- [2] N. Weste and K. Eshraghian, *Principles of CMOS VLSI Design, A System Perspective*, 2nd ed., Reading, MA: Addison-Wesley, 1993.
- [3] E. Abu-Shama and M. Bayoumi, "A new cell for low power adders," *Proc. Int. Symp. on Circuits and Systems*, vol. 4, pp. 49~52, 1996.
- [4] R. Shalem, E. John and L. K. John, "A novel low power energy recovery full adder cell," *Proc. IEEE Great Lakes Symp. on VLSI '99*, pp. 380~383, 1999.
- [5] A. M. Shams and M. A. Bayoumi, "A novel low-power building block CMOS cell for adders," *Proc. IEEE Great Lakes Symp. on VLSI '98*, vol. 2, pp. 153~156, 1998.
- [6] M. Vesterbacka, "A new six-transistor CMOS XOR circuit with complementary output," *Proc. 42nd Midwest Symp. on Circuits and Systems*, La Cruces, NM, Aug. 8-11, 1999.
- [7] H. Lee and G. E. Sobelman, "A new low-voltage full adder circuit," *Proc. IEEE Great Lakes Symp. on VLSI '97*, pp. 88~92, 1997.
- [8] G. M. Blair, "Designing low power CMOS," *IEEE Electron. & Commun. Eng. J.*, vol. 6, no. 5, pp. 229~236, October 1994.
- [9] M. Vesterbacka, "A 14-transistor CMOS full adder with full voltage-swing nodes," *IEEE Workshop on Signal Processing Systems*, pp. 713~722, 1999.

저 자 소 개



姜聲泰(正會員)

1991년 3월~1998년 2월 : 충북대학교 정보통신공학과 (공학사). 1998년 3월~2001년 2월 : 충북대학교 정보통신공학과 (공학석사). 2001년 2월~현재 : (주)이엠디티 연구원. ※

주관심 분야 : 집적회로 설계, 케이블 모뎀, 채널 코딩



朴成熙(正會員)

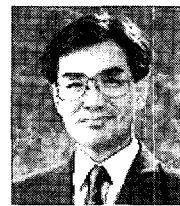
1987년 3월~1994년 2월 : 충북대학교 정보통신공학과 (공학사). 1994년 3월~1996년 8월 : 충북대학교 정보통신공학과(공학석사). 1998년 3월~2000년 2월 : 충북대학교 정보통신공학과 (박사수료). 1995년 3월~1996년 12월 ; (주)에스엠. 이 주임연구원. 2000년 9월~현재 : 한국전자통신연구소 연구원. ※ 주관심분야 : 디지털시스템설계, ASIC 설계, Home Networking, HomePNA기술



劉泳甲(正會員)

1968년 3월~1975년 8월 : 서강대학교 전자공학과(공학사). 1979년 9월~1981년 8월 : 미시건대학교 전기 및 컴퓨터공학과(공학석사). 1981년 9월~1986년 4월 : 미시건대학교 전기 및 컴퓨터공학과(공학박사). 1975년 8월~1979년 8월

: 국방과학연구소 연구원. 1988년 10월~1989년 12월 : 주식회사 한국실리콘 기술고문. 1986년 2월~1988년 2월 : 금성반도체 주식회사 책임연구원. 1993년 8월~1995년 8월 : 국 아리조나 대학교 객원교수. 1988년 3월~현재 : 충북대학교 공과대학 정보통신공학과 교수. ※ 주관심분야 VLSI 집적회로 설계, 고속인쇄회로, Cryptography



趙慶錄(正會員)

1977년 : 경북대학교 전자공학과 공학사. 1989년 : 일본 동경대학교 전자공학과 공학석사. 1992년 : 일본 동경대학교 전자공학과 공학박사. 1979년 ~ 1986년 : (주)금성사 TV연구소

선임연구원. 1999년 ~ 2000년 : 오레곤주립대학 객원교수. 1992년 ~ 현재 : 충북대학교 정보통신공학과 부교수. ※ 주관심 분야 : VLSI 시스템설계, 통신 시스템용 LSI 개발, 고속 마이크로프로세서 설계