

論文2001-38SC-3-4

광대역의 동작 범위(Dynamic Range)를 갖는 CMOS 이미지 센서 설계

(Design of a CMOS Image Sensor for High Dynamic Range)

楊成現*, 趙慶錄*

(Sung-Hyun Yang and Kyoung-Rok Cho)

요약

본 논문에서는 CMOS 이미지 센서의 동작 범위(Dynamic Range; DR)를 높이기 위해서, multiple sampling 방법과 조건적 reset 기능을 갖는 새로운 픽셀 회로를 제안한다. 제안된 구조는 한 번의 integration 시간 내에서 픽셀의 출력이 일정한 간격으로 여러 번 sampling되고 sampling된 각 신호는 기준 전압과 비교되며 이 결과에 따라 해당 픽셀을 reset 할지의 여부가 결정된다. 제안된 방법을 사용하면 이미지 센서의 최대 DR은 측정 기간 동안의 총 sampling 회수인 N 배로 증가될 수 있다. 테스트 칩은 0.65- μm CMOS 공정(2-P, 2-M)으로 제작되었으며 이에 대한 측정결과로 본 논문의 알고리즘이 DR의 증가에 효과적임을 확인하였다.

Abstract

In this paper, we proposed a new pixel circuit of the CMOS image sensor for high dynamic range operation, which is based on a multiple sampling scheme and a conditional reset circuit. To expand the pixel dynamic range, the output is multiple-sampled in the integration time. In each sampling, the pixel output is compared with a reference voltage, and the result of comparison may activate the conditional reset circuit. The times of conditional reset, N, during the integration will contribute to the increase of the dynamic range by the times of N. The test chip was fabricated with 0.65- μm CMOS technology (2-P, 2-M).

I. 서론

CMOS 능동 픽셀 이미지 센서(Active Pixel Image Sensor; APS)는 Charge-Coupled Device(CCD) 이미지 센서에 비해 저 전압 동작, 저 전력 소비, 저 가격, 소형화 그리고 이미지 데이터의 랜덤한 선택 특성 등 많

은 장점을 가지고 있기 때문에, 최근에는 CMOS 능동 픽셀 이미지 센서가 CCD 이미지 센서를 대체하는 수요가 증가하고 있다^[1-9]. 일반적으로, CMOS 이미지 센서에서는 출력 영상의 선형성을 확보하기 위해 광대역의 동작 범위(Dynamic Range; DR)를 나타내는 픽셀이 요구된다. 동작 범위 DR은 센서가 포화시키지 않는 최대 입력 신호와 센서가 감지할 수 있는 최소 입력 신호의 비(ratio)로 정의된다^[4,6]. 이것은 입력된 장면(scene)에 대한 밝기의 차이를 이미지 센서가 얼마만큼 제대로 구분할 수 있는 가를 나타낸다. 만약 이미지 센서의 DR이 작아서 밝기 차이를 제대로 검출하지 못한다면 입력된 장면과 출력된 영상은 많은 차이를 나타낼 것이다. 지금까지는 CCD의 기능을 CMOS로 구현하

* 正會員, 忠北大學校 情報通信工學科
(Dept. of Computer and Communication Engineering,
Chungbuk National University)
接受日:2000年12月9日, 수정완료일:2001年3月29日

고자 하는 데 초점을 맞추어 연구가 진행되었으나¹⁻⁴, 최근에는 CMOS 이미지 센서의 DR을 증가시키기 위해 여러 가지 방법들이 시도되고 있다⁵⁻⁹. 이미지 센서의 DR과 더불어 신호 대 잡음비(Signal-to-noise ratio; SNR)는 영상의 품질을 결정하는 중요한 변수가 된다. 선형(linear) 픽셀은 높은 SNR 특성을 나타내지만 DR이 작고, logarithmic 픽셀은 상당히 넓은 대역의 DR을 가지지만 SNR이 낮아 이미지의 품질(quality)은 좋지 않다⁷. 따라서 고품질의 영상을 얻기 위해서는 DR과 SNR을 동시에 높여야 한다.

본 논문에서는 multiple sampling과 조건적 reset 방법을 사용하여 신호 대 잡음비(SNR)와 동작 범위 DR을 동시에 높이는 새로운 픽셀 회로를 제안한다. 픽셀의 DR이 낮은 이유는 전하 축적 시간(charge integration time)이 끝나기 전에 픽셀이 포화(saturation)되기 때문이고 픽셀의 포화는 픽셀의 potential well이 수용할 수 있는 최대 전하를 저장했을 때 발생한다. 최대 수용 전하량보다 많은 전하가 들어오면 잉여 전하들은 기판(substrate)이나 인접 픽셀 회로로 흘러지게 된다. 임의의 광도와 임의의 축적 시간에서 픽셀이 포화되었다면 광도를 줄이거나 전하 축적 시간을 줄여야 픽셀의 포화를 막을 수 있다. 광도는 설계자가 임의로 조절할 수 있는 변수가 아니기 때문에 픽셀의 포화를 막기 위해서는 전하 축적 시간을 줄이는 문제를 고려해야 한다. 본 논문에서는 픽셀이 포화되는 것을 방지하기 위해 multiple sampling과 조건적 reset 방법을 사용하고 이를 통해 DR과 SNR을 높인다. Multiple sampling을 통해 포화될 픽셀을 감지하며 포화될 픽셀에 대해서는 reset을 수행하여 처음부터 다시 전하를 축적하도록 한다. 조건적 reset의 수행결과는 외부 메모리에 저장되어 DR을 증가시키는데 사용된다.

본 논문의 구성은 다음과 같다. 2장에서는 일반적인 이미지 센서에서의 신호흐름을 알아보고 여러 가지 픽셀 회로의 동작 범위 DR에 대한 고찰을 기술한다. 3장에서는 동작 범위를 높이기 위해 제안된 알고리즘을 설명하고 4장에서는 실험결과를 제시하여 성능을 평가한다. 마지막으로 5장에서는 결론을 맺는다.

II. 일반적인 이미지 센서

1. 이미지 센서에서의 신호 흐름

그림 1은 일반적인 이미지 센서에서의 신호 흐름을

나타내고 있다. 먼저 광학 렌즈를 통해 입사된 빛이 CCD나 CMOS 픽셀 어레이 위에 상을 맺는다. 이때, 픽셀 어레이에서는 입사된 빛의 세기에 따라 광전변환(photon-to-charge conversion)이 일어난다. photon은 응용(application)에 따라 전압이나 전류로 바뀔 수 있다. 일반적으로 CMOS 이미지 센서에서는 고정패턴 잡음(Fixed-pattern noise; FPN)이라고 불리는 잡음이 중요하다. 고정패턴 잡음은 일정한 광도에서 디바이스나 연결선 등의 부정합(mismatch)에 의해 발생하는 픽셀 출력의 변화를 의미한다⁴⁻⁵. FPN은 Correlated-double sampling(CDS) 기법을 사용하여 상당부분 제거를 할 수 있다⁶. 잡음이 제거된 신호는 Automatic gain control(AGC) 회로를 이용하여 증폭되기도 하며 최종적으로 잡음이 제거된 신호는 Analog-to-digital converter(ADC)를 통과하여 디지털 신호로 바뀌게 된다. 이미지 처리 블록에서는 변환된 디지털 신호를 입력력으로 받아 감마 보정(gamma correction) 등의 여러 가지 이미지 처리 작업을 수행한다.

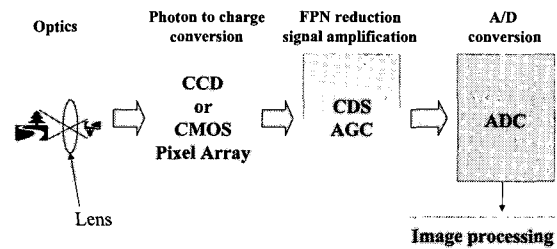


그림 1. 이미지 센서에서의 신호 흐름

Fig. 1. Signal flows in image sensor system..

2. 여러 가지 픽셀들의 동작 범위에 대한 고찰

일반적인 이미지 센서의 동작 범위 DR은 자연계의 장면을 충분히 표현하지 못할 때가 많다. 이런 문제는 CCD에 비해서 readout 잡음이 훨씬 많은 CMOS 이미지 센서에서 자주 발생한다. 그림 2(a)는 대표적인 CMOS 능동 픽셀 회로로, reset 신호가 1일 때는 광 다이오드를 reset하고 reset 신호가 0일 때 빛의 세기에 따라 광 다이오드가 동작하여 fd 노드에 전하가 축적되어 fd 노드의 전압은 선형적으로 감소한다. V_{Linear} 신호는 source follower를 통과하면서 신호 증폭되어 column line에 전달된다. 그림 2(a)는 회로가 간단하여 fill factor가 높은 장점을 가지는 반면 DR이 좁은 단점이 있다. 여기서 fill factor는 단위 픽셀 전체의 면적 중에서 광 다이오드가 차지하는 면적을 percentage로

나타낸 것이다^[4]. CMOS 이미지 센서의 동작 범위를 높이기 위해 여러 가지 방법이 제안되었는데, 그 중에서 첫 번째로 logarithm 특성을 갖는 소자를 사용하여 센서의 전달 곡선(transfer curve)을 압축(compression)시키는 방법이 있다^[8]. 그림 2(b)의 logarithm 픽셀은 그림 2(a)의 선형 픽셀과는 다르게 reset 트랜지스터의 gate와 drain을 묶어 subthreshold 영역에서 동작하도록 함으로써 logarithm 특성을 나타낸다.

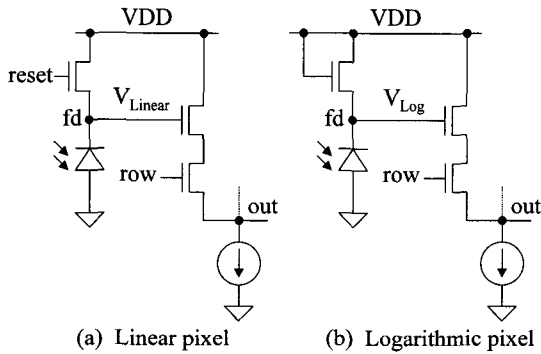


그림 2. CMOS imager의 대표적인 선형 픽셀^[4] (a)와 logarithmic 픽셀^[8] (b)의 구조

Fig. 2. Structures of (a) linear^[4] and (b) logarithmic^[8] pixels.

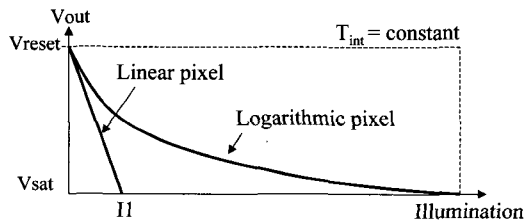


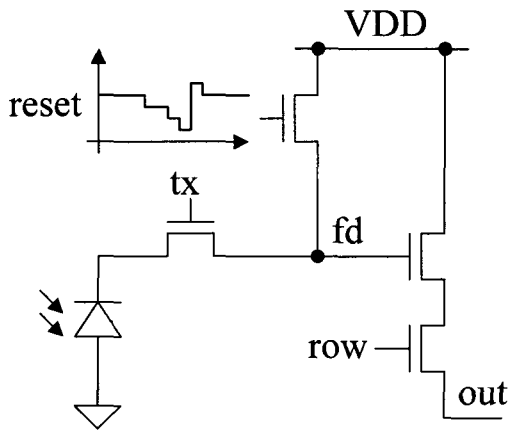
그림 3. 광도에 따른 선형 픽셀과 logarithmic 픽셀 출력의 비교

Fig. 3. Output comparison of the linear and logarithmic pixels related to illumination.

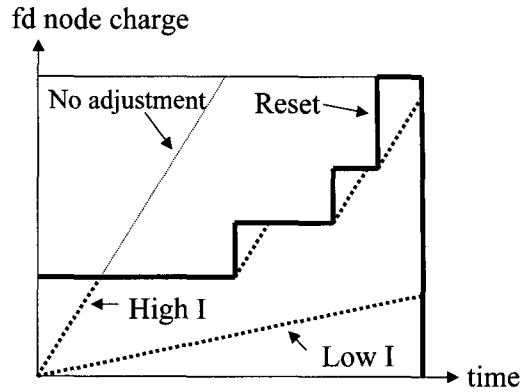
그림 3에 그림 2에서 언급한 두 가지 형태의 픽셀에 대한 입력 광도에 따른 출력 전압의 변화 특성을 나타내었다. 여기서 전하 축적 시간은 일정하다. 그림 3에서 그림 2(a)의 픽셀은 I_1 의 빛의 세기에서 출력이 포화되기 시작하여 I_1 보다 약한 빛에 대해서만 선형성이 좋은 반면, 그림 2(b) 회로는 넓은 범위의 빛의 세기를 받아들일 수 있으나 선형성이 나쁘다. 또한 그림 2(b)의 회로는 잡음에 약하고 전달 특성을 압축하는 과정에서

신호 성분이 손실되기 때문에 신호 대 잡음비(SNR)가 낮아 결과적으로 영상의 품질이 떨어진다. 두 번째로는 local shuttering 방법^[10]이 개념적으로 상당한 타당성을 가지지만, 이 방법은 픽셀 당 트랜지스터의 개수가 많고 이미지 재구성을 위한 postprocessing의 양이 방대해지는 등 구현이 쉽지 않다. 세 번째 방법은 Decker가 제안한 well capacity adjusting 방법^[5]으로 그림 4에 나타내었다. 여기서도 역시 DR을 높이기 위해 전하 전달 곡선을 nonlinear하게 압축한다. 이를 위해 전하 축적 시간동안 well의 저장 능력(well capacity)을 한 번 이상 증가시키고 이 과정에서 픽셀의 동작 범위가 증가하게 된다. 그림 4(a)와 같이 reset 트랜지스터의 gate에 높은 전압부터 순차적으로 감소하는 계단파를 입력함으로써 그림 4(b)와 같이 charge sense diffusion, 즉 fd 노드의 전하 저장 능력이 순차적으로 증가한다. 그림 4(a)의 회로는 그림 2의 회로들과는 약간 다르게 tx 트랜지스터가 더 추가되어 있다. tx 트랜지스터를 삽입한 목적은 DR의 증가와는 관계가 없고 단지 charge sense 노드를 광 다이오드의 넓은 diffusion 영역에서 reset 트랜지스터의 drain diffusion 영역으로 바꿈으로써 capacitance를 줄여 픽셀의 sensitivity를 높이기 위함이다^[5]. 그림 4에서, 만약 입사 빛의 광도가 높아져서 많은 전자가 발생하면 fd 노드에 모아진 전자의 개수는 현재 fd 노드에 설정된 전하 저장 능력을 초과하게 된다. 이때 잉여 전자들은 lateral overflow gate, 즉 reset 트랜지스터를 통해 VDD로 방전되어 잉여 전자에 의한 전압 강하는 fd 노드의 전압에 반영되지 않는다. 그림 4(b)에 나타난 것처럼 well 저장 능력을 초과하지 않는 범위의 약한 입사 광에 대해서는 축적된 모든 전자가 fd 노드의 전압에 반영된다. 그림 4(b)의 강한 입사 광에 대해서는 well의 저장 능력을 변화시키지 않았다면 픽셀이 포화되었을 것이다. 그러나 well의 저장 능력을 변화시키면서 fd 노드에 쌓이는 전하의 양을 제한함으로써 DR이 상승하게 된다. 이러한 동작을 reset 트랜지스터의 on/off 관점에서 설명하면 다음과 같다. 먼저 reset 트랜지스터의 gate 전압이 한 단계 하강한다. 이때 reset 트랜지스터의 VGS는 V_T 보다 작아져 reset 트랜지스터가 off되고 광 다이오드는 전하를 축적한다. 광 다이오드에 전하가 축적됨에 따라 reset 트랜지스터의 source 전압은 내려가고 VGS가 V_T 와 같게 되는 순간 reset 트랜지스터가 on된다. 이때부터 축적된 전하는 VDD로 흘러 들어가 fd 노드의 전하량

은 일정한 값으로 고정된다. 다시 reset 트랜지스터의 gate 전압이 한 단계 하강하여 위와 같은 동작을 반복하는 것이다. well capacity adjusting 방법에서는 동작 범위를 높이기 위해 그 만큼 많은 잉여 전자들이 VDD로 방전되어야 한다. 잉여 전자들이 VDD로 방전되는 것은 입사 빛의 신호 성분이 없어지는 것과 같다. 다시 말하면 동작 범위를 높이는 만큼 SNR이 낮아지는 단점을 가진다. 마지막으로 매우 높은 SNR 특성을 실현할 수 있는 multiple sampling 방법이 있다^[6]. Multiple sampling은 dual sampling 방법^[9]을 확장한 것이다. Dual sampling에서 장면을 받아들이는 한 주기 동안 두 번의 sampling을 한다. 첫 번째 sampling은 입력에서 광도가 센 빛을 감지하기 위해 짧은 추적 시간 후에 행해지고, 두 번째 sampling은 광도가 약한 빛을 감지하기 위해 긴 추적 시간 후에 행해진다. 이렇게 얻어진 두 개의 영상은 높은 동작 범위를 갖는 하나의 영상으로 합성된다. Multiple sampling에서는 한 개의 장면(scene)을 서로 다른 추적 시간에서 여러 번 sampling하여 여러 개의 영상을 출력한다. 이렇게 출력된 영상들은 동작 범위가 넓은 고품질의 영상을 위해 합성된다. Multiple sampling 방법은 한 개의 장면에 대해 여러 개의 영상을 출력해야 하므로 출력 회로가 일반적인 이미지 센서의 출력 회로보다 훨씬 더 고속이어야 한다는 단점을 가지고 있다. 그 외에 입사 빛이 광도에 따라 최적의 추적 시간을 검출하고 이에 따라 증폭기의 이득을 조절하여 이미지 센서의 동작 범위를 높이는 방법^[7]도 소개되고 있다.



(a) 픽셀 회로



(b) 시간에 따른 전하의 축적 특성

그림 4. Well capacity adjusting 방법의 (a) 픽셀 회로와 (b) 시간에 따른 전하의 축적 특성

Fig. 4. Well capacity adjusting scheme: (a) Pixel circuit and (b) charge versus time

III. High Dynamic Range를 위해 제안된 알고리즘

그림 5에 입사되는 빛의 세기와 시간의 흐름에 따른 픽셀의 출력 전압 변화를 나타내었다. 여기서는 SNR이 높은 linear 픽셀을 사용한다고 가정한다. 입사하는 빛에 대해 픽셀이 출력하는 전압은 다음과 같이 결정되며, 입사 빛의 광도는 추적 기간 동안 일정하다고 가정한다^[4~6].

$$\text{픽셀 출력 전압} = \text{입사 빛의 광도} \times \text{전하 추적 시간}$$

만약 입사 빛의 광도가 결정되었다면, 픽셀 출력 전압은 시간에 의존하여 결정된다. 즉, 전하 추적 시간이 길수록 픽셀 출력 전압은 커진다. 또한 일정한 전하 추적 시간에서는 빛의 세기가 클수록 출력 전압의 기울기가 커진다. 이것은 빛의 세기가 셀수록 광 다이오드에서 생성되는 전하(charge)의 개수가 증가하기 때문이다. 픽셀이 포화되면 입사하는 빛의 세기에 관계없이 픽셀이 표현할 수 있는 가장 큰 전압(실제로는 가장 낮은 전압 - 빛을 받으면 픽셀의 출력전압이 낮아진다)만을 나타내게 되는 것이다. 이 결과로 추적 기간의 맨 마지막에서 포화된 픽셀이나 추적 기간의 중간에서 포화된 픽셀이 모두 같은 값을 출력하게 된다. 즉, 밝기의 차이가 나지 않게 되는 것이고, 이것은 영상 데이터를 잃어버린 것을 의미한다. 이와 같이 광도가 높은 빛에 대해

서는 contrast 특성이 좋지 않게 나타난다. 그림 5에서 I1과 I2는 측정 시간 동안 포화되지 않았으므로 영상을 제대로 인식할 수 있다. 그러나 I3의 경우는 픽셀이 포화상태가 되어 포화 이후의 신호를 잃게 된다. 즉 I3는 I2보다 높은 광도를 가짐에도 불구하고 출력 영상에서는 I2와 I3가 동일 밝기로 나타나게 된다.

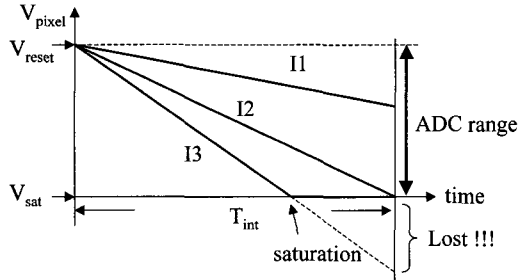


그림 5. 여러 광도에 따른 픽셀의 출력 전압 (I1 < I2 < I3)
 Fig. 5. Pixel output variations for various light intensity levels(I1 < I2 < I3).

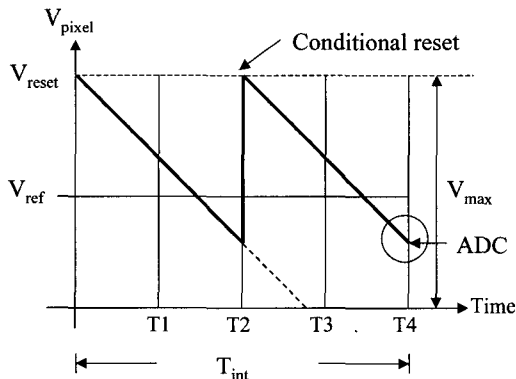


그림 6. 광대역 DR과 높은 SNR을 위해 제안된 알고리즘
 Fig. 6. A new algorithm for high dynamic range and high SNR.

그림 6에 본 논문에서 제안하는 새로운 알고리즘을 나타내었다. 측정 시간(T_{int}) 동안 일정한 간격으로 픽셀 출력을 sampling한다. 이때 sampling된 신호와 기준 전압(V_{ref})을 비교하여, 이 기준 전압보다 낮은 출력을 갖는 픽셀에 대해서는 reset을 수행하고 그 외의 경우에는 reset하지 않는다. 위의 조건을 만족해야 픽셀을 reset하므로 조건적(conditional) reset이라 하였다. 기준 전압의 값은 픽셀의 최대 출력 범위의 반($V_{max}/2$)으로 설정된다. 조건적 reset의 수행결과는 외부 메모리에 저

장되고 나중에 DR을 높이기 위해 사용된다. 측정 기간의 마지막에는 A/D 변환을 수행한다. A/D 변환의 결과를 조건적 reset을 수행한 결과와 조합하여 최종 출력을 얻는다. 그림 6을 보면, 총 4번의 sampling을 T1, T2, T3, T4에서 수행하였다. T1, T2, T3은 조건적 reset을 위한 sampling이고, T4에서의 sampling은 A/D 변환을 위한 것이다. 먼저 T1에서는 픽셀 출력 전압 (V_{pixel})이 기준 전압보다 높으므로 조건적 reset이 수행되지 않는다. T2에서 픽셀 출력은 기준 전압보다 아래에 있으므로 조건적 reset이 수행되어 픽셀 출력 전압은 다시 reset시의 전압(V_{reset})으로 올라간다. T3에서는 T1에서와 같은 값을 나타내며 조건적 reset이 수행되지 않는다. T1부터 T3까지의 조건적 reset 수행 결과는 외부 메모리에 저장된다. 마지막으로 T4에서는 A/D 변환이 이루어진다. T4에서 픽셀 출력을 sampling하고 나면(V_{T4}) 픽셀은 다음 측정 주기를 위해 reset되는 데, A/D 변환기는 V_{T4} 와 V_{reset} 의 차이를 디지털로 변환하는 것이다. 그림 6을 보면 T4에서 얻은 픽셀 출력은 T2에서 얻은 값과 같음을 알 수 있다. 따라서 T4에서 얻은 값에 2배를 해야 온전한 값을 얻을 수 있다. 만약 4비트 A/D 변환의 결과로 데이터 1100이 얻어졌다면 이것을 좌로 한번 shift하여 5비트 데이터 11000을 얻는다. 이와 같은 동작을 하지 않았다면 픽셀이 포화되어 1111(5비트로는 01111)을 얻었을 것이다. sampling 하는 회수가 많을수록 또는 sampling하는 간격이 짧을

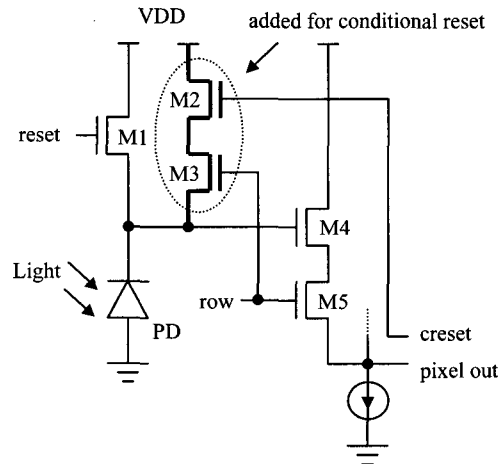


그림 7. 제안된 픽셀의 구조(조건적 reset path가 추가됨)
 Fig. 7. The proposed pixel structure with a conditional reset path.

수록 DR이 증가한다^[5]. 이러한 방법을 사용하면 센서의 DR은 최대 N배까지 증가될 수 있다. 여기서 N은 총 sampling 회수이다. 그림 6의 경우는 총 4번의 sampling을 하였으므로 동작 범위 DR을 최대 4배까지 확장할 수 있다.

그림 7에 조건적 reset을 갖는 제안된 픽셀 회로의 구조를 나타내었다. 기준 전압을 넘는 픽셀에 대해 조건적인 reset을 수행하기 위해, 표준 픽셀 회로에 row 신호와 creset으로 제어되는 두 개의 트랜지스터를 추가하여 픽셀을 구성한다. 픽셀의 출력 전압을 읽어 기준 전압과 비교하여 발생한 디지털 비트가 조건적 reset 신호(creset)가 된다. creset이 high이면 픽셀의 광 다이오드가 reset되고 creset이 low이면 reset 되지 않고 전하가 계속 축적된다.

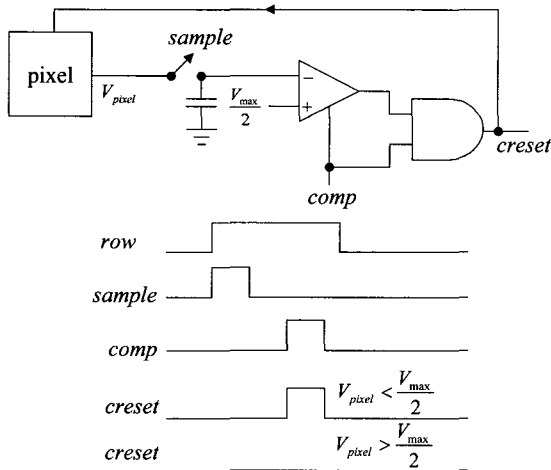
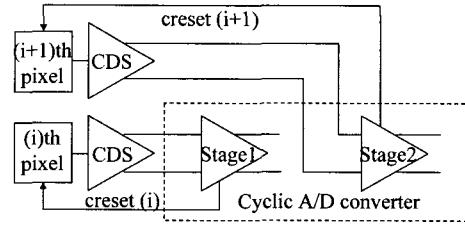


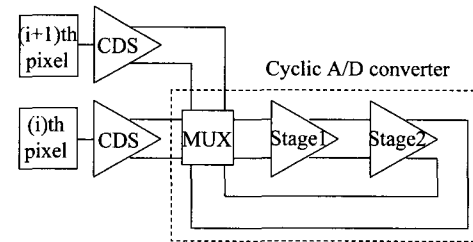
그림 8. 조건적 reset 신호 발생을 위한 개념적 회로
Fig. 8. A conceptual circuit to generate the conditional reset signal.

그림 8은 조건적 reset을 발생하기 위한 개념적인 회로를 간단히 나타낸 것이다. row가 선택되면 동시에 sample 신호가 on되어 픽셀의 출력을 capacitor에 sampling한다. 그 다음은 comp 신호가 on 되고 비교기(comparator)가 동작하여 픽셀 출력 전압과 기준 전압을 비교하게 된다. 만약 이 결과 pixel 전압이 기준 전압보다 작다면 creset이 high가 되어 pixel이 reset된다. 반대의 경우에는 creset이 계속 low를 유지한다. 이를 구현하기 위해서, 본 논문에서는 column 수준에서 A/D 변환을 수행하고, 면적 소비를 줄이기 위해 2개의 column이 1개의 Cyclic ADC를 공유하여 사용한다^[5].

전하 축적 주기의 중간, 즉 reference 전압과 비교하는 phase에서는 그림 9(a)와 같이 cyclic ADC의 각 stage가 해당 픽셀에 대한 comparator로서 동작한다. 반면에 전하 축적 주기의 마지막에는 그림 9(b)와 같이 정상적인 cyclic ADC로서 동작한다.



(a) 기준 전압과의 비교를 위한 구조



(b) A/D 변환을 위한 구조

그림 9. 조건적인 reset 신호와 A/D 변환을 위한 cyclic ADC의 구조

Fig. 9. Cyclic ADC configurations to generate (a) conditional reset signals and (b) digital values.

IV. 실험 결과

본 논문에서는 광전변환 소자로 사용되는 광 다이오드(photodiode; PD)를 n+ diffusion과 p-type 기판 사이에 생기는 다이오드로 구현하였다^[2,4,5]. 그림 10에 동일 광도와 동일 축적 시간에서 조건적 reset을 적용한 픽셀(총 sampling 회수 N=2)과 적용하지 않은 픽셀에 대한 측정 결과를 보였다. 그림 10의 위쪽 파형은 본 논문에서 제안한 픽셀 구조인 그림 7의 회로에 대한 측정 결과이고 아래쪽 파형은 가장 일반적으로 많이 사용되는 선형 픽셀인 그림 2(a)에 대한 측정 결과이다. 픽셀 출력을 읽어 내기 위해 픽셀 출력에 PMOS source follower를 달았다. 한 주기의 축적 시간 T_{int} 는 1 프레임 시간(frame time)과 같고^[5] 이것은 4.096ms로 설정되었다. 그러나 연구실에는 $T_{int}=4.096ms$ 동안에 픽셀을 포화시킬 수 있는 광도를 가진 조명이 없었으

므로 일정 조명을 유지한 채 T_{int} 를 다소 증가시켜 픽셀을 포화시켰다. $T_{int}=10ms$ 로 설정하면 1 프레임 시간도 역시 10ms가 되므로 1초 동안 100개의 frame을 읽을 수 있다. 10ms 동안 전하를 축적했을 때, 그림 10의 아래쪽 파형, 즉 그림 2(a)의 픽셀에 대한 파형은 포화되어 포화 이후의 영상 데이터를 잃었다. 그러나 그림 10의 위쪽 파형은 포화되기 전에 조건적으로 reset을 하여 포화되지 않았고, 조건적 reset 정보를 저장했으므로, 축적 시간의 마지막에 A/D 변환한 데이터와 결합하면 영상 데이터를 잃지 않는다. 본 논문에서는 픽셀 출력 전압의 첨두치(peak-to-peak value)를 8비트로 A/D 변환하였다. 그림 2(a)에 나타난 표준 픽셀 회로는 $V_{pp}=1.7V$ 로 최대값인 01111111을 출력한다. 그러나 본 논문에서 제안한 조건적 reset을 적용할 때는 $V_{pp}=1.594V$ 로 11110000을 얻으며 이것을 조건적 reset의 결과와 조합하여 최종 출력을 얻는다. 조건적 reset의 결과를 고려하면 A/D 변환 결과에 2배를 해야하므로 간단히 좌-쉬프트 동작을 1번 수행하여 11110000의 출력을 얻는다. 이렇게 얻어진 9 비트 데이터를 아날로그 값으로 환산하면 3.188Vpp가 된다. 즉, 그림 2(a) 회로에서 얻은 포화 픽셀 전압 1.7Vpp보다 큰 전압을 얻을 수 있었고 총 sampling 회수 $N=2$ 이므로 DR은 일반 선형 픽셀의 최대 2배까지 증가될 수 있다. 1개의 프레임을 읽는 데 걸리는 최소 시간이 4.096ms이므로, 동영상을 얻기 위해 1초에 30 프레임을 읽는다면 최대 sampling 회수 $N=1/30/4.096ms \approx 8$ 이 된다. 따라

표 1. 테스트 칩의 측정 결과 및 사양
Table 1. Measured parameters and specifications of the image sensor.

Technology	0.65 μ m, 2P2M, n-well CMOS
Array size	64 \times 64
Pixel size	16 μ m \times 16 μ m
Photodetector	n+ diffusion to p-sub diode
Fill factor	33.8%
Supply voltage	5V
Conversion gain	3.33 μ V/e ⁻
Saturation	1.7V
Frame rate (estimated)	244 fps @ 10MHz clock

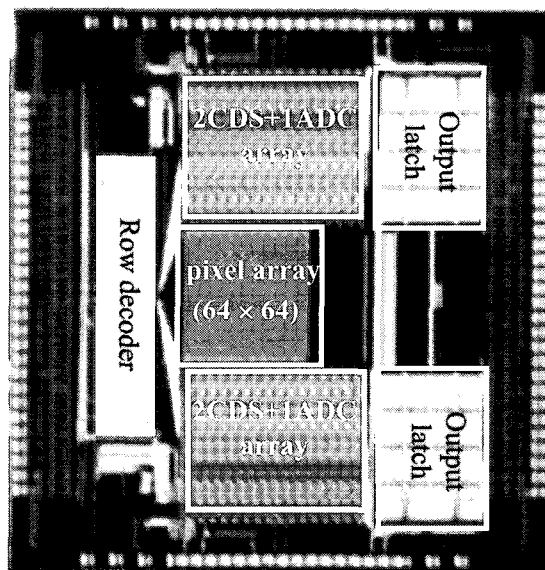


그림 11. 테스트 칩 사진
Fig. 11. Die photograph of the test chip.

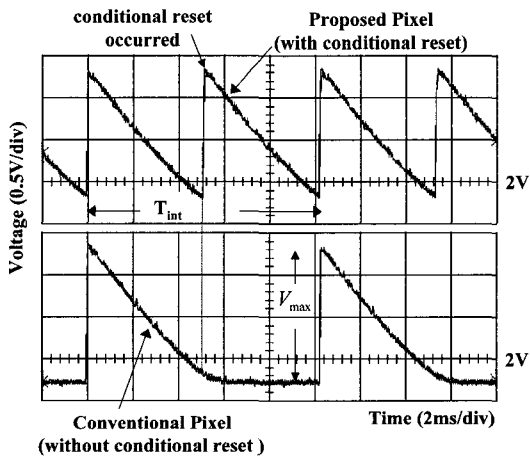


그림 10. 일반적인 픽셀과 제안된 픽셀 회로의 출력 전압 측정결과
Fig. 10. Measurement of the output waves for the conventional and the proposed pixels.

서, 선형 픽셀을 사용한 이미지 센서의 DR을 1이라 하면 본 논문에서 제안된 방법을 사용하면 DR을 최대 8배로 증가시킬 수 있으며 정지 영상을 출력할 경우 DR은 더욱 증가될 수 있다.

본 논문에서는 5V 전원을 사용할 때 픽셀의 reset 전압으로 약 3.3V를 얻었다. 광 다이오드의 capacitance는 47.95fF으로 계산되었고, 이에 따라 변환 이득 (conversion gain)은 3.33 μ V/e⁻가 되었다^[5,6]. 5ms동안 1.594V의 전압이 하강하였으므로 광 전류 $I_p=15.286pA$ 가 되고, 전자의 총 개수는 477,701개로 계산된다^[3]. 변환이득에 전자의 총 개수를 곱하면 1.5907V가 나오고 이것은 측정치 1.594V와 거의 일치한다^[3]. 포화 전압은

1.7V($\approx 528,530 e^-$)였다. 표 1에 테스트 칩의 측정결과 및 사양을 정리하였고, 그림 11에는 테스트를 위해 제작된 칩의 마이크로 사진을 나타내었다. 테스트 칩은 IDEC의 지원을 받아 0.65- μm n-well CMOS 공정(2P, 2M)으로 제작되었다.

V. 결 론

본 논문에서는 이미지 센서의 동작 범위 DR을 높이기 위해서, 픽셀의 출력을 일정한 시간 간격으로 읽어 이것을 기준 전압과 비교하여 해당 픽셀을 조건적으로 reset하는 multiple sampling scheme을 갖는 알고리즘과 픽셀 회로를 제안하였다. 본 논문에서 제안한 방법을 사용하면 센서의 DR은 측정 기간 동안의 sampling 회수를 N이라 할 때 최대 N배까지 증가될 수 있으며, 이는 조건적 reset 신호가 발생하는 회수에 비례한다. 그림 10의 결과에서 N=2의 sampling 결과 조건적 reset이 한 번 발생하였고 조건적 reset을 적용한 픽셀의 DR이 기존의 일반적인 픽셀보다 2배 증가됨을 확인했다. Sampling 회수 N은 출력을 읽어내는 회로의 속도에 따라 제한되므로 무한정 증가할 수 없다. 따라서 DR도 역시 출력회로에 의해 제한을 받는다.

참 고 문 헌

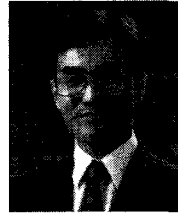
- [1] S. K. Mendis, S. E. Kemeny, R. C. Gee, B. Pain, C. O. Staller, Q. Kim, and E. R. Fossum, "Process in CMOS active pixel image sensors," in *Proc. SPIE*, vol. 2172, pp. 19~29, 1994.
- [2] H. -S. Wong R. T. Chang, E. Crabbe, and P. D. Agnello, "CMOS active pixel image sensors fabricated using a 1.8-V, 0.25- μm CMOS technology," *IEEE Trans. Electron Devices*, vol. 45, pp. 889~893, Apr. 1998.
- [3] S. K. Mendis, S. E. Kemeny, and E. R. Fossum, "A 128 \times 128 CMOS active pixel image sensor for highly integrated imaging systems," in *IEEE IEDM. Technical Dig*, Dec. 1993.
- [4] H. -S. Wong and A. E. Gamal, "Single-chip CMOS imaging systems," *ISSCC Tutorial*, 1999.
- [5] S. Decker, R. McGrath, K. Brehmer, and C. Sodini, "A 256 \times 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output," *IEEE J. Solid-State Circuits*, vol. 33, pp. 2081-2091, Dec. 1998.
- [6] D. X. D. Yang, A. El Gamal, B. Foulter, and H. Tian, "A 640 \times 512 CMOS image sensor with ultrawide dynamic range floating-point pixel-level ADC," *IEEE J. Solid-State Circuits*, vol. 34, pp. 1821~1834, Dec. 1999.
- [7] M. Schanz, C. Nitta, A. Bußmann, and B. J. Hosticka, "A high-dynamic-range CMOS image sensor for automotive applications," *IEEE J. Solid-State Circuits*, vol. 35, pp. 932~938, Jul. 2000.
- [8] N. Ricquier and B. Dierickx, "Active pixel CMOS image sensor with on-chip nonuniformity correction," in *Proc. 1995 IEEE Workshop Charge Coupled Devices and Advanced Image Sensors*, Apr. 1995.
- [9] O. Yadid-Pecht and E. Fossum, "Wide intrascene dynamic range CMOS APS using dual sampling," in *1997 IEEE Workshop Charge Coupled Devices and Advanced Image Sensors*, Jun. 1997.
- [10] S. Chen and R. Ginosar, "Adaptive sensitivity CCD image sensor," in *Proc. SPIE*, San Jose, CA, Feb. 1995, vol. 2415, pp. 303~309.

저 자 소 개



楊成現(正會員)

1974년 4월 18일생. 1999년 2월 충북대학교 전기전자공학부 학사. 2001년 2월 충북대학교 정보통신공학과 석사. 2001년 현재 동 대학원에서 박사과정 재학 중. 주관심분야는 CMOS image sensor 설계, 저전력 A/D converter 설계 및 아날로그 필터 등임



趙慶錄(正會員)

1977년 경북대학교 전자공학과 학사. 1989년 동경대학교 전자공학 석사. 1992년 동경대학교 전자공학 박사. 1979년 ~1986년 금성사 TV 연구소 선임연구원. 1992년 ~ 현재 충북대학교 공과대학 정보통신공학과 부교수. 주관심분야는 VLSI 시스템 설계, 통신시스템용 LSI 개발 및 고속 마이크로프로세서 설계 등임