

論文2001-38SC-2-6

# 저 전력용 논리회로를 이용한 패리티체커 설계

## (A Design of Parity Checker/Generator Using Logic Gate for Low-Power Consumption)

李宗鎭\*, 趙泰元\*\*, 裴孝寬\*\*\*

(Jong-Jin Lee, Tae-won Cho, and Hyo-kwan Bae)

### 요 약

저 전력을 소모하는 새로운 방식의 논리회로를 설계하여 이의 성능실험을 위해 패리티체커를 구성하여 시뮬레이션 하였다. 기존의 저전력 소모용으로 설계된 논리회로(CPL, DPL, CCPL 등)들은 패스 트랜지스터를 통과하면서 약해진 신호를 풀 스윙 시키기 위해서 인버터를 사용하는데, 이 인버터가 전력소모의 주원인이 되고 있음이 본 논문에서 시뮬레이션 결과 밝혀졌다. 따라서 본 논문에서는 인버터를 사용하지 않고 신호를 풀스윙 시킬 수 있는 회로를 고안하였다. 기존의 CCPL 게이트로 구성된 패리티체커에 비해 본 논문에서 제안한 게이트로 구성된 것이 33%의 전력을 적게 소모하는 것으로 시뮬레이션 결과 나타났다.

### Abstract

In this paper, a 8bit parity checker/generator is designed using a new gate which is proposed to implement the exclusive-or(XOR) and exclusive-nor(XNOR) functions for low-power consumption on transistor level. Conventional XOR/XNOR gate such as CPL, DPL and CCPL designed to reduce the power consumption has an inverter to get the full swing output signals. But this inverter consumes the major part of power and causes the time delay on CMOS circuits. Thus a new technique was adopted not utilizing inverter in the circuits. The results of simulation by Hspice shows 33% of power reduction compared with CCPL gate when a 8-bit parity checker was made with the proposed new gate using 0.8 $\mu$ m CMOS technology.

### I. 서 론

최근 건전지(battery)를 사용하는 노트북 컴퓨터, 휴

\* 正會員, 安城女子技能大學 半導體디자인과  
(Dept. of semiconductor design Ansung womens polytechnic college)

\*\* 正會員, 忠北大學校 電氣電子工學部  
(Dep. of Electronics Engineering, Chungbuk National University)

\*\*\* 正會員, 東原大學 電子科  
(Dept. of Electronics Dongwon college)

接受日字:1999年4月21日, 수정완료일:2001年2月26日

대용 통신 기기 등의 급속한 사용 증가에 따라 크게 대두된 것이 소모전력이 작은 기기를 만드는 일이다. 시스템의 전력 소모를 최소화하기 위해서는 소자 기술, 논리회로, 레이아웃, 구조 알고리즘, 시스템 설계에 이르기까지 종합적인 고려가 이루어져야 한다<sup>[1]</sup>. 저 전력 소자기술로는 SOI(Silicon On Insulator) 등과 같은 새로운 구조의 소자연구가 필요하며, 회로기술로는 기존의 CMOS, 패스트랜지스터 계열의 논리회로와 같은 저 전력회로가 이에 해당되며, 레이아웃에서는 연결선의 캐패시턴스(wiring capacitance) 및 면적을 최소화하는 것이 필요하다. 구조적인 측면에서는 병렬처리나 파이프라이닝(pipelining) 기법을 이용하며, 기존의 속도를 유지하면서 전압스케일링(voltage scaling)을 통하여 전

력을 줄일 수 있으며, 시스템 측면에서는 시스템 분할이나 파워다운(power down) 시스템을 통하여 전력을 최소화 할 수 있다.

본 논문에서는 논리회로 측면에서 연구를 하였는데, CMOS 논리회로에서 소모되는 전력의 대부분은 동적 소모 전력(Dynamic Power)으로 신호가 콘덴서에서 충전, 방전하므로 인해서 생기는 스위칭 전력(Switching Power)과 단락 전류에 의한 단락 회로 전력(Short-circuit Current Power)이 있다.<sup>[2]</sup>

여러 가지 논리회로 중에서 XOR/ XNOR 게이트는 전가산기, 패리티체커, 비교기 등 여러 회로에 기본적으로 쓰이고 있다. 따라서 XOR/XNOR 게이트 회로를 저전력화하면 전체적인 회로를 저전력화 할 수 있다.<sup>[3]</sup>

저 전력용으로 구현되어 널리 쓰이고 있는 기존의 저 전력 소모용 게이트로는 CPL<sup>[2, 5, 6, 8, 10, ]</sup>

DPL<sup>[6, 8, 10, 9]</sup> CCPL<sup>[2, 4, 10]</sup> 등이 있는데 이들 회로는 출력 신호를 풀 스윙(Full Swing) 하기 위해 동적 전력 소모 및 신호 지연의 원인이 되는 인버터를 사용해야 한다는 것이다. 본 논문에서는 이들 전력을 최소화 할 수 있는 방법으로 인버터를 쓰지 않고 출력 신호를 완전히 풀 스윙 시킬 수 있는 게이트 회로를 고안하였다. 제안한 게이트의 성능을 시험하기 위해 8비트 패리티체커를 구성하여, Pspice로 동작상태 및 파형관찰을, Hspice로 전력고찰을 하였으며, COMPASS를 이용하여 layout을 설계하여 LG반도체 0.8 $\mu$ m CMOS 공정 변수로 시뮬레이션 하였다.

## II. 새로운 논리 게이트의 제안

CPL 계열의 논리회로에서 풀스윙(full swing) 되지 않은 신호는 다음 단의 입력 신호로서 제대로 동작을 할 수 없게 된다. 따라서 인버터를 통해 full swing 되게 하고 있는데, 이는 신호지연 및 단락 회로 전류(Short Circuit Current)의 원인이 되고 있다. 또한 인버터 자체도 전력을 소비하기 때문에 전체적으로 인버터를 추가 함으로서 소모되는 전력은 클 수밖에 없다. 따라서 인버터 없이 신호를 full swing 되게 할 수 있는 논리회로가 필요하며, 본 연구에서 이를 제안하였다.

### 1. XOR 게이트의 구현

인버터 없이 XOR논리를 구현할 수 있는 회로를 그림 1처럼 트랜지스터로 구현하였다.

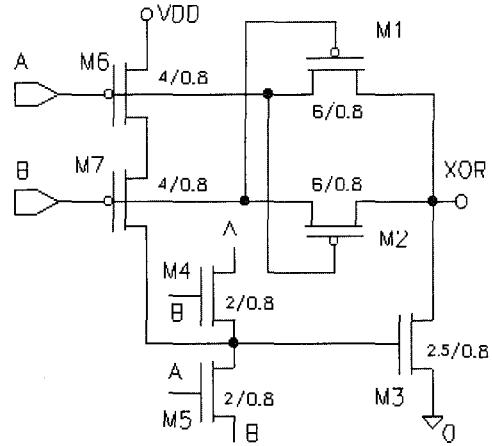


그림 1. 제안한 XOR게이트  
Fig. 1. Proposed XOR gate.

### 가. 동작 원리

트랜지스터 M1을 통해서 A B'가 M2를 통해서 A' B가 이뤄져 와이어드(Wired) OR인 출력에는  $A \oplus B$ 가 출력된다. 이는 트랜지스터 2개로 가장 간단한 XOR 게이트를 구성 할 수 있는데, 문제는 입력 A, B가 둘 다 "0" 일 때 PMOS인 M1, M2 트랜지스터를 통과 하면서 완전히 "0" 레벨 (또는 Low)로 되지 않는다는 것이다. 이 문제를 해결하고자 지금까지는 인버터를 사용하여 왔는데 이것이 곧 전력 소모 증가의 원인이 된 것이다.

제안한 회로에서는 입력 A, B가 둘 다 "0" 일 때 M6, M7을 통해서 M3의 게이트에 "1" 레벨(또는 High) 신호(VDD)를 가해서 M3을 도통 되게 한다.

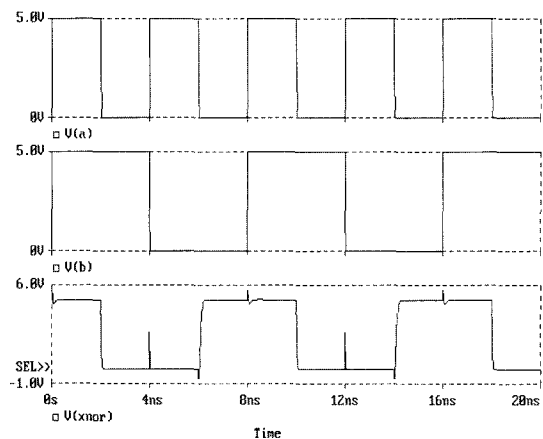


그림 2. XOR 게이트의 파형  
Fig. 2. A waveform of XOR gate.

NMOS는 “0” 레벨 신호를 잘 통과하므로 XOR단자는 완전히 “0” 레벨로 떨어지게 된다. 한편 M4는 입력 신호 A가 “0”, B가 “1” 일 때, M5는 A가 “1” B가 “0” 일 때 M3의 게이트에 충전된 전하를 방전 시켜서 M3이 불통되게 만든다. 또한 A, B 둘 다 “1” 일 때는 M4, M5가 동시에 동작하여 M3을 도통 시켜주므로 출력 단에는 완전한 “0” 신호가 얻어진다. 이를 정리하면 표 1과 같다.

나. 트랜지스터의 크기

PMOS와 NMOS의 게이트 크기는 2:1비율로 하였으며 W/L사이즈는 PMOS의 경우  $6\mu/0.8\mu$ , NMOS는  $3\mu/0.8\mu$ 를 기본으로 하였다. 여기서 주목할 것은 M3의 역할로 스위칭 작용과 함께 저항체의 역할을 한다는 것이다. 즉 M3이 도통 될 때 부하 용량(Load Capacitance)에 충전된 전하가 방전하는 통로가 되는데 방전 전류는 M3의 W/L값에 의해 결정된다<sup>[8]</sup>.

표 1. 트랜지스터의 동작 상태  
Table 1. A state of transistors.

입력상태		동작 TR	출력상태	비고
A	B			
0	0	M1, M2, M6, M7, M3	0	XOR 기능
0	1	M2, M4	1	
1	0	M1, M5	1	
1	1	M4, M5, M3	0	

이는 신호의 지연 시간과 전력 소모에 큰 영향을 미친다.

따라서 동등한 저항 값을 갖게 하기 위해 그림 1에서는 M3의 게이트 크기를  $1.5\mu/0.8\mu$ 로 해야 하나 제조 공정상  $2.5\mu/0.8\mu$ 로 하였다.

한편 M4, M5의 경우 M3의 게이트 전하에 충, 방전만 하면 되므로 자체 용량(Cgd)을 적게 하기 위해 작은 크기의 트랜지스터로 만들었다. 그리하여 출력 단에는 0에서 1로 변할 때 그림 2에서처럼 지연 시간이 거의 나타나지 않았다. 그러나 입력 A, B가 동시에 “0”일 경우 M6, M7을 통해서 충전되는 시간이 길어 1에서 0으로 변하는 파형에 얼마간의 지연 시간이 생기는 것이 단점이다. PMOS의 경우 전자의 이동도가 NMOS에 비해 상대적으로 느림으로 게이트 크기를 크게 하였으나 비례적으로 자체 용량 Cgd 또한 커지게 되어 충전

하는데 시간이 걸리게 된다. 그림 3에서처럼 XNOR 게이트로 구성을 하면 이 문제는 해결이 된다.

2. XNOR 게이트의 구현

그림 3은 XNOR 게이트를 구현한 회로이며 그림 4는 파형을 나타낸다. XOR 게이트에서의 PMOS는 NMOS로 NMOS는 PMOS로 바꾸었고 접지대신 VDD를 가한 것이 차이점이다. 한편 XOR 게이트의 경우 입력신호의 크기가 그대로 출력 측에 전달이 되었지만 XNOR 게이트의 경우 입력 신호가 VDD이하라도 출력 측에서는 VDD로 full swing 되게 하기 때문에 인버터를 사용할 필요가 전혀 없어지는 셈이다. 출력 측에 충전되었던 전하를 그라운드로 방전 시키지 않고 전원으로 되돌려 주므로 전력소모 또한 XOR게이트 보다 더 작게 나타난다.

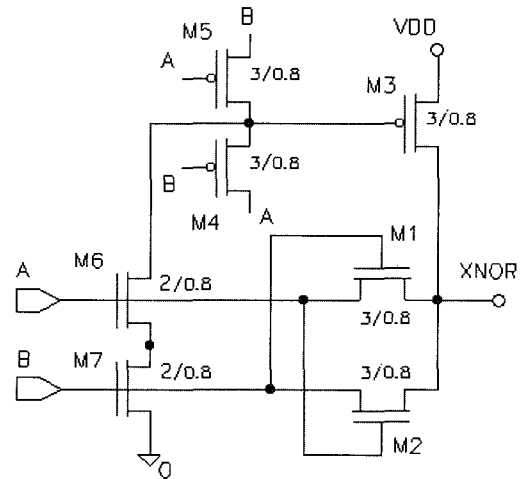


그림 3. 제안한 XNOR 게이트  
Fig. 3. Proposed XNOR gate.

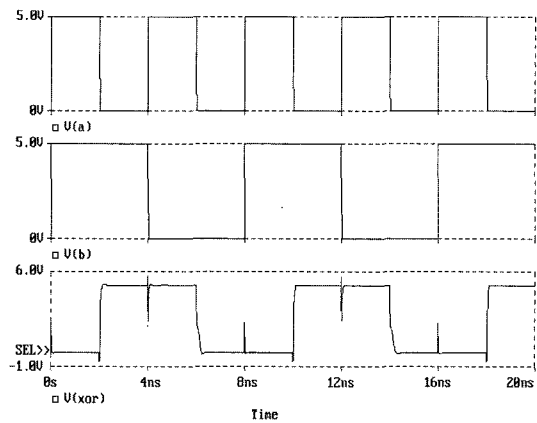


그림 4. XNOR게이트의 파형  
Fig. 4. Waveform of XNOR gate.

### Ⅲ. 시뮬레이션 및 고찰

#### 1. 시뮬레이션 도구 및 분석 방법

컴퓨터 시뮬레이션 프로그램인 Pspice를 이용하여 회로도를 그리고 동작상태 및 파형관찰을 하였으며, 추출된 Netlist로 Hspice를 이용, 시뮬레이션 하여 전력을 고찰하였다. 입력 신호 주파수는 250MHz 이며 0.8 $\mu$ m CMOS 공정 변수를 이용했다.

#### 2. 인버터가 소모하는 전력

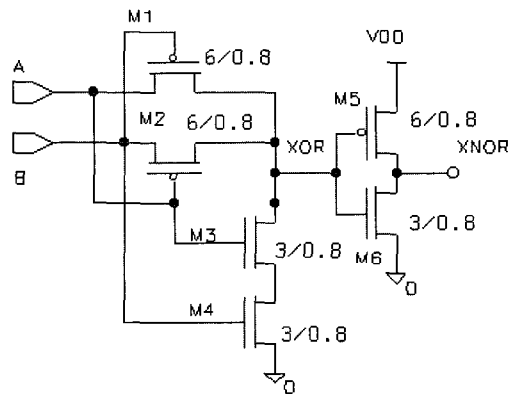


그림 5. Wang's 게이트  
Fig. 5. Wang's gate.

그림 5의 Wang's<sup>[3]</sup> 게이트를 참고로 하여 인버터가 소모하는 전력을 시뮬레이션한 결과 총 전력의 40%를 인버터가 차지하는 것으로 밝혀졌다. Hspice를 이용하여 그림 5의 게이트를 풀 스윙용 인버터 없이 XOR 게이트를 구성하여 소모전력을 고찰하고, 또한 인버터를 삽입한 후 소모전력을 고찰한 결과를 표 2에 나타내었다.

표 2. 인버터의 전력소모  
Table 2. Power consumption of an inverter.

구분	인버터 있는 경우	인버터없는 경우	차이	비고
소모전력	0.544mW	0.321mW	0.223mW	
상승지연시간	0.347ns	0.011ns	0.336ns	

#### 3. 게이트 자체의 전력 소모

기존의 Wang's 게이트, CCPL, 그리고 제안한 XOR/XNOR 게이트들의 자체 전력 소모를 고찰하여 표 3에

나타내었다. XNOR 게이트 경우 기존의 CCPL에 비해서 전력소모가 40% 적게 나타나고 있음을 알 수 있다. 한편 XNOR 게이트가 더 적은 전력을 소모하는 것은 XOR 게이트의 경우 부하에 충전되는 전하가 그라운드로 방전, 전력을 소모하는데 비해 XNOR의 경우 전원 쪽으로 되돌려 주기 때문이다.

표 3. 게이트의 전력소모 비교  
Table 3. Comparison of power consumption of gates.

게이트 종류	Wang's	CCPL	제안한 XOR	제안한 XNOR	비고
전력소모	0.544mW	0.734mW	0.453mW	0.429mW	rms

#### 4. 패리티체커의 구성

제안한 게이트로 그림 6과 같은 8비트 패리티체커를 구성하였다. Pspice로 회로도를 작성하여 파형 및 동작 상태를 고찰하였고, Netlist를 추출하여, Hspice로 소모전력을 시뮬레이션 하였다, 그림 7은 패리티체커의 동작 파형을 나타낸 것으로 a1은 입력 파형의 일부분이고 Za는 패리티 출력 파형으로 Odd/Even 단자가 "0"일 때 홀수, "1"일 때는 짝수 패리티로 동작함을 보이고 있다.

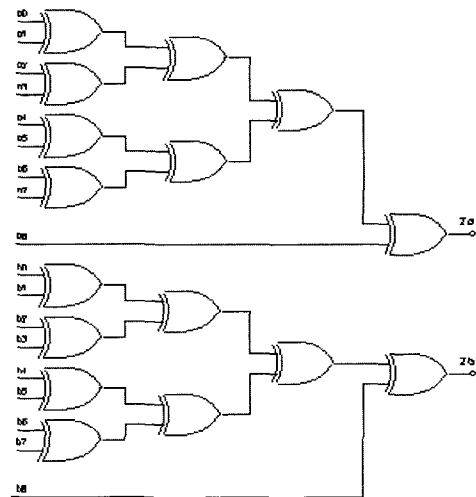


그림 6. 듀얼 8비트 패리티체커  
Fig. 6. Dual 8bit parity checker.

#### 5. 소모전력 및 지연시간 고찰

기존의 CCPL 및 Wang's 게이트로 패리티체커를 구성하여, 제안한 게이트로 구성된 패리티체커와 전력소

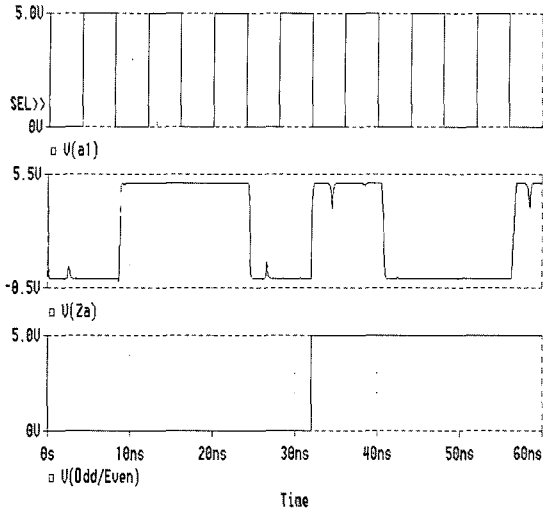


그림 7. 패리티체커의 파형  
Fig. 7. Waveform of parity checker.

표 4. 소모전력 및 지연시간 비교  
Fig. 4. Comparison of power consumption and time delay.

게이트	CCPL	Wang's	제안한 XOR	비교
소모전력	3.60	3.82	2.40	mW
지연시간	0.78	0.87	0.65	ns

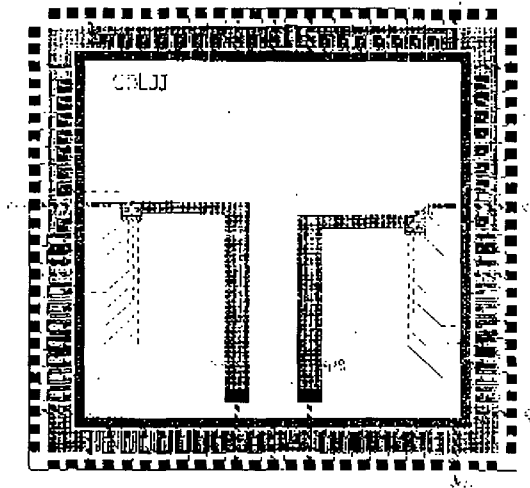


그림 8. 패리티체커의 레이아웃  
Fig. 8. Layout of parity checker.

모와 지연시간을 고찰 비교하였다. 표4에 나타난 바와 같이 제안한 게이트로 구성된 패리티체커가 기존의 CCPL로 구성된 것에 비해 33%의 전력이 적게 소모되

었고, 지연시간은 16%적게 나타났다. 한편 CCPL의 경우 6개의 트랜지스터로 구성되어 있지만 제안한 게이트는 7개로 구성되어 있어 레이아웃 기법에 대한 연구가 요구된다.

한편 COMPASS를 이용하여 Layout을 설계하여 시뮬레이션 하였을 때도 정상적으로 동작하고 있음을 확인할 수 있었다. 그림 8은 COMPASS로 설계한 레이아웃이다.

#### IV. 결론

기존의 저 전력용 논리게이트 들과는 다르게 인버터가 없는 XOR/XNOR 게이트를 설계하여 패리티체커를 구성하여 보았다. 인버터 자체가 소모하는 전력이 Wang's 게이트 경우 40%를 차지하는 것으로 시뮬레이션 결과 나타났으며, 기존의 게이트들 중에서 가장 적은 전력을 소모하는 것으로 알려진 CCPL 게이트와 본 논문에서 제안한 게이트의 자체 전력소모를 무 부하 상태에서 시뮬레이션 하여 비교한 결과 40%가 적은 것으로 나타났고, 패리티체커를 구성하여 비교했을 때 전력소모는 33%, 지연시간은 16% 적게 나타났다. 이는 인버터가 전력소모의 주된 원인이 되고 있음을 알 수 있다.

XOR/XNOR 게이트는 전가산기, 곱셈기, 비교기, 패리티체커등 여러 가지 회로에 기본적으로 많이 쓰이고 있다. 따라서 컴퓨터의 중앙처리장치나 휴대용 통신 기기 등 저 전력소모가 필요한 제품을 설계함에 있어 본 논문에서 제안한 게이트가 유용하게 쓰일 수 있을 것으로 사료된다.

#### 참고 문헌

- [1] Tom Burd "Low-Power CMOS Library Design Methodology" M. S. Report, university of California, Berkeley, 1994; UCB/ERL M94/89.
- [2] H. J. M. Veendrick, "Short-Circuit Dissipation of Static CMOS circuitry and Its Impact on the Design of Buffer Circuits", IEEE Journal of solid-state circuits, vol.19, NO. 4, pp. 468-473, August 1984.
- [3] Jyh-Ming Wang, Sung-Chuan Fang, and Wu-

- Shiung Feng "New Efficient Designs for XOR and XNOR Functions on the Transistor Level" IEEE Journal of Solid-State Circuits, vol.29, NO.7, July 1994.
- [4] 최준립 "저 전압 고속 VLSI 설계의 실제적 문제와 해결책" 1995년도 저 전압 저 전력 VLSI Workshop pp. 140-152, 1995.
- [5] K. Yano, T. Yamanaka, T. Nishida, M. Saito, K. Shimohigashi, and A. Shimizu, "A 3.8-ns CMOS 16×16-bit Multiplier Using complementary Pass-transistor Logic" IEEE J. Solid-State Circuits, vol. 25, pp.388-395, 1990.
- [6] Abdellatif Bellaouar & Mohamed I. Elmasry, "LOW-POWER DIGITAL VLSI DESIGN circuits and systems" Kluwer Academic Publisher, 1995. pp.1-10, pp.129-138, pp.169-175, pp.202-213.
- [7] 최준립, 허원준, 장락현, "Combinative Complementary Pass Transistor Logic을 이용한 Datapath 산술 연산기의 설계" 1995년도 ASIC DESIGN WORKSHOP pp. I-271-40, 1995
- [8] Makoto Suzuki, "A 1.5ns 32-b CMOS ALU in Double Pass-Transistor LOGic" IEEE journal of Solid-State circuits, vol. 28, NO. 11, pp. 1145-1150, November 1993.
- [9] 정항근의 "회로 설계 기술개발에 관한 연구" 1차년도 연차보고서, 통상산업부, 정보통신부, 과학기술처 1996. 6.
- [10] Gregory Gruber and Sang won son, "Low Supply Voltage Comparison of XOR/Selector Gate and SOI CMOS CPL Adder Logic", EE241 Interim Project Report, Univ of California at Berkeley, Feb 29, 1996.

저 자 소 개



李 宗 鎭(正會員)

1995년 대전산업대학교 전자공학과 학사. 1997년 충북대학교 전자공학과 석사. 1984.4~1989.5 삼성전자 근무. 1998.1~현재 안성여자기능대학 반도체디자인과 조교수. 주 관심분야는 디지털 시스템 설계, 네트워킹



裴 孝 寬(正會員)

1984년 경북대학교 전자공학과 학사. 1986년 경북대학교 전자공학과 석사. 1999년 충북대학교 전자공학과 박사 수료. 1986.1~1997.2 LG반도체에서 SRAM 설계. 현재 동원대학 전자과 근무. 주 관심분야는 디지털 시스템 설계, SRAM, Process, 임베디드 시스템

趙 泰 元(正會員) 第 38卷 SD編 第 1號 參照  
현재 충북대학교 전기전자공학부 교수