

論文2001-38SC-1-4

완전-차동형 CMOS OTA들을 이용한 시뮬레이티드 플로팅 인덕터의 설계 및 응용

(Design of a Simulated Floating Inductor Using
Fully-Differential OTA's and Its Application)

申熙鍾*, 鄭元燮**

(Hee-Jong Shin and Won-Sup Chung)

요약

두 개의 완전-차동형 OTA들과 하나의 커패시터를 이용한 시뮬레이티드 플로팅 인덕터를 제안했다. 제안한 플로팅 인덕터의 동작 원리를 기술했고, 실험 결과들을 제시했다. 실험 결과들은 이론적인 예측과 실험적인 성능이 잘 일치한다는 것을 보였고, 제안한 플로팅 인덕터가 기존의 인덕터들보다 약 두 배 큰 Q 인수를 가진다는 것을 보였다. 제안한 인덕터의 3차 일립틱 저역-통과 여파기에 응용 역시 제시했다.

Abstract

A simulated floating inductor using two fully-differential OTA's and a capacitor is presented. The theory of operation is described and experimental results are used to verify theoretical predictions. The results show close agreement between predicted behavior and experimental performance. The proposed floating inductor has about two times higher Q factor than conventional designs. The application of the inductor to a ladder type third order elliptic low-pass filer is also presented.

I. 서론

인덕터는 저항 및 커패시터와 함께 회로망을 구성하는 기본 소자로서, 여파기, 사인파 발진기, 공진회로에 사용되는 등 광범위한 응용분야를 가지고 있다. 특히,

플로팅 인덕터(floating inductor)는 사다리형 여파기(ladder filter), 콜피츠 발진기(colpitts oscillator), 직렬-공진 회로 등에 없어서는 안될 기본 블록이다.

'코일(coil)'이라고 불리기도 하는 수동 인덕터는 접적화하기가 어렵기 때문에, IC 여파기나 발진기를 실현할 때 거의 사용되지 못한다. 따라서 이 경우에는, 능동 소자들을 이용하여 단자 특성이 수동 인덕터와 동일한 시뮬레이티드 플로팅 인덕터(simulated floating inductor)를 구성해야 한다. 특히, VTR이나 디지털 TV 등의 비디오 응용에 요구되는 여파기나 발진기를 실현하기 위해서는, 수 메가헤르츠(MHz)까지의 고주파 특성과 온도 특성이 좋은 시뮬레이티드 플로팅 인덕터의 설계가 선행되어야 한다.

시뮬레이티드 플로팅 인덕터를 구성하는 방법은 연산 증폭기(operational amplifier : op amp)와 저항기 및 커패시터를 이용하는 방법과 연산 트랜스컨터던스 증폭기(operational transconductance amplifier :

* 正會員, 大元科學大學 컴퓨터情報通信科
(Computer Information & Communication, DaeWon Science College)

** 正會員, 清州大學校 理工大學 電子·情報通信·半導體工學部
(School of Electronic, Information & Communication, Semiconductor Engineering, Chongju University).

※ 본 연구는 과학기술부·한국과학재단 지정 청주대학
교 정보통신연구센터의 지원에 의한 것입니다.

接受日字: 2000年6月7日, 수정완료일: 2000年12月14日

OTA)와 커패시터를 이용하는 방법으로 구별된다. 전자의 방법은 전압-모드로 동작하는 연산 증폭기를 능동 소자로 사용하기 때문에, 회로 구성이 복잡하고 고주파 특성이 좋지 않다^{[1],[2]}. 한편, 후자의 방법은 전류-모드로 동작하는 OTA를 능동 소자로 사용하기 때문에 회로 구성이 간단하고 고주파 특성이 좋다는 장점을 가지고 있다^{[3],[4]}. 그러나, OTA와 커패시터로 실현된(OTA- C) 플로팅 인덕터는 연산 증폭기와 저항 그리고 커패시터로 실현된(op amp- RC) 플로팅 인덕터보다 온도 특성이 좋지 않고 낮은 Q 값(quality factor: 양호도)을 보인다는 단점도 가지고 있다. OTA- C 플로팅 인덕터의 온도 특성이 나쁜 이유는, OTA의 트랜스컨더턴스가 바이어스 전압 또는 전류 등의 회로 파라미터에 의해서만 결정되지 않고 온도에 민감한 트랜지스터 파라미터의 영향도 받기 때문이다. 따라서 이런 OTA들로 실현된 시뮬레이터 플로팅 인덕터들과 이를 이용한 여파기들은 온도 보상을 위한 별도의 회로가 첨가되는 것이 통례이고, 이에 따라 전체 회로가 복잡해지는 양상을 띤다^{[5],[6]}.

OTA- C 플로팅 인덕터를 실현하는 기준의 방법에는 두 가지 방법이 있다. 즉, 세 개의 차동-입력 단일-출력(differential-in single-ended) OTA들과 한 개의 커패시터를 이용하는 방법^{[7],[8]}과 네 개의 차동-입력 단일-출력 OTA들과 한 개의 커패시터를 이용하는 방법이 있다^{[9],[10]}.

본 논문에서는, 두 개의 차동 입-출력형(differential in-out) 또는 완전-차동형(fully-differential) OTA와 한 개의 커패시터를 이용한 시뮬레이티드 플로팅 인덕터 구성을 제안하고, 제안된 인덕터 구성을 우수한 고주파 특성과 온도 특성을 가지는 OTA를 사용하여 실현한다. 이 서론의 절에 이어, II절에서는 제안된 플로팅 인덕터의 회로 구성 및 동작 원리를 설명한다. 그리고 그것의 고주파 특성은 III절에서 논의한다. IV절에서는 시뮬레이티드 인덕터 회로를 컴퓨터로 시뮬레이션 결과와 IC로 제작한 결과를 각각 제시한다. 끝으로, V절에서는 시뮬레이티드 인덕터를 이용한 사다리형 3차 일립틱(elliptic) 저역-통과 여파기의 설계에 대해 설명하고, 컴퓨터 시뮬레이션 결과를 제시한다.

II. 회로 구성 및 동작 원리

본 논문에서 제안한 시뮬레이티드 플로팅 인덕터의

회로도를 그림 1(a)에 나타냈다. 회로는 두 개의 완전-차동형 OTA와 한 개의 커패시터로 구성된다. 회로의 동작을 이해하기 위해, OTA가 이상적이라고 가정하고 회로의 y -파라미터를 구하면 다음과 같다.

$$y_{11} = \frac{I_1}{V_1} \Big|_{V_2=0} = \frac{G_{m1}G_{m2}}{sC} \quad (1a)$$

$$y_{12} = \frac{I_1}{V_2} \Big|_{V_1=0} = -\frac{G_{m1}G_{m2}}{sC} \quad (1b)$$

$$y_{21} = \frac{I_2}{V_1} \Big|_{V_2=0} = -\frac{G_{m1}G_{m2}}{sC} \quad (1c)$$

$$y_{22} = \frac{I_2}{V_2} \Big|_{V_1=0} = \frac{G_{m1}G_{m2}}{sC} \quad (1d)$$

$$Y = \begin{bmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{bmatrix} = \frac{G_{m1}G_{m2}}{sC} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (2)$$

여기서, G_{m1} 과 G_{m2} 는 각각 OTA_1 과 OTA_2 의 트랜스컨더턴스이다. (2) 식은 이 회로가

$$L_{eq} = \frac{C}{G_{m1}G_{m2}} \quad (3)$$

의 등가 인덕턴스를 갖는 플로팅 인덕터로 동작한다는 것을 밝혀준다. 그림 1(b)에 등가 인덕턴스를 4-단자 회로망으로 나타냈다.

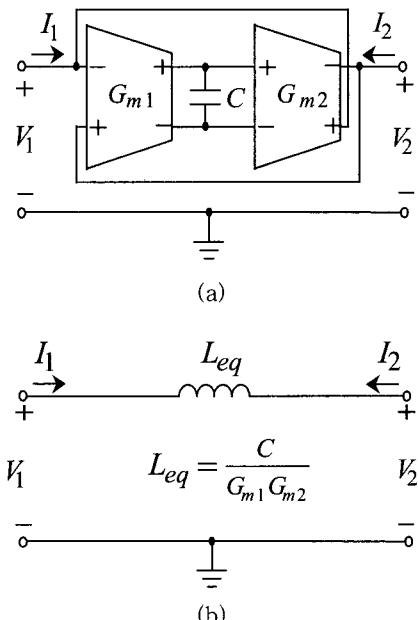


그림 1. (a) 완전-차동형 OTA들을 이용한 시뮬레이티드 플로팅 인덕터, (b) 등가 회로

Fig. 1. (a) Simulated floating inductor using fully differential OTA's, (b) Equivalent circuit of the simulated floating inductor.

두 OTA가 정합 되었다고 가정하면, 즉 $G_{m1} = G_{m2} = G_m$ 이라고 하면, (3) 식의 등가 인더턴스 L_{eq} 는 다음과 같이 간단하게 표현된다.

$$L_{eq} = \frac{C}{G_m^2} \quad (4)$$

(4) 식으로부터 알 수 있듯이, 등가 인더턴스 L_{eq} 가 OTA의 트랜스컨더턴스 G_m 의 제곱에 반비례하기 때문에, 고주파 특성과 온도 특성이 우수한 시뮬레이터 드 인더터를 실현하려면 이를 특성이 좋은 OTA를 설계하는 것이 요구된다.

그림 1(a)의 플로팅 인더터를 구현하기 위해 설계한 CMOS OTA의 내부 회로를 그림 2에 나타냈다^[11].

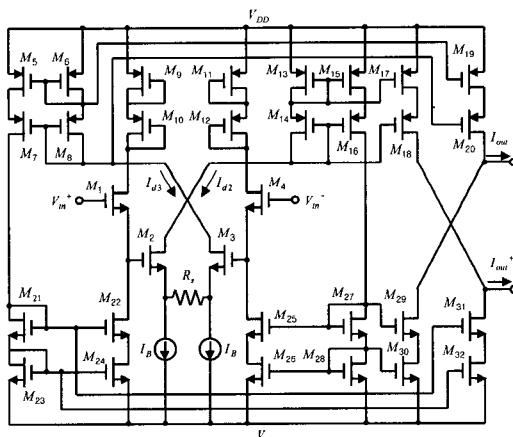


그림 2. 완전-차동형 CMOS OTA의 회로도
Fig. 2. Circuit diagram of a fully-differential CMOS OTA.

회로에서, $M_1 - M_4$ 트랜지스터들과 소스 디제너레이션(source degeneration) 저항 R_s 는 차동 입력단을 형성한다. $M_5 - M_8$, $M_{19} - M_{20}$, $M_{13} - M_{16}$, 그리고 $M_{17} - M_{18}$ 은 각각 PMOS 캐스코드 전류 미러를 형성하고, $M_{21} - M_{24}$, $M_{31} - M_{32}$, $M_{25} - M_{28}$, 그리고 $M_{29} - M_{30}$ 은 각각 NMOS 캐스코드 전류 미러를 형성한다. 회로의 바이어스는 직류 전류 I_B 에 의해 수행된다.

편의상, 모든 트랜지스터들이 정합되어 있다고 가정하고, 입력 전압 V_{in} , 트랜지스터 $M_1 - M_4$, 그리고 소스 디제너레이션 저항 R_s 로 구성되는 루프 주위에 키르히호프의 전압 법칙을 적용하면,

$$V_{in} = \left(\sqrt{\frac{I_{d3}}{K}} + V_t \right) + \left(\sqrt{\frac{I_{d2}}{K}} + V_t \right) + R_s \frac{(I_{d2} - I_{d3})}{2} - \left(\sqrt{\frac{I_{d3}}{K}} + V_t \right) + \left(\sqrt{\frac{I_{d2}}{K}} + V_t \right) \quad (5)$$

를 얻는다. 여기서 V_t 는 소자의 문턱 전압이고, $K = (1/2)\mu_n C_{ox}(W/L)$ 이며, μ_n 은 전자 이동도, C_{ox} 는 산화층의 단위 면적당 채널 커패시턴스, 그리고 W 와 L 은 각각 소자들의 채널 폭과 채널 길이이다. (5) 식을 정리하면,

$$I_{d2} - I_{d3} = \frac{2 V_{in}}{R_s} \quad (6)$$

을 얻는다. 한편, $I_{d2} + I_{d3} = 2 I_B$ 이므로, 이 식과 (6) 식을 함께 이용하면 I_{d2} 와 I_{d3} 가 다음과 같이 얻어진다.

$$I_{d2} = I_B + \frac{V_{in}}{R_s} \quad (7a)$$

$$I_{d3} = I_B - \frac{V_{in}}{R_s} \quad (7b)$$

출력단의 전류 미러들에 의해 I_{d2} 와 I_{d3} 의 차가 I_{out+} 로 출력되고 I_{d3} 와 I_{d2} 의 차가 I_{out-} 로 출력되므로, OTA의 입-출력 관계식은 다음과 같이 표현된다.

$$I_{out+} = I_{out-} = \frac{2}{R_s} V_{in} = G_m V_{in} \quad (8)$$

(8) 식은, OTA의 트랜스컨더턴스 G_m 이 차동 입력단의 소스 디제너레이션 저항 R_s 에 의해서만 결정되고, 트랜지스터의 파라미터들에는 영향을 받지 않는다는 것을 말해준다. 이 증폭기의 입력 선형 범위는 (7) 식들로부터 다음과 같이 쓸 수 있다.

$$|V_{in}| < I_B R_s \quad (9)$$

그림 2의 OTA를 이용하여 그림 1(a)의 플로팅 인더터를 구성했을 경우, 그것의 등가 인더턴스는 다음과 같이 표현된다.

$$L_{eq} = \frac{CR_s^2}{4} \quad (10)$$

등가 인더턴스가 커패시턴스와 OTA의 소스 디제너레이션 저항에 의해 결정된다는 점에 주목할 필요가 있

다. 즉 이는 온도 계수가 작은 커패시터와 저항기를 사용하면 온도에 안정한 플로팅 인더터를 실현할 수 있다는 것을 의미한다.

III. OTA 기생 효과

지금까지는 플로팅 인더터를 구성하기 위해 사용한 OTA가 이상적이라고 가정하였다. 그러나 실제로는 OTA의 기생 성분들 때문에 고주파 특성이 열화 된다.

플로팅 인더터의 성능에 영향을 미치는 OTA의 기생 성분들은 다음의 두 가지, 즉 유한 입력 임피던스와 출력 임피던스, 그리고 주파수에 의존하는 트랜스 컨덕턴스이다. 이 성분들을 포함시킨 OTA의 2차 매크로모델(macromodel)을 그림 3에 나타냈다^[12].

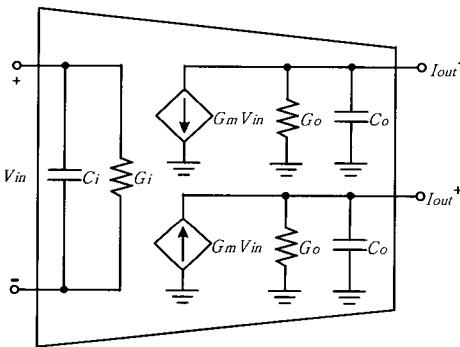


그림 3. OTA의 2차 매크로모델
Fig. 3. Second-order OTA macromodel.

여기서, C_i 와 G_i 는 각각 OTA 입력단에 기생하는 커패시턴스 성분과 컨덕턴스 성분을 나타내며, C_o 와 G_o 는 각각 OTA 출력단에 기생하는 커패시턴스 성분과 컨덕턴스 성분을 나타낸다. 트랜스컨덕턴스 G_m 은 $G_m = G_{m0} \left(\frac{\omega_c}{s + \omega_c} \right)$ 로 나타내어지는데, G_{m0} 는 직류 및 저주파에서의 트랜스컨덕턴스 값을 의미하고 ω_c 는 G_{m0} 가 3-dB 떨어지는 주파수를 의미한다.

그림 1의 플로팅 인더터에서 OTA1과 OTA2가 정합되었다고 가정하고, OTA의 2차 매크로모델을 사용하여 고주파 해석을 하면, 그림 4에 보인 고주파 등가 회로를 얻어진다.

이 등가 회로에서 등가 인더턴스 L_{eq} 와 직렬 표유 저항(stray resistance) r_s 는 각각

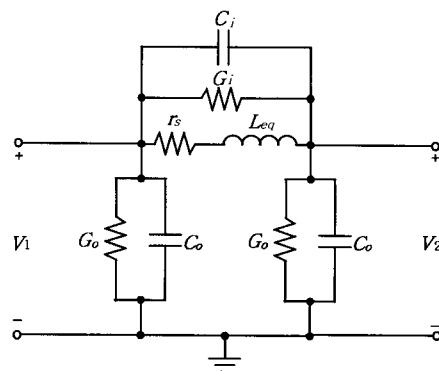


그림 4. 플로팅 인더터의 고주파 등가 회로
Fig. 4. High-frequency equivalent circuit of the floating inductor.

$$L_{eq} = \frac{2C_i + C_o + 2C}{2G_{m0}^2 \left(\frac{\omega_c}{\omega + \omega_c} \right)^2} \quad (11)$$

$$r_s = \frac{2G_i + G_o}{2G_{m0}^2 \left(\frac{\omega_c}{\omega + \omega_c} \right)^2} \quad (12)$$

이다. 이 식들로부터, L_{eq} 는 저주파에서 $L_{eq} \approx (2C_i + C_o + 2C) / 2G_{m0}^2$ 으로 근사화되고, 고주파에서는 주파수가 증가함에 따라 증가한다는 것을 알 수 있다. 또한, r_s 도 저주파에서는 $r_s \approx (2G_i + G_o) / 2G_{m0}^2$ 으로 근사화되고, 고주파에서는 그 값이 주파수가 증가함에 따라 증가한다는 것도 알 수 있다.

제안한 플로팅 인더터와 기존의 플로팅 인더터^{[7]~[10]}을 비교하기 위해, 이들의 Q 인수(quality factor)를 계산했다. 이들 인더터에 사용된 OTA들은 동일하다고 가정하고, 그림 3에 보인 2차 OTA 매크로모델을 이용하여 인더터들을 고주파 해석했다. 그 결과를 표 1에 나타냈다. 표로부터 알 수 있듯이, 인더터를 구성하는 커패시터 C가 OTA의 기생 용량들보다 매

표 1. 플로팅 인더터들의 Q 인수

Table 1. Q factors of the floating inductors.

플로팅 인더터들의 형태	Q
제안한 플로팅 인더터	$\frac{\omega(2C_i + C_o + 2C)}{2G_i + G_o}$
참고문헌 [7]과 [8]의 플로팅 인더터	$\frac{\omega(2C_i + C_o + C)}{2G_i + G_o}$
참고문헌 [9]와 [10]의 플로팅 인더터	$\frac{\omega(2C_i + 2C_o + C)}{2(G_i + G_o)}$

우 클 때, 즉 $C \gg C_i, C_o$ 일 때, 제안한 인덕터가 기존의 인덕터들보다 두 배 정도의 큰 값의 Q 인수를 가진다는 것을 알 수 있다.

IV. 실험 결과

그림 2의 OTA를 표 2에 나타낸 MOSIS의 $1.2\mu\text{m}$ n-웰 CMOS 트랜지스터 공정 파라미터를 사용하여 SPICE로 시뮬레이션하였다. 시뮬레이션에 사용된 모든 트랜지스터들의 채널 폭 W 와 채널 길이 L 은 각각 $6\mu\text{m}$ 와 $1.2\mu\text{m}$ 이었다. OTA의 소스 디제너레이션 저항 $R_s = 40\text{ k}\Omega$, 바이어스 전류 $I_B = 50\mu\text{A}$, 그리고 전원 전압은 $V_{DD} = -V_{SS} = 5\text{ V}$ 이었다. 그림 5에 OTA의 직류 전달 특성을 나타냈다. 이 그림은 제안

표 2. $1.2\mu\text{m}$ n-웰 CMOS 트랜지스터 공정 파라미터

Table 2. $1.2\mu\text{m}$ n-well CMOS transistor process parameters.

SPICE MODEL PARAMETER		
NMOS	LEVEL=2 UO=521.3 VTO=917E-3 NFS=0.6E+12 TPG=1.0 TOX=22.5E-9 NSUB=5.7E16 UCRIT=50.0E3 UEXP=85.6E-3 VMAX=49.5E3 RSH=349.7 XJ=300.0E-9 LD=202.8E-9 DELTA=5.28 PB=0.8 JS=10E-6 NEFF=3.1 WD=222.7E-9 CJ=462.1E-6 MJ=421.2E-3 CJSW=4.5E-10 MJSW=169.0E-3 CGSO=310E-12 CGDO=310E-12 CGBO=340E-12 FC=500.0E-3 XQC=1.0	
PMOS	LEVEL=2 UO=167.5 VTO=-915E-3 NFS=0.65E+12 TPG=-1.0 TOX=22.5E-9 NSUB=3.7E16 UCRIT=10.0E3 UEXP=99.3E-3 VMAX=28.6E3 RSH=418.2 XJ=300.0E-9 LD=70.9E-9 DELTA=2.15 PB=0.8 JS=10E-6 NEFF=0.931 WD=408.2E-9 CJ=394.8E-6 MJ=454.3E-3 CJSW=4.5E-10 MJSW=210.8E-3 CGSO=108E-12 CGDO=108E-12 CGBO=625E-12 FC=500.0E-3 XQC=1.0	

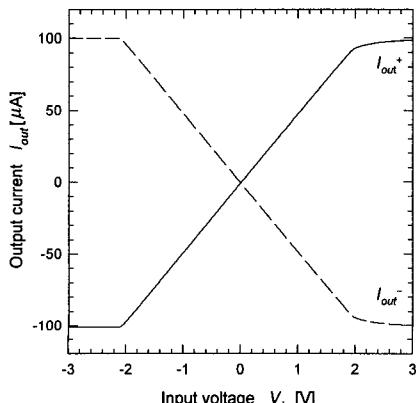


그림 5. CMOS 선형 OTA의 직류 전달 특성
Fig. 5. DC transfer characteristics of the CMOS linear OTA.

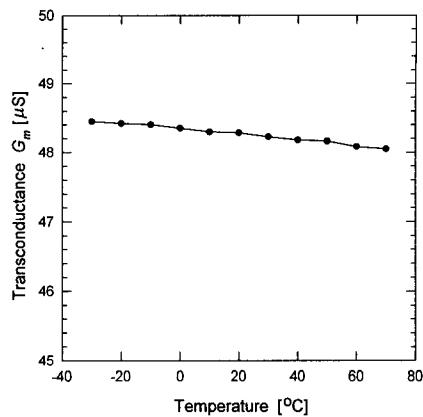


그림 6. CMOS 선형 OTA의 온도 특성

Fig. 6. Temperature characteristics of the CMOS linear OTA.

한 OTA가 $\pm 2\text{ V}$ 의 차동 입력 범위를 가진다는 것을 보여준다. OTA의 온도 특성은 그림 6에 나타났다. 이 그림으로부터, OTA의 온도에 대한 트랜스컨덕턴스의 변화가 약 $-90\text{ ppm}/\text{°C}$ 라는 것을 알 수 있다.

이 OTA들을 이용하여 그림 1의 플로팅 인덕터를 구성한 후 시뮬레이션했다. 인덕터 내부의 커패시터 C 의 커패시턴스를 바꾸어 가면서 측정한 등가 인덕턴스를 그림 7에 나타냈다. 등가 인덕턴스는 직렬 공진 법을 이용하여 측정했고, 공진 주파수는 223.6 kHz 였다. 등가 인덕턴스의 온도 특성 역시 그림 7에 나타났다. 이 온도 특성은 수동 소자들(즉, OTA의 소스 디제너레이션 저항 R_s 와 인덕터 내부의 커패시터 C)의 온도 계수를 고려하지 않고 측정한 것이다. 이 그림으

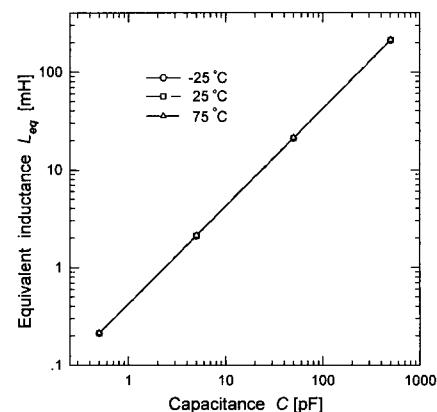


그림 7. 플로팅 인덕터의 등가 인덕턴스 대 커패시턴스 특성

Fig. 7. Equivalent inductance versus capacitance characteristics of the floating inductor.

로부터, 이론대로, 등가 인더턴스가 커페시터 값에 선형적으로 비례한다는 것과 온도 변화에 대해 거의 영향받지 않는다는 것을 알 수 있다. 인더턴스의 온도 계수는 $-179 \text{ ppm}/\text{C}$ 였다.

주파수 변화에 대한 등가 인더턴스의 변화를 직렬 공진법을 이용하여 시뮬레이션한 결과를 그림 8에 나타냈다. 시뮬레이션에 사용된 인덕터 내의 커페시터는 5 pF 과 50 pF 이었고, 이는 이론적인 등가 인더턴스의 값이 각각 2mH 와 20mH 가 되도록 설정한 값이다. 이 그림으로부터, OTA의 기생 성분들의 영향 때문에 고주파에서는 등가 인더턴스의 값이 증가되는 것을 볼 수 있으며, 등가 인더턴스가 작을수록 고주파에서의 동작이 양호하다는 것을 알 수 있다. 실현된 인덕터의 사용 가능한 주파수 대역은 인더턴스가 2mH 의 경우 약 30MHz 까지이다.

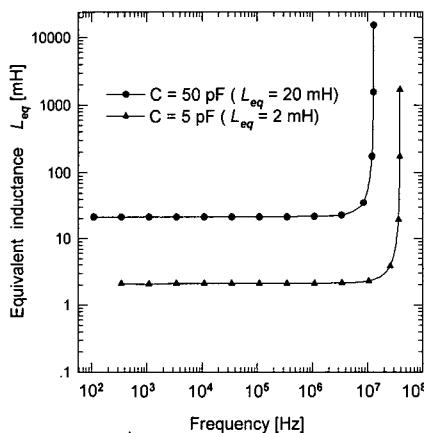


그림 8. 플로팅 인덕터의 등가 인더턴스 대 주파수 특성
Fig. 8. Equivalent inductance versus frequency characteristics of the floating inductor.

본 논문에서 제안한 플로팅 인덕터와 기존의 플로팅 인덕터들의 특성을 비교하기 위해 직렬 공진법을 이용하여 이들의 Q 값을 시뮬레이션했다. 인덕터들은 세 가지 모두 그림 2의 OTA를 사용하여 구성했다. 인덕터 내부의 커페시터 C 를 50 pF 으로 설정하여 이론적 인 등가 인더턴스가 20mH 가 될 때의 Q 를 측정한 결과를 그림 9에 나타냈다.

이 그림에서 (a) 그래프는 본 논문에서 제안한 인덕터의 Q 특성을 나타내고, (b)와 (c) 그래프는 각각 참고문헌 [7], [8]과 [9], [10]에서 제시된 인덕터의 Q 특성을 나타낸다. 이 그림으로부터 본 논문에서 제안한 형태의 인덕터가 기존 형태의 인덕터보다 1.5~2배

큰 Q 값을 가진다는 것을 알 수 있다.

내부의 커페시터 C 를 제외하고 인덕터를 $1.2\mu\text{m}$ n-웰 CMOS 공정으로 제작한 칩(chip)의 현미경 사진을 그림 10에 나타냈다.

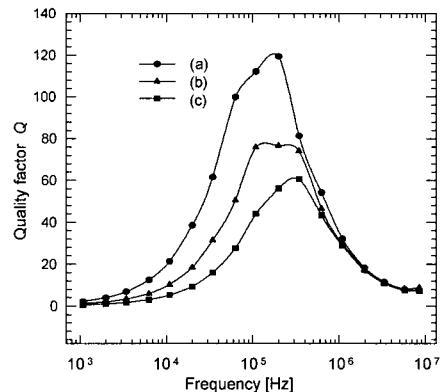


그림 9. 인덕터들의 Q 특성 : (a) 제안한 플로팅 인덕터의 Q 특성 ; (b) 참고문헌 [7]과 [8]에서 제시된 인덕터의 Q 특성 ; (c) 참고문헌 [9]와 [10]에서 제시된 인덕터의 Q 특성

Fig. 9. Q characteristics of the inductors : (a) Proposed floating inductor ; (b) Floating inductor of references [7] and [8] ; (c) Floating inductor of references [9] and [10].

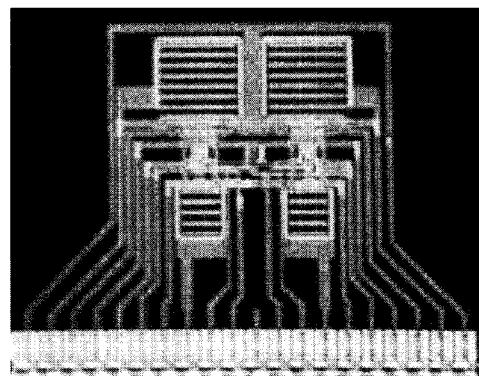


그림 10. IC로 제작된 인덕터의 현미경 사진
Fig. 10. Microphotograph of the IC inductor.

사진에서, 두 개의 OTA가 중앙의 좌우에 대칭으로 위치해 있고, 위에는 바이어스용 저항들과 아래에는 R_s 저항들이 위치해 있는 것을 볼 수 있다. 칩의 면적은 약 4.36 mm^2 ($2.37 \text{ mm} \times 1.84 \text{ mm}$)이다. 제작된 IC에 커페시터 C (50 pF 의 폴리스티렌 커페시터)를 연결한 IC 인덕터로 그림 11에 보인 직렬 공진 회로

를 구성하여 직렬 공진 특성을 관측했다. 그 결과를 그림 12에 나타냈다.

공진용 저항 R_r 은 $3.4\text{ k}\Omega$ 의 정밀 저항을 사용했고, 공진용 커패시터 C_r 은 140 pF 의 폴리스티렌 커패시터(Q 가 약 18000)를 사용했다. 그림 12(a)는 주파수가 35 kHz 일 때의 입력(채널 1) 및 출력(채널 2)

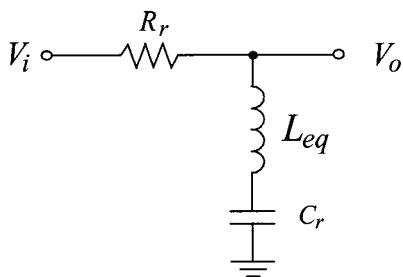
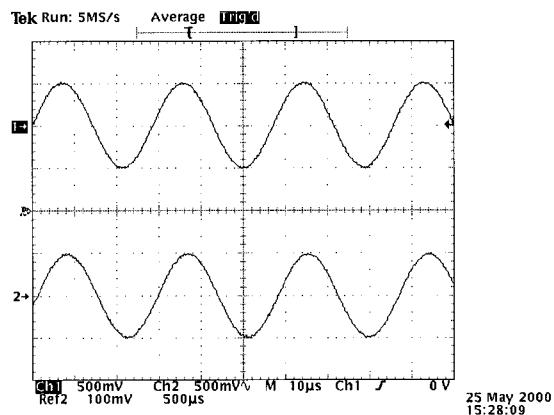
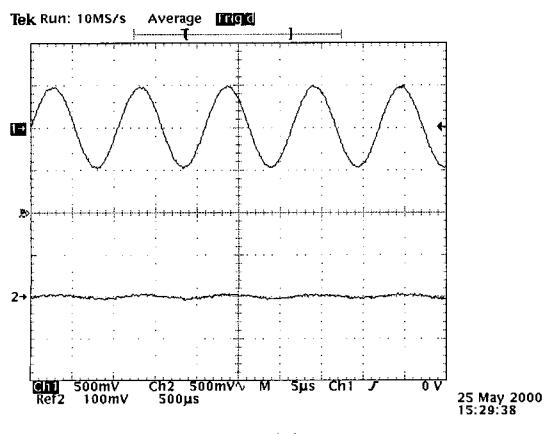


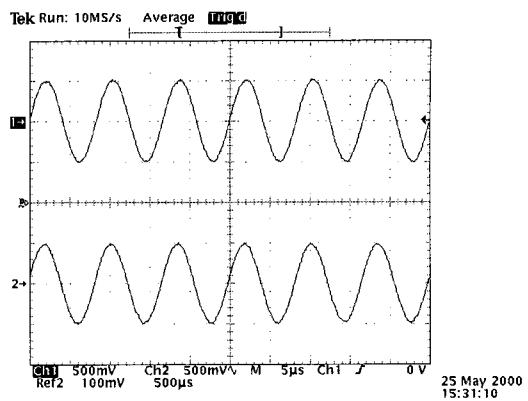
그림 11. IC 인더터로 구성한 직렬 공진 회로
Fig. 11. Series resonant circuit built with the IC inductor.



(a)



(b)



(c)

그림 12. IC 인더터의 직렬 공진 특성: (a) 주파수가 35 kHz 일 때의 입력(채널 1) 및 출력(채널 2) 사인파형들; (b) 주파수가 95.43 kHz 일 때의 입력 및 출력 사인파형들; (c) 주파수가 120 kHz 일 때의 입력 및 출력 사인파형들

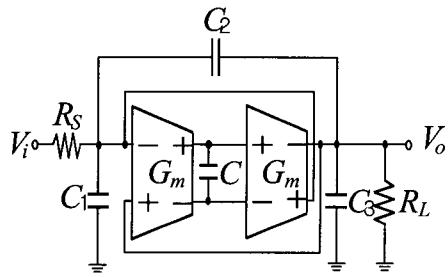
Fig. 12. Series resonant characteristics of the IC inductor: (a) Input-output sinusoidal waveforms at the frequency of 35 kHz ; (b) Input-output sinusoidal waveforms at 95.43 kHz ; (c) Input-output sinusoidal waveforms at 120 kHz

사인파형을 보여준다. 이 주파수에서는 커패시터 C_r 의 임피던스가 크고 IC 인더터의 임피던스가 작기 때문에, 입력의 대부분이 출력으로 전달된다. 그림 12(b)는 주파수가 95.43 kHz 일 때의 입-출력 사인파형을 보여준다. 이 주파수에서는 커패시터 C_r 과 인더터의 직렬 합성 임피던스가 매우 작아지는(이론적으로는 0) 직렬 공진이 일어난다. 따라서 이 때의 출력은 거의 0이다. 그림 12(c)는 주파수가 120 kHz 일 때의 입-출력 파형을 보여준다. 이 주파수에서는 인더터의 임피던스가 크고 커패시터 C_r 의 임피던스가 작기 때문에 입력의 대부분이 출력으로 전달된다. 그림 12(b)의 결과로부터, 직렬 공진회로의 공진 주파수가 95.43 kHz 이고, 인더터의 인더턴스가 19.87 mH 이며, Q 값이 79.9라는 것을 알 수 있다. 실측된 인더터의 인더턴스 값과 Q 값이 컴퓨터 시뮬레이션 값들(그림 8과 9 참조)보다 약간 작은데, 그 이유는 다음과 같다. 즉, 인더턴스 값이 작은 이유는 OTA의 소스 디제너레이션 저항 R_s 가 원래의 설계값인 $40\text{ k}\Omega$ 보다 작게 공정 되었기 때문이고, Q 값이 작은 이유는 칩(chip)의 패드(pad) 및 배선들에 존재하는 기생 저항에 기인하여

인덕터의 표유 저항 r_s 가 증가했기 때문이다.

V. 저역-통과 여파기에의 응용

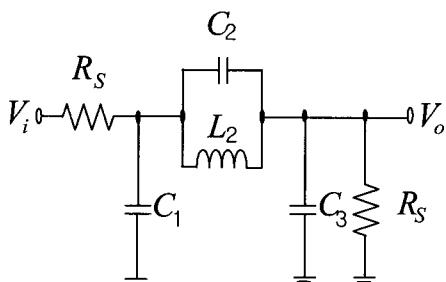
제안한 시뮬레이티드 플로팅 인덕터의 유용성을 입증하기 위해, 사다리형 3차 일립틱 저역-통과 여파기(ladder type 3rd order elliptic low-pass filter)를 실현했다. 여파기의 실현은 최소의 인덕터를 갖는 LC 사다리 회로망(minimum inductor LC ladder network)에 소자 시뮬레이션 방식을 적용하여 수동 인덕터를 시뮬레이티드 플로팅 인덕터로 직접 교체하는 방식을 취했다^[13]. 실현한 예를 그림 13(a)에 나타냈다. 그림 13(b)는 수동 인덕터로 구성된 동일한 여파기를 참고로 나타낸 것이다.



$$C_1 = C_3 = 4.95 \text{ pF}, C_2 = 2.29 \text{ pF}$$

$$C = 1.06 \text{ pF}, R_S = R_L = 10 \text{ k}\Omega$$

(a)



$$C_1 = C_3 = 4.95 \text{ pF}, C_2 = 2.29 \text{ pF}$$

$$L_2 = 423 \mu\text{H}, R_S = R_L = 10 \text{ k}\Omega$$

(b)

그림 13. (a) 시뮬레이티드 플로팅 인덕터로 실현한 3차 일립틱 저역-통과 여파기, (b) 수동 인덕터로 실현한 LC 수동 여파기

Fig. 13. (a) 3rd order elliptic low-pass filter using the simulated floating inductor, (b) LC passive filter using a passive inductor.

여파기들은 3MHz의 리플(ripple) 대역폭과 0.18dB의 통과-대역 리플, 그리고 4.57MHz에서 17.86dB의 저지-대역 감쇠량을 갖도록 설계되었다^[14]. 그럼 14에 여파기들의 크기 특성을 시뮬레이션 결과를 나타냈다. 이 그림으로부터 시뮬레이티드 인덕터로 구성한 능동 여파기의 크기 특성이 수동 인덕터로 구성한 수동 여파기의 크기 특성과 잘 일치한다는 것을 알 수 있다. 표 3에 설계값과 시뮬레이션 결과를 비교하여 나타냈다. 이 표로부터 여파기의 설계값과 시뮬레이션 결과가 거의 일치한다는 것을 알 수 있다. 이 여파기는 현재 IC 공정 중에 있다.

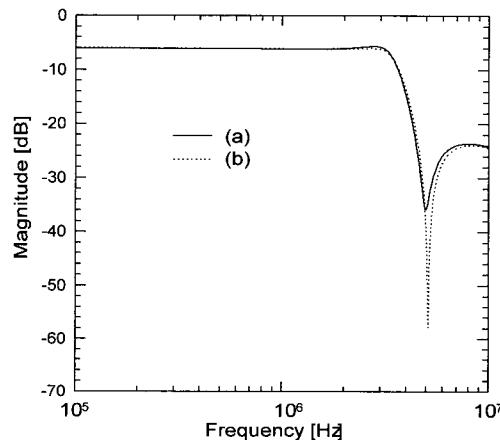


그림 14. 여파기들의 크기 특성 : (a) 그림 13(a)에 보인 능동 여파기 ; (b) 그림 13(b)에 보인 수동 여파기

Fig. 14. Magnitude characteristics for the filters : (a) Active filter shown in Fig. 13(a) ; (b) Passive filter shown in Fig. 13(b)

표 3. 여파기 성능표

Table 3. Filter performance.

	설계값	시뮬레이션값
리플 대역폭	3 MHz	3.15 MHz
통과-대역 리플	0.18 dB	0.50 dB
저지-대역 감쇠량	17.86 dB	17.50 dB
3-dB 차단 주파수	-	3.6 MHz
소비전력	-	8 mW
3-dB 주파수 온도계수	-	-16.6 ppm/°C

VI. 결 론

두 개의 완전-차동형 OTA들과 하나의 커패시터를 이용하여 시뮬레이티드 플로팅 인더터를 실현했다. 실현된 인더터의 동작 원리를 기술했고 컴퓨터 시뮬레이션으로 인더터의 여러 특성들을 조사했다. 또한, 제안한 인더터 회로를 CMOS 공정으로 집적화 하여 그 것의 실용성을 검토했다. 실현된 플로팅 인더터는 회로 구성이 간단하고 온도 특성이 양호하며 기존의 인더터들보다 높은 Q 값을 가진다는 장점을 가지고 있다. 실현된 인더터의 유용성을 입증하기 위해 3차 일립틱 저역-통과 여파기를 설계했고 컴퓨터 시뮬레이션을 통해 설계된 여파기가 이론대로 수동 여파기에 근접한 특성을 보인다는 것을 확인했다. 능동 여파기 이외에도, 이 플로팅 인더터는 좋은 온도 특성과 높은 Q 값이 요구되는 사인파 발진기 및 공진회로 등에 응용될 수 있을 것이다.

참 고 문 헌

- [1] National Operational Amplifiers Databook, National Semiconductor Corp., Santa Clara, CA, 1995.
- [2] A. S. Sedra, P. O. Brackett, Filter Theory and Design : Active and Passive, Matrix Publishers, Inc., Ch. .8-9, 1978
- [3] K. R. Laker, W. M. C. Sansen, Design of Analog Integrated Circuits and System, McGraw-Hill, Inc., Ch. 5, 1994.
- [4] D. Johns, K. Martin, Analog Integrated Circuit Design, John Wiley & Sons, Inc., Ch. 15, 1997.
- [5] F. Krummenacher and N. Joehl, A 4-MHz CMOS continuous-time filter with on-chip automatic tuning, IEEE J. Solid-State Circuits, vol. 23, No. 3, pp. 750-758, June 1988.
- [6] Y.-T. Wang and A. A. Abidi, CMOS active filter design at very high frequencies, IEEE J. Solid-State Circuits, vol. 25, No, 6, pp. 1562-1574, Dec. 1990.
- [7] R. NANDI, Lossless inductor simulation : Novel configurations using D.V.C.C.S., Electronics Letters, Vol. 16, pp.666-667, Aug. 1980.
- [8] L.P. Huelsman, Active and Passive Analog Filter Design, McGRAW-HILL, Inc, International edition, Ch. 6, 1993.
- [9] M. M. Green, On power transmission of LC ladder filter using active inductor realizations, IEEE Transactions on Circuits and System-I, Vol. 43, No. 6, pp. 509-511, June 1996.
- [10] P. D. Walker, M. M. Green, An Approach to fully differential circuit design without common-mode feedback, IEEE Transactions on Circuits and System-II, Vol. 43, No.11, pp. 752-762, Nov. 1996.
- [11] W.-S. Chung and H.-W. Cha, Bipolar linear transconductance, Electronics Letters, Vol. 26, pp. 619-620, May 1990.
- [12] A. Rodriguez-Vazquez, et al., On the design of voltage-controlled sinusoidal oscillators using OTA's, IEEE Transactions on Circuits and Systems, Vol. 37, No. 2, pp. 198-211, Feb. 1990.
- [13] M. E. Van Valkenburg, Analog Filter Design, CBS College Publishing, ch. 15, 1982.
- [14] Arther B. Williams, Electronic Filter Design Handbook, McGRAW-HILL, Inc., 1981.

저자 소개

申熙鍾(正會員) 第37卷 第1號 pp. 48 參照

1961년 4월 3일생. 1983년 2월 청주대학교 전자공학과(공학사). 1989년 2월 청주대학교 전자공학과(공학석사). 2001년 2월 청주대학교 전자공학과(공학박사 예정). 1995년 3월~현재 대원과학대학 전자계산과 조교수. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 센서 신호처리 회로 설계 등

鄭元燮(正會員)

1955년 11월 3일생. 1977년 2월 한양대학교 전자통신공학과(공학사). 1979년 2월 한양대학교 전자통신공학과(공학석사). 1986년 3월 일본 靜岡(Shizuoka)대학 전자과학연구과(공학박사). 1986년 4월~현재 청주대학교 이공대학 전자·정보통신·반도체공학부 교수. 주관심분야는 Bipolar 및 CMOS 아날로그 집적회로 설계, 아날로그 필터 설계, 전류-모드 신호처리 회로 설계, 센서 신호처리 회로 설계 등