

AC PDP의 구동 방법과 개발 동향

서정현(Samsung SDI PDP 본부 개발 2팀)

I. 서론

플라즈마 디스플레이의 구동이라 하면 구동파형, 구동회로, 구동 알고리즘 등을 들 수 있다. 다양한 구동 파형과 여러 형태의 구동회로(에너지 회수회로, TERES 등)가 개발되고, 화질개선을 위한 많은 알고리즘이 도입되면서 개개의 분야가 점점 전문화 되고 복잡화 되어 가고 있다. 본 고에서는 이중에서도 PDP의 구동파형에만 국한하여 이야기 하고자 한다.

초기 PDP 구동에 있어서는 계조표현이 가장 큰 문제였다. 현재, 각종 정보 전달 매체로서 널리 사용되고 있는 CRT(Cathode Ray Tube)의 경우에는 전자빔의 세기를 조절하여 각 pixel에 조사함으로써 계조를 표현하고 있다. 그러나, PDP의 경우에는 방전을 발생시켜 밝기를 표현하며, 방전의 특성상 on/off의 두 가지 상태만을 갖음으로 CRT와 같은 방식으로는 계조 표현이 불가능하다. 이 계조표현 문제는 Fujitsu에서 ADS(Address display period separated) 구동법이 개발되면서 가능하여졌다. 계조표현이 가능하여진 이후로는 패널 특성과 관련하여 안정적인 동작마진을 확보하는 것이 문제가 되었으며, 이와 더불어 고명암비를 달성하는 것이 구동 파형 설계의 핵심이 되었다. 최근에는 HDTV(High definition TV)와 같은 고해상도를 구현하기 위하여 주사시간의 절약을 위한 새로운 구동방법과 고속 어드레싱에 대한 연구가 진행되고 있다. 본 고에서는 PDP 구동파형의 그 동안의 연구 과정과 결과들에 대해서 살펴보고, 앞으

로의 파형 개발방향에 대해 논의하고자 한다.

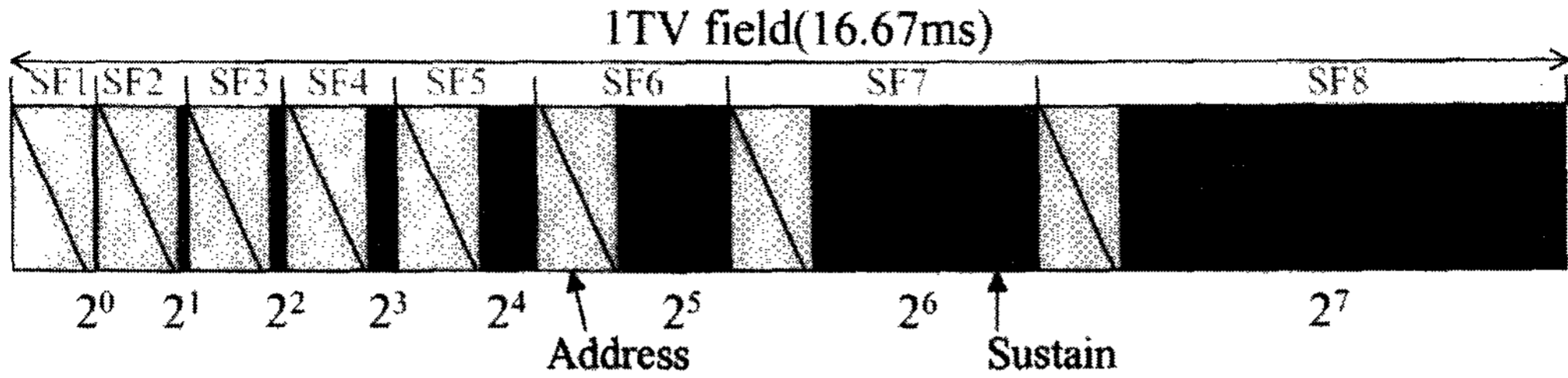
II. 본론

1. 구동방식

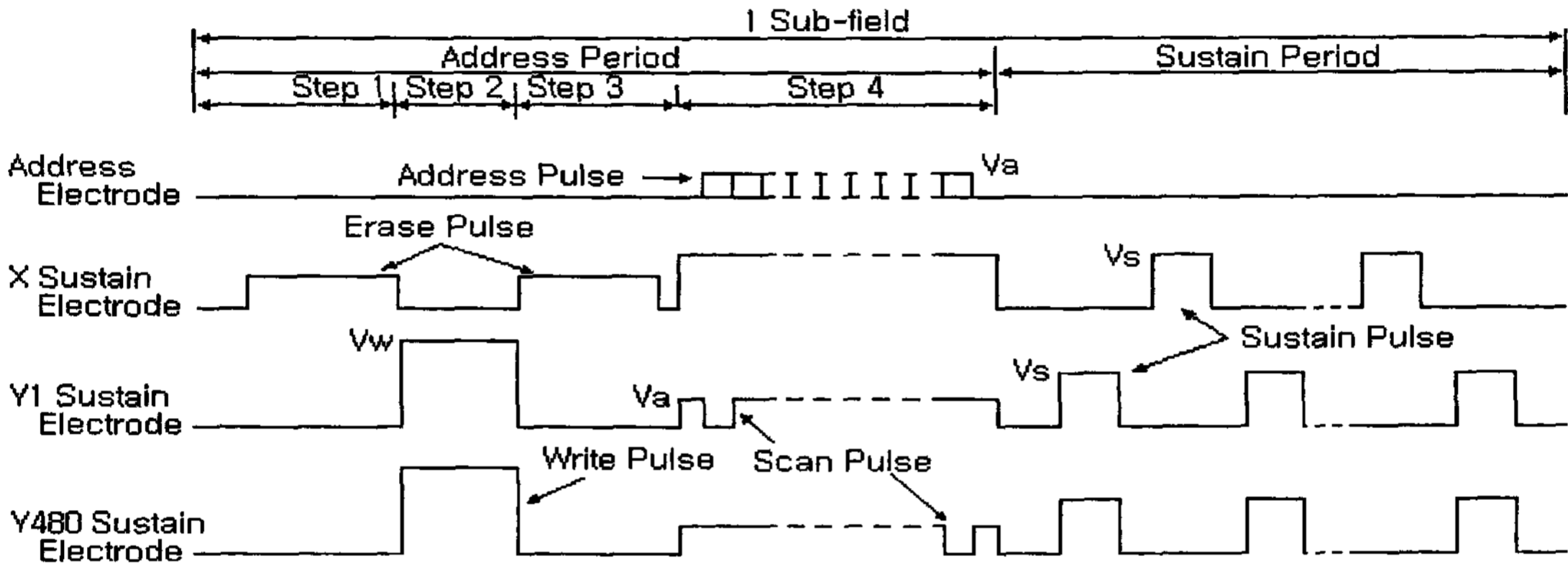
PDP는 on/off의 두가지 상태만이 존재하기 때문에 방전의 횟수를 달리하여 밝기를 조절한다. 현재, 교류형 PDP의 경우에는 1TV field(16.67ms)의 시간을 각각 다른 펄스 개수를 갖는 복수개의 subfield로 분할하고, 분할된 subfield를 조합하여 원하는 계조를 표현하는 방식을 사용하고 있다. 매 subfield는 항상 어드레스 기간과 밝기를 나타내는 디스플레이 기간, 이전 subfield에 의해 형성된 벽전하를 소거하는 reset 기간으로 구성되어 진다. 대표적인 구동방법으로는 ADS 방식과 AWD(address while display) 방식이 있다.

(1) ADS 구동방법^[1]

ADS 구동방법은 Fujitsu사에 의해 개발된 구동방식이다. <그림 1>은 ADS 구동방식에서 subfield의 배열과 한 개의 subfield 내에서의 구동파형을 나타내고 있다. 이 구동방식의 특징은 각 스캔 전극을 따라 어드레싱이 이루어지는 기간과 유지방전이 이루어지는 기간을 분리하여, 모든 유지방전이 동시에 진행되도록 시간을 배열한 것이 특징이다. 초기 구동방식에서는 256계조를 달성하기 위하여 1TV field를 $2^0, 2^1, 2^2, 2^3, 2^4, 2^5, 2^6, 2^7$ 의 밝기의 비율을 갖는 8개의 subfield로 분할하였다. 이렇게 하여 모두 켜

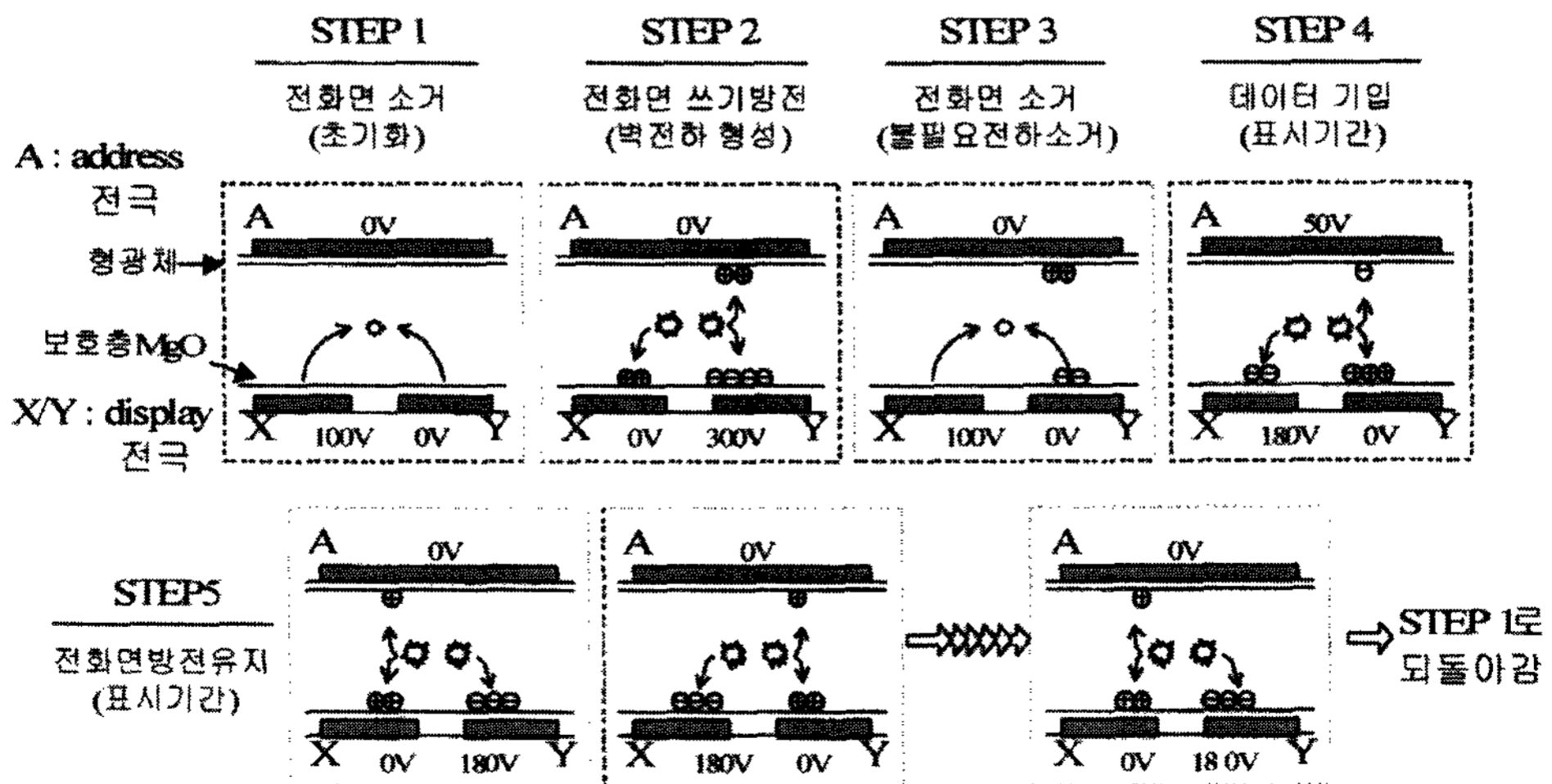


(a) 1TV field 내에서의 subfield의 형태와 배열



(b) Subfield 내에서의 상세 구동 파형

<그림 1> ADS 구동법의 구동방법



<그림 2> 표면 방전형 AC PDP에서 ADS 구동법에 의한 벽전하 거동의 개념도

때는 $2^0+2^1+2^2+2^3+2^4+2^5+2^6+2^7=255$ 의 밝기를 표현하고, 모두 켜질 때는 0의 밝기를 나타내게 된다. 그 외의 중간의 밝기는 다른 몇 개의

subfield를 조합함으로써 계조를 달성하도록 하였다. ADS 구동법은 ac PDP를 이용하여 고계조를 달성할 수 있도록 한 최초의 구동방식이라

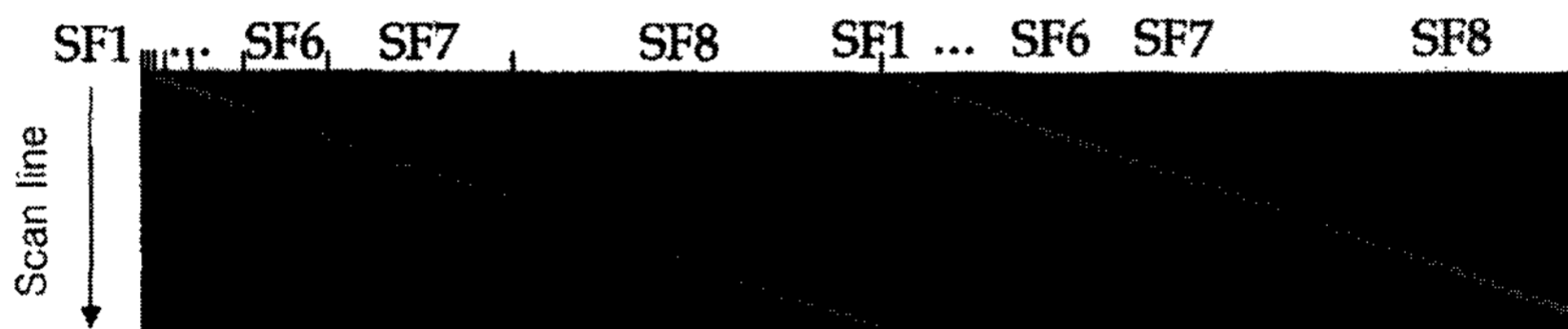
고 할 수 있다.

각 subfield에서 reset과 어드레스, 유지방전이 이루어지는 과정 동안에 셀 내부의 벽전하들의 상태를 보면 <그림 2>와 같다. 먼저, step 1에서는 이전 방전에서 형성된 벽전하를 소거한다. 다음에 step 2와 3에서는 벽전하를 쌓고 다시 지워줌으로써 셀마다 다른 방전 전압의 차이를 해소하고 어드레스 방전이 성공적으로 수행될 수 있도록 벽전하를 set-up한다. 그리고, step 4에서 어드레스 방전을 수행하고, 다음에 유지방전을 하게 된다. 그러나, ADS 구동방식은 각 구간의 동작을 수행할 때에 전화면을 동시에 행함으로 reset과 어드레스 구간에 소요되는 시간이 전체 시간의 80%에 이른다. 따라서, HD와 같이 고해상도가 되었을 때는 충분한 휘도를 내기 위한 유지기간의 시간이 매우 줄어드는 문제점이 있다.

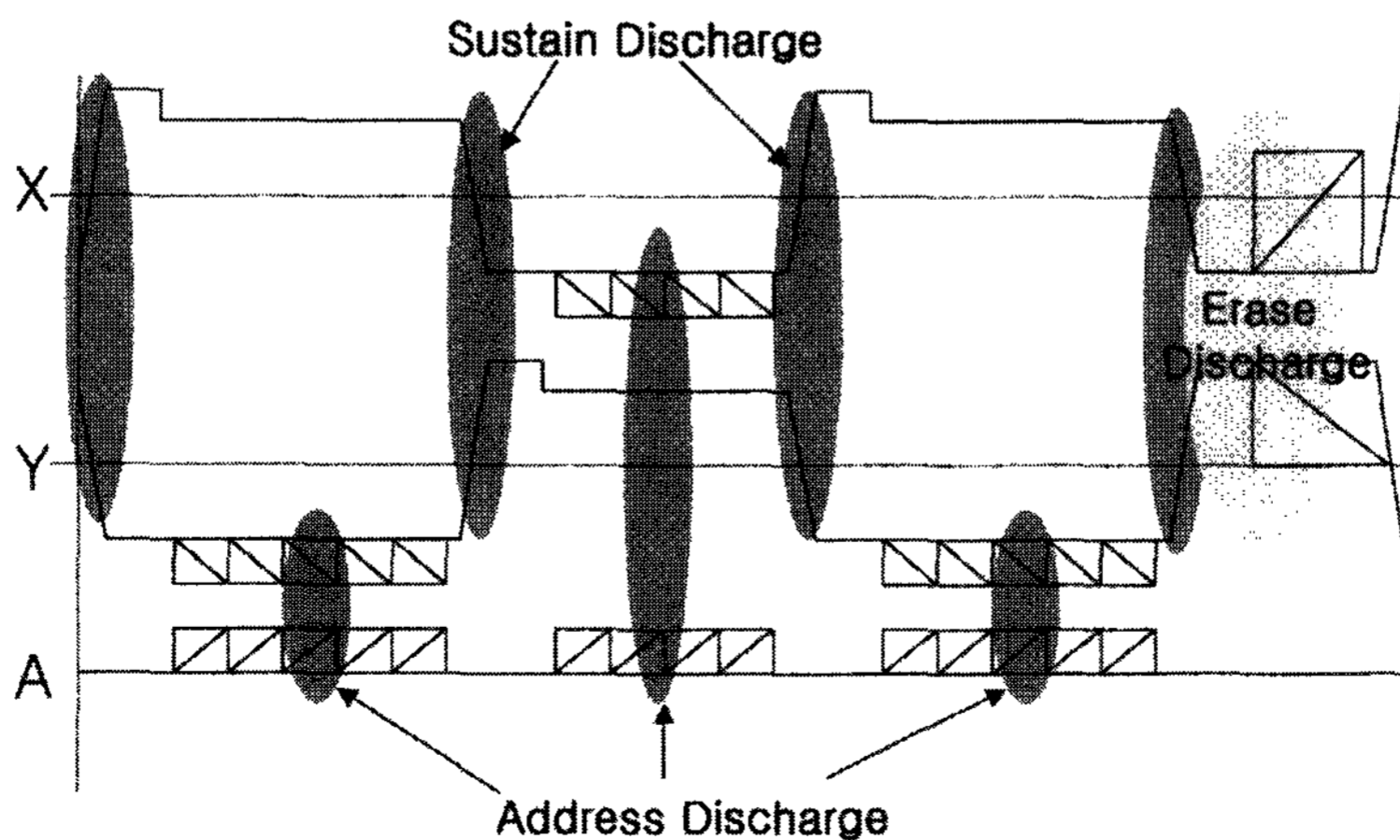
(2) AWD 방식^[2]

AWD 방식은 ADS와 달리 어드레스 기간과 유지기간을 구분하지 않고 구동하는 방식이다.

즉, 개개의 scan 라인은 ADS와 같이 reset, 어드레스, 유지기간으로 나누어 구동하지만, 다른 라인과 상관없이 개별적으로 동작을 한다는 개념이다. <그림 3(a)>는 전 화면에서 AWD 방식의 시분할 개념도를 나타낸다. AWD 구동파형은 어떤 셀이 유지방전을 하는 동안에, 다른 셀은 어드레스 방전이나 reset 방전을 수행할 수 있기 때문에 구동펄스의 설계가 매우 중요하다. <그림 3(b)>에 보여지는 구동 파형은 AWD 구동의 대표적인 방식인 MAoD를 도시한 것이다^[3]. ADS 구동 파형과는 달리 어드레스 기간과 유지기간이 분리되지 않음으로 유지기간에 할당할 수 있는 시간이 1TV field에서 90%에 이른다. 하지만, 유지펄스가 인가되는 도중에 어드레스 방전이 수행되기 때문에 유지펄스의 폭이 ADS 구동보다



(a) AWD 구동에서 전화면에 인가되는 subfield의 시간 배열



(b) MaoD 구동법의 한 slot 구동 파형

<그림 3> AWD 구동법의 구동 방법

더 길어져서 실제 유지방전 펄스 수가 같은 비율로 증가하지는 않는다. AWD 방식은 그 파형의 특성상 reset 파형 설계에 자유도가 ADS에 비해서는 떨어짐으로 안정적인 소거와 어드레스 방전을 위한 연구가 계속되어야 할 필요가 있다. 아직까지, AWD 방식은 실용화 되어 있지는 않으나, 기술적으로는 상당히 접근한 상태이며, Fujitsu의 ADS 특허를 회피할 대안이 될 수 있다.

2. 구동파형 설계

PDP 구동파형의 설계에 있어서 핵심적인 부분은 reset 파형이다. Reset의 기본적인 역할은 이전 방전에 의해 형성된 벽전하를 소거하고, 다음 어드레스 방전이 잘 수행될 수 있도록 벽전하를 set-up 하는데 있다. PDP 패널에는 수 백만 개의 셀들이 존재하고, 이 셀들은 모두 조금씩 다른 방전 전압을 갖는다(경우에 따라서는 수십 Volt의 차이가 나기도 함). 그러나, 구동을 할 때에는 하나의 정해진 전압을 가지고 모든 셀들의 방전을 조절해야 하기 때문에 많은 어려움이 따른다. Reset에서는 벽전하 소거와 재 set-up을 하면서도 셀간에 존재하는 방전전압의 차이를 해결하는 것이 매우 중요하다. Reset 파형의 또 다른 중요성은 contrast이다. Contrast는 1% peak white 상태에서의 휘도를 background 휘도로 나눈 값이다. PDP에서는 화면에 아무런 데이터를 출력하지 않더라도 reset 파형은 항상 동작하고, reset 방전에 의해 빛이 방출된다. 따라서, reset 파형에서 나오는 background 발광을 줄임으로써 contrast를 크게 향상시킬 수가 있다. Reset 파형은 세부적으로 나누면, 이전 방전에 의한 벽전하를 소거하는 부분과 셀간의 방전전압 산포를 해결하고 어드레스에 용이하도록 벽전하를 재분포시키는 과정으로 나눌 수 있다(경우에 따라서는 소거와 재분포가 함께 이루어지기도 한다).

(1) 소거 과정

소거 기능을 수행하는 파형에는 세가지 파형이

있다.

세폭펄스: 이 파형은 유지전압과 같은 전위를 갖으면서 펄스의 폭을 매우 짧게 하는 것이다. 방전이 발생하여 이전에 쌓인 벽전하를 소거하고 반대극성으로 벽전하가 쌓이기 전에 전압을 off함으로써 벽전하가 쌓이지 않도록 한다. 이렇게 함으로써 다음에 펄스가 인가되더라도 방전이 발생하지 않게 된다.

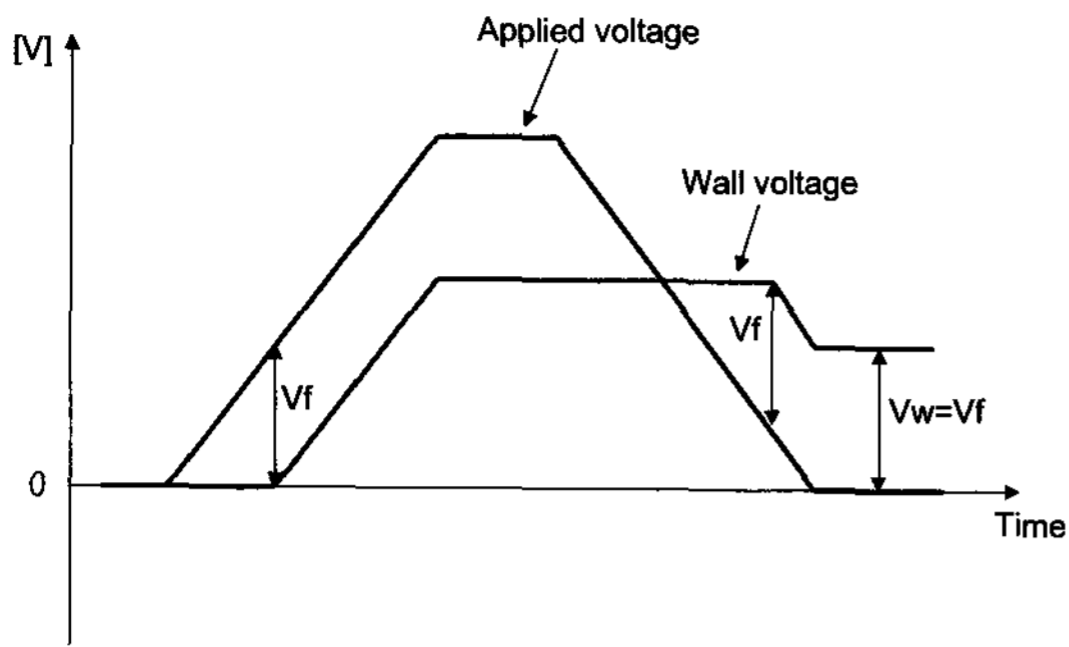
저전압 펄스: 유지방전보다 낮은 전압을 인가하여 약한 방전을 발생시켜 쌓인 벽전하를 소거하기는 하지만 새로운 벽전하를 충분히 쌓지는 못한다. 그럼으로, 다음에 펄스가 인가되어도 방전이 발생하지 않는다.

Ramp 펄스: 낮은 기울기를 갖는 펄스를 인가하여 벽전하를 지우는 방법(뒤에 구체적으로 설명)

이 중에 세폭펄스와 저전압 펄스는 1970년대 후반에 발표된 것으로서, 셀마다 다른 방전전압과 방전 delay를 갖는 셀들을 정확하게 조절하기에는 어려움이 있다^[4]. 현재는 대부분의 회사에서 ramp 파형이나 이와 유사한 형태의 파형을 채택하여 사용하고 있다.

(2) 벽전하 재분포

벽전하 재분포를 위한 파형으로는 매우 높은 전압을 인가하여 강방전을 발생시키고 self-erase 방전을 일으키는 방법과 ramp 파형을 인가하여 약방전을 발생시키는 방법이 있다^[5]. 강방전을 이용한 파형은 셀마다 방전전압의 차이로 인해 발생하는 방전의 세기가 다르기 때문에 각각 다른 방전 전압을 갖는 셀들의 전압산포를 해결하는 데는 어려움이 있다. 반면에, 약방전을 이용한 ramp 파형은 셀들간의 방전전압의 산포를 해결하고, 어드레스 방전을 위한 벽전하 형성이 용이하여 최근에 가장 널리 사용되는 방법이다. <그림 4>는 ramp 파형의 동작을 설명하기 위한 개념도이다. 양극과 음극에 그림과 같은 ramp 형태의 전압이 인가되면, 전압이 방전 개시전압이 되는 시점에서 미약한 방전이 발생하여 벽전

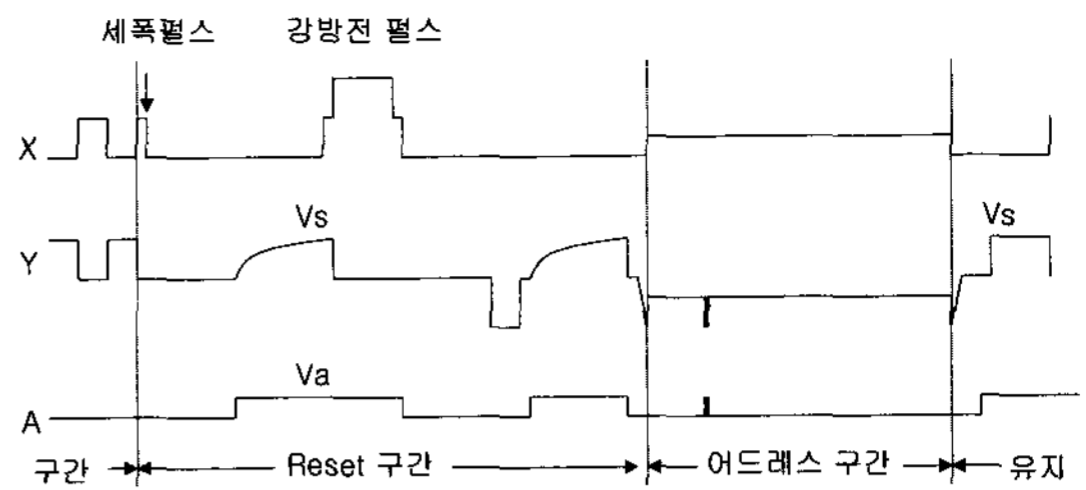


〈그림 4〉 Ramp 파형의 동작 원리

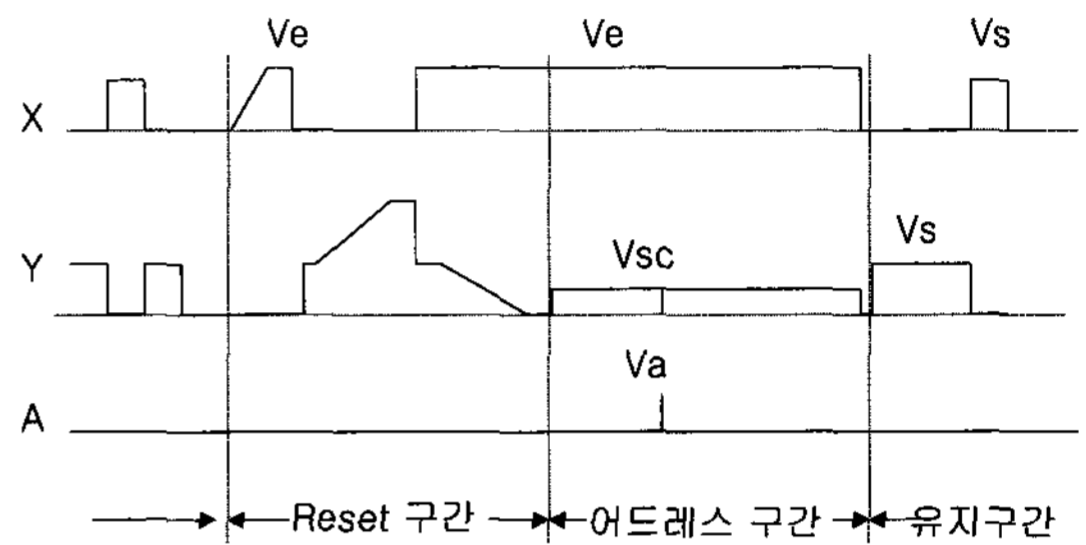
하를 형성하여 방전이 끝난다. 그러나, 인가전압이 서서히 계속 상승하므로 전극간에 쌓이는 벽전하는 항상 인가전압과의 차이가 Vf(방전개시 전압)가 유지되도록 벽전하가 쌓이게 된다. 전압을 충분히 높여주었다가, 같은 요령으로 전압을 서서히 하강시켜 0V의 전압까지 내려가면, 벽전하는 점점 소거되면서 Vw(벽전하에 의한 전위)=Vf가 되게 된다. 만약, 방전개시 전압이 서로 다른 셀이라도 자기셀의 Vf 전압만큼 벽전하가 쌓여있게 된다. 즉, ramp 형태의 펄스를 충분히 높은 전압으로 인가하면, 셀마다 자신의 방전 전압에 적절하게 벽전하가 쌓이게 된다.

(3) 제품에 적용되는 구동파형

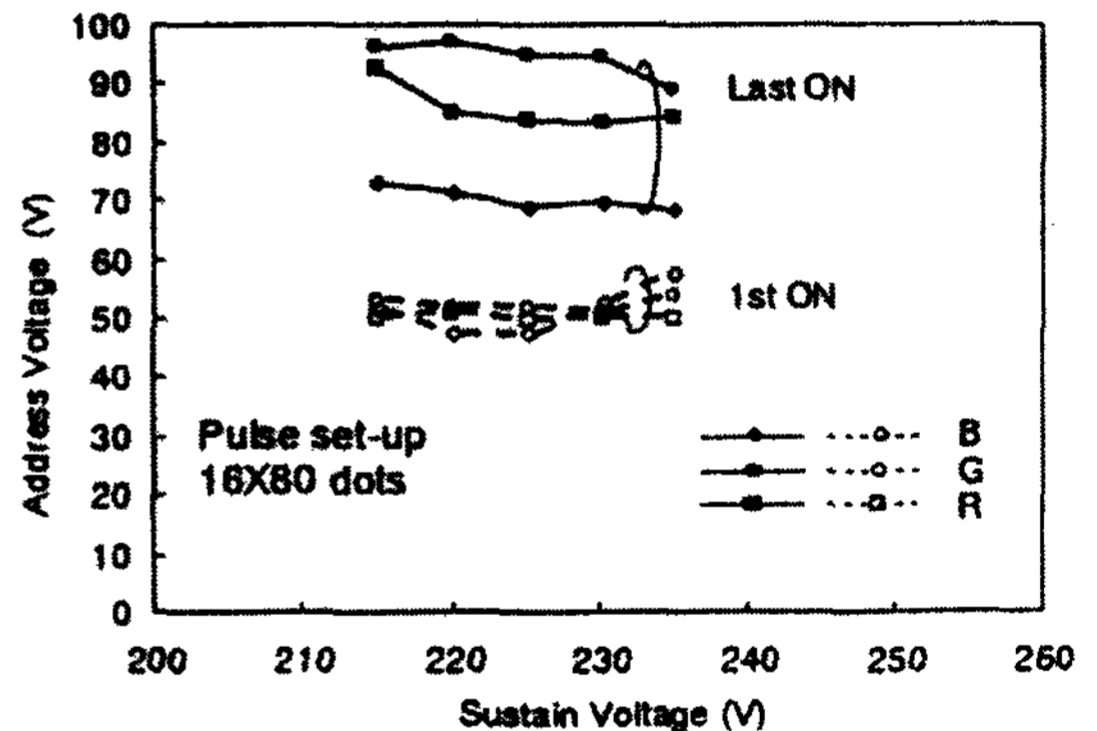
위에서 설명한 소거펄스와 벽전하 재분포를 위한 펄스를 조합하여 제품에 적용되고 있는 구동 파형의 대표적인 예는 그림과 같다. 〈그림 5〉는 Fujitsu에서 사용하고 있는 구동파형으로서, 유지방전의 마지막에 세폭펄스를 이용하여 소거하고, 강방전 펄스를 이용하여 벽전하를 재분포시킨다. 중간에 존재하는 RC 파형은 약방전을 이용한 소거 기능 등을 수행하기 위하여 채용되어 있으나, 실제적으로 Fujitsu 파형상에서는 그렇게 큰 역할을 수행하지는 못한다. 〈그림 6〉은 L. F. Weber에 의해 제안된 파형이다. 이 파형은 유지구간의 마지막에 약방전 ramp 파형을 인가하여 소거기능을 수행하고, 다시 높은 전압의 ramp 파를 인가하여 벽전하를 set-up하도록 되어 있다. 이 두가지 구동파형의 특성상의 큰 차이



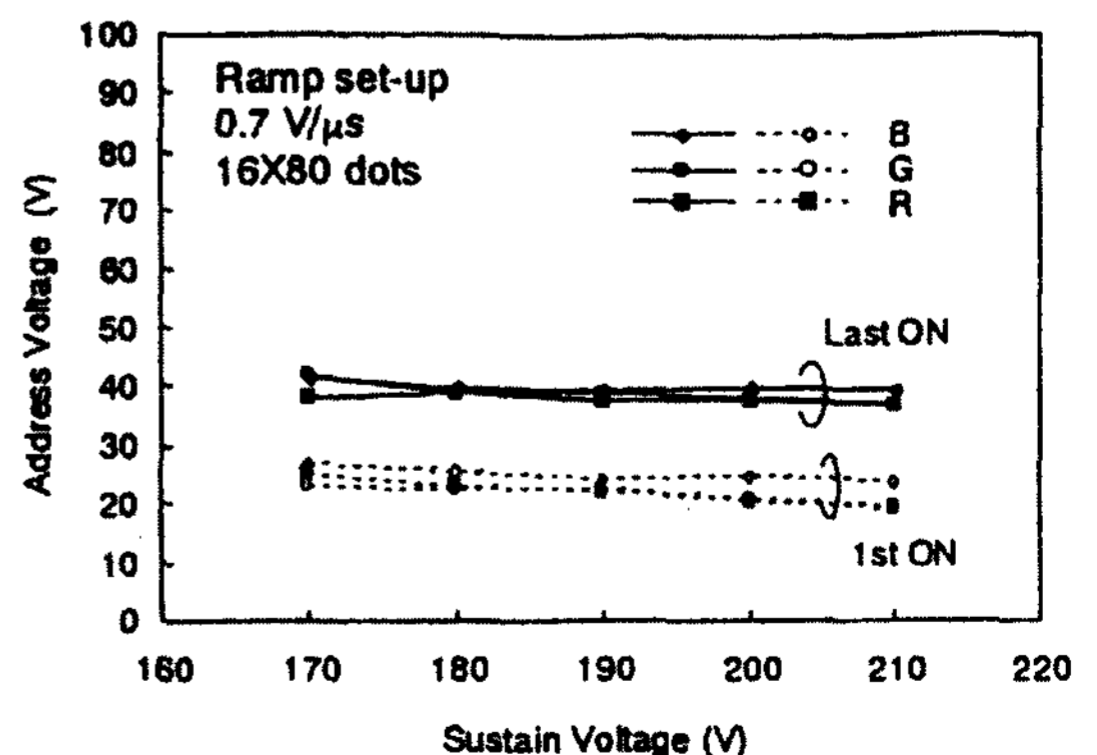
〈그림 5〉 Fujitsu의 구동 파형



〈그림 6〉 Ramp 구동 파형



(a) 강방전 펄스를 이용한 reset에서의 방전전압



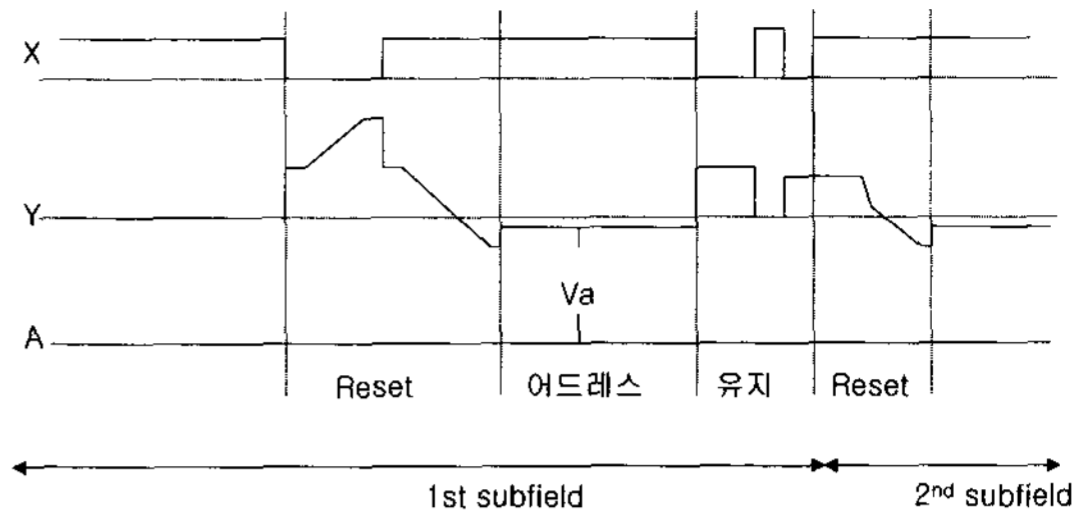
(b) Ramp 펄스를 이용한 reset에서의 방전전압

〈그림 7〉 강방전과 ramp 펄스 reset의 비교

점은 <그림 7>에 나타난 바와 같다. <그림 7>은 펄스 reset과 ramp reset을 하였을 때, 최초로 셀이 켜지는 전압과 모든 셀이 켜지는 전압을 R, G, B별로 나타낸 것이다¹⁶⁾. 펄스reset의 경우에는 최초로 켜지는 셀과 모든 셀이 켜지는 전압간의 차이가 매우 크고, 어드레스 전압의 크기가 매우 높음을 알 수 있다. 반면에, ramp reset은 R/G/B 간의 전압 차이가 거의 없고, 처음 켜지는 전압과 나중에 켜지는 전압의 차이가 크지 않음을 알 수 있다. 또한 어드레스 전압의 크기도 펄스 reset에 비해 작은 값을 갖는다. 현재, 대부분의 회사에서는 Ramp 파를 이용한 구동펄스를 사용하고 있고, Fujitsu에서만 강방전 펄스를 이용한 구동파형을 채택하고 있다.

(4) Contrast 향상을 위한 파형

Reset 파형은 contrast에 지대한 영향을 미친다. Fujitsu사의 강방전 reset 파형은 350 V 이상의 높은 전압으로 강한 방전을 일으키기 때문에 background 발광이 매우 크다. 따라서, 실제적으로는 맨 처음 subfield에 한번만 사용하여 background 발광을 줄이고 있다. Matsushita사의 ramp reset은 약방전을 이용하기 때문에 reset 발광의 크기는 매우 작다. 그러나, 매우 긴 시간동안 400 V에 가까운 전압까지 천천히 상승하면서 방전이 발생하고, 다시 하강하면서 방전이 발생하기 때문에 실제로는 background 광이 꽤 큰 편이다. 최근에 Matsushita사에서는 selective reset 개념(유지방전이 발생한 셀과 그렇지 않은 셀의 벽전하 상태가 다름을 이용하여, 방전이 켜진 셀에 대해서만 reset을 수행하고 그렇지 않은 셀에 대해서는 reset을 수행하지 않음)을 도입한 파형을 설계하여 3000:1의 contrast를 달성하였다. <그림 8>은 Matsushita사에서 채용하고 있는 구동파형이다. 이 파형은 맨 첫 subfield에서만 reset을 수행하고, 그 다음부터는 유지방전이 발생한 셀에 대해서만 reset이 수행되도록 하였다. 따라서 background 광은 첫subfield에서만 방출됨으로 기존의 파형에 비해서는 1/(subfield 개수) 만큼 발광량이 줄어

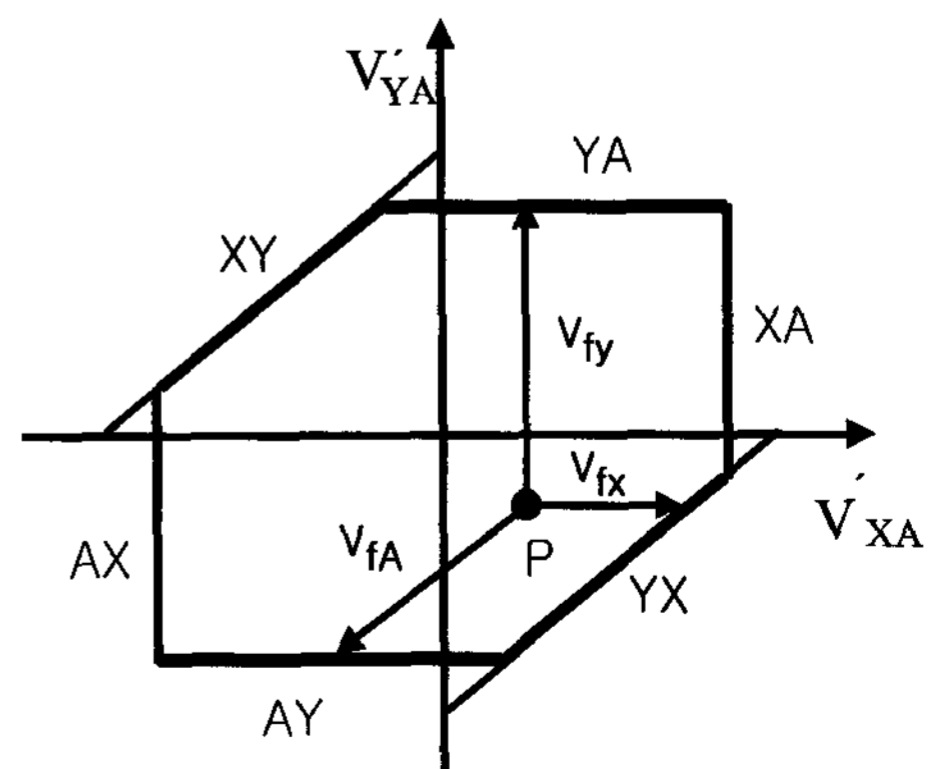


<그림 8> Selective reset을 적용한 Matsushita사의 파형

들게 되었다.

3. 구동파형 설계를 위한 Tool

구동파형을 설계하기 위해서는 무엇보다도 어떤 방전이 수행되고 났을 때, 각 전극간의 전압관계 또는 벽전하 분포에 대해서 정확하게 알고 있어야 한다. 최근에 이러한 것을 파악할 수 있는 새로운 Tool이 Fujitsu와 Samsung SDI 연구진에 의해 거의 동시에 개발되었다.^{17,18)} <그림 9>는 최근에 발표된 VDA(voltage domain analysis)의 개념도를 나타내고 있다. 이 Tool은 3전극 구조에서 각 전극간에 방전이 발생하는 firing 전압의 contour를 나타낸다. 그림에서 X축은 어드레스에 대한 X전극의 상대전압을 나타내고, Y축은 어드레스에 대한 Y전극의 상대전압을 나타낸다. 예를 들어, X전극에 일정 전위를 인가한 채, A=0[V]를 유지하고, Y전극의 전압을 증가시키면 AY 방전이 발생한다. X전위를



<그림 9> 3전극 면방전형 AC PDP에서의 Firing voltage contour

조금씩 가변하면서 계속해서 AY방전이 발생하는 Y전압을 찾아서 그 좌표를 XA-YA 좌표 상에 나타낸다. X의 전압이 일정전압 이상이나 이하가 되면, YA 방전이 아니라 AX 방전이나 XY 방전이 발생하기도 하고, 이 때에 세 전극에 인가된 전압을 좌표상에 그려 나간다. 마찬가지로 Y를 일정하게 유지하고, X나 A의 전위를 가변하여 방전이 발생하는 전압의 궤적을 좌표 상에 나타낼 수 있다. 이와 같은 방식으로 그 궤적을 그려나가면, 그림과 같은 육각형 형태의 contour를 그릴 수 있다. 그림에서 XA 축이나 YA 축에 평행한 contour는 AY나 AX 방전이 발생함을 의미하며, 기울기=1인 직선 영역은 XY 방전이 발생함을 의미한다. 따라서, 6각형의 꼭지점들은 방전이 발생하는 전극들이 바뀌는 점을 의미한다. 예를 들어, <그림 9>의 P점과 같은 상태의 방전셀이라면, VDA 분석으로부터 YA 방전이나 YX 방전, AY 방전을 일으키는데 필요한 각 전극의 전압 조건이 어떠한지를 알 수 있다.

이 분석에서 한가지 아쉬운 점은 우리가 contour의 초기상태를 모른다는 것이다. 실제에 있어서, AY 방전과 YA 방전은 각각 다른 firing 전압을 갖는다(MgO 면이 음극일 때와 형광체가 음극일 때에 방전전압이 다르다). 우리가 측정하는 값은 contour 일뿐임으로, AY 방전과 YA 방전 개시 전압의 합만을 알 수 있다(AX와 XA 방전도 마찬가지다. 반면에 XY와 YX 방전은 대칭이므로 방전개시 전압을 알 수 있다). AY나 YA의 방전 개시 전압을 안다면, 실제 contour의 초기상태를 알 수 있으므로 방전 후에 정확한 벽전위의 크기를 알 수 있다. 그러나, 초기 상태를 모르기 때문에 어떤 방전 전후의 상대적인 변화만을 알 수 있다. 그러나, 이러한 정보만으로도 우리는 어떤 방전이 발생하고 나서 AY 방전이나 AX 방전, 또는 XY 방전을 일으키기 위해 어떤 전압을 인가해야 할 지를 대체로 유추할 수 있다. 또한, 셀의 구조가 복잡하게 달라지더라도 이와 같은 contour를 그려봄으로써 파형설계에 중요한 기초자료를 확보할 수 있다.

III. 맺음말

Ramp파를 이용한 reset 파형이 개발되면서 contrast나 방전전압 마진 확대와 같은 문제들은 거의 해결 되었다. 일견하기에는 모든 문제가 해결된 것처럼 보이지만 아직까지도 많은 문제가 있다. 몇 가지 문제를 살펴보면, Ramp reset을 사용할 때에 reset 전압이 매우 높다는 것이다. 셀마다 다른 방전전압의 차이를 해결해 주기 위해서는 충분한 벽전하를 축적해 줘야 하기 때문에 reset 전압이 매우 높아야 한다. 현재는 400 V 정도의 전압으로 충분하지만, 셀의 구조가 달라지거나 방전가스가 바뀐다든가 함으로써 Vf 전압이 상승하면, 그에 따라서 reset 전압도 높아지게 된다. 높은 reset 전압은 구동소자의 내압 상승으로 이어져 가격 상승을 유발하기 때문에 지금보다 저 전압 reset 구동법이 연구되어야 한다. 이 외에 최근에 학회지 등에 발표된 바와 같이 고속 어드레싱을 위한 파형설계가 이루어져야 한다. 앞으로 디지털 방송 시대가 도래함으로써 HDTV에 대한 욕구가 점점 증대되리라 기대된다, 그러나, 현재의 스캔펄스 폭($\sim 2\mu s$)을 가지는 유지방전에 충분한 시간을 할당하기 어렵기 때문에 고 품위 화상의 구현이 어렵다. 따라서 $1\mu s$ 이내에 어드레스 방전이 수행 될 수 있는 기술이 필요하다. 이러한 고속 어드레싱 기법은 파형의 변형만으로는 어려울 것으로 생각되며, 셀 구조 연구와 더불어 함께 연구되어야 할 과제로 보인다.

참고문헌

- [1] K. Yoshikawa, T. Kanazawa, M. Wakitani, T. Shinoda, A. Ohtsuka, "A full color ac plasma display with 256 gray scale", Japan Display'92, pp.606-608, 1992
- [2] H. Homma, K. Totoki, K. Igarashi, S. Mikoshiba, H. Asai, and N. Kikuchi,

- “Luminance improvement of PDPs by an extension of light-emission duty to 90% with an HDTV capability”, IDRC’ 97, pp.285-288, 1997
- [3] K. H. Kang, J. Y. Lee, S. C. Lee, H. H. Kim, N. S. Jeong, K. W. Whang, and C. B. Park, A new 42-in. ac PDP using MAoD II driving scheme , proc. SID 2001, pp.1130-1133
- [4] S. Umeda, K. Murase, S. Andoh, and N. Nakayama, A highly stabilized ac plasma display , IEEE Trans. Electron Devices, Vol. 23(3), pp.324-328, 1976
- [5] Larry F. Weber, “Plasma display device challenges”, Asia Display ’98, pp.15-23
- [6] Koichi Wani, “A novel driving scheme and panel design for realization of a picture quality equivalent to CRTs”, IDW ’99, pp.775-778
- [7] K. Sakita, K. Takayama, K. Awamoto, and Y. Hashimoto, “High-speed address driving waveform analysis using wall voltage transfer function for three terminals and V_t close curve in three-electrode surface-discharge ac-PDPs”, proc. SID 2001, pp.1022-1025
- [8] H. J. Kim, J. H. Jeong, K. D. Kang, J. H. Seo, I. H. Son, K. W. Whang, and C. B. Park, “Voltage domain analysis and wall voltage measurement for surface discharge type ac-PDP”, proc. SID 2001, pp.1026-1029