



PDP 구동기술 동향

김민철(오리온 전기)

I. 서론

본 고에서는 HDTV를 비롯한 디지털 멀티미디어용 화상표시 장치로서 주목받고 있는 PDP (Plasma Display Panel)의 구동기술에 관하여 현재 제품에 적용되고 있는 구동방식과 최근 구동기술의 동향에 대하여 소개하고자 한다.

PDP 구동방식은 전압 인가방식에 따라 크게 DC(direct current) 구동방식과 AC(alternate current) 구동방식으로 구분된다.

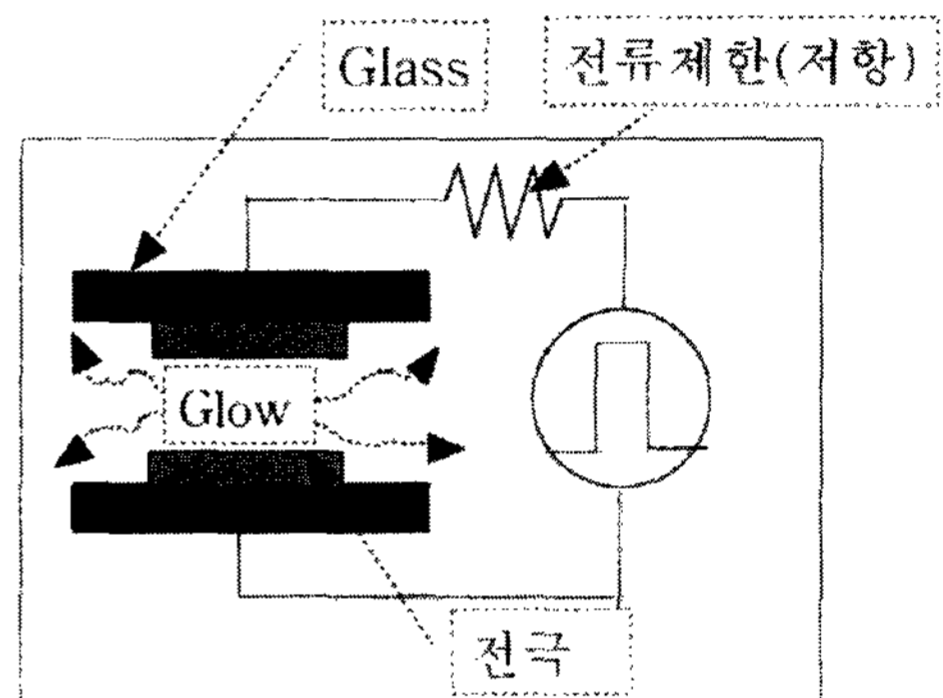
DC 구동 방식의 경우는 방전전극이 방전공간에 노출되어 있는 구조에 적용되는 방식으로서 Refresh 방식과 펄스 메모리 방식으로 분류할 수 있다.

Refresh 방식은 80년대 후반까지 소형 SIZE의 Lap top용(Mono color)으로 상품화가 된 바 있으며, 현재에도 일부의 업체에서는 DC Refresh 방식을 이용하여 멀티스크린(TILE형)용으로 제품화하고 있다.

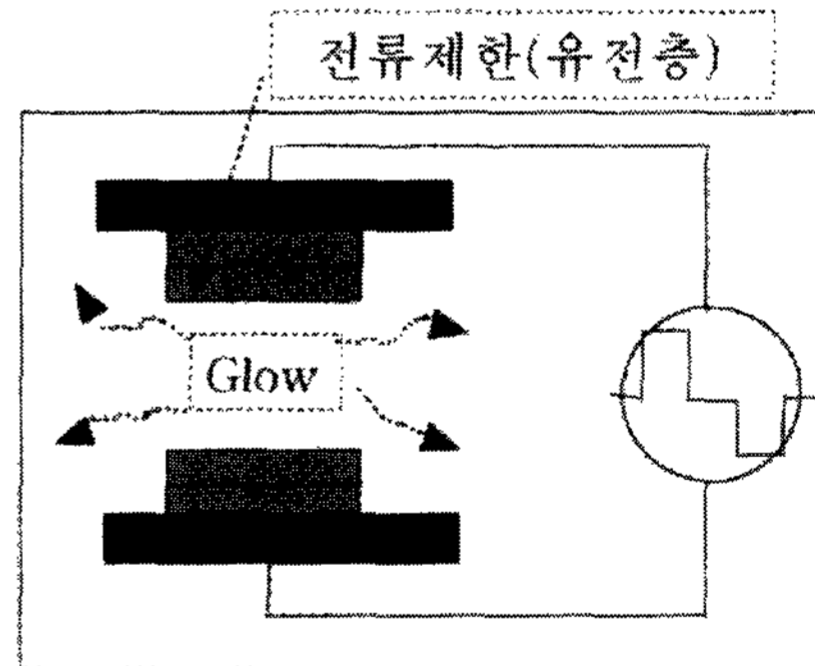
DC 구동방식의 경우 일본의 NHK 방송기술 연구소에서 제안한 펄스 메모리 구동방식과^[1] HITACHI사에서 제안한 Townsend-discharge를 이용한 방식^[2] 등이 지금까지 연구되고 있는 대표적인 예이다.

반면에 AC 구동방식의 경우는 방전전극이 유전체로 피복되어 있는 구조에 적용되고 있는 방식으로 현재 제품화 되고 있는 대부분의 PDP는 AC 구동방식을 적용하고 있다.

메모리 특성을 이용한 AC PDP로 영상을 표시하기 위해서는 기본적으로 4단계의 과정을 거



<그림 1> DC구조



<그림 2> AC 구조

치게 되는데 우선 표시하고자 하는 Cell을 지정하는 Addressing(기입) 단계와 Addressing 기간에 선택된 Cell을 지속적으로 방전 유지하는 Sustain(유지) 단계, 그리고 Cell 내부의 벽전하를 제거하는 Erasing(소거) 단계, 새로운 영상을 표시하기 위하여 모든 Cell들을 균일한 상태로 만들어주는 Reset(초기화) 단계로 구분되어진다.

Addressing 방식에 있어서도 2가지로 분류할 수가 있는데, 우선 표시하고자 하는 Cell에 벽 전하를 만들어서 연속적으로 방전을 지속시키는 Selective write addressing(선택적 기입)방식과 모든 Cell에 벽 전하를 만들고 나서 불필요한 Cell의 벽 전하를 지우고, 표시하고자 하는 Cell만 지속적으로 방전시키는 Selective erase addressing(선택적 소거) 방식으로 나누어진다.

이 두 방식을 비교해 보면 Addressing timing 측면에서는 소거동작이 기입동작보다 필요한 timing이 짧기 때문에 HDTV와 같이 고속구동이 필요한 경우에 소거방식이 유리하지만 화질측면에서는 쏠화면에 유지방전이 지속적으로 일어나기 때문에 Contrast ratio가 저하되는 단점이 있다.

한편, Addressing 단계와 Sustain 단계가 시간적으로 분리되어 있는가, 아니면 동시에 진행되는가에 따라 ADS(Address Display Separated) 구동방식과 AWD(Address While Display) 구동방식으로 구분이 된다.

현재 상품화되고 있는 3전극 면 방전형 AC PDP 구조에서 주류를 이루고 있는 구동방식은 일본의 Fujitsu사가 개발한 ADS 구동방식으로, 대부분의 PDP 업체에서 기본적으로는 ADS 구동방식을 채용하면서 고 휘도, 고 콘트라스트 실현을 위하여 각 사 나름대로의 독특한 방식을 접목하고 있다.

각사에서 적용하고 있는 Idea에는 구동방식과 밀접한 암 콘트라스트 개선과 1 Field 내에서 표시기간을 증가시켜 휘도를 향상시키는 방안이 많이 제안되고 있는데 특히, 1 Frame(16.7ms) 내에서 각 Sub-field(8개~12개)마다 인가하던 Reset 펄스에 대하여 Sub-field마다 강약을 조절하는 방식이라던지, 1 Frame 내에서 1 Sub-field에만 Reset 펄스를 인가하는 방식, 또는 Reset 펄스의 형태를 구형파(Rectangular pulse)/지수파(Exponential pulse)/램프파(Ramp pulse)형으로 인가하는 방식은 다양한 Idea가 실제 제품에 적용되고 있다.

이외에 최근 ADS 구동방식과 다른 AWD 구

동방식이라고 하는 어드레스/표시 동시구동방식이 다시 거론되고 있다.

이 구동방식은 원리적으로 1970년 초에 이미 거론되었으나 당시에는 PANEL의 제조 Process가 미흡하여 방전 Cell의 균일도가 매우 낮았기 때문에 이 구동방식을 적용할 경우 PDP의 동작이 불안정한 문제가 있었다 이러한 이유로 인하여 원리만 인정하는 단계에 머물러 있었다. 그러나 최근 Process의 비약적인 발전으로 인하여 PANEL의 균일화가 가능하게 되고, 구동방식이 개선됨으로 인해 이 방식을 적용하는데 무리가 없게 되었다.

ORION의 SMAD 구동방식과, LG의 LGSE 구동방식도 AWD 방식의 기본개념을 도입하면서 Addressing(Scan) 방식에서 각 사의 Idea가 접목된 구동방식이라고 할 수 있다.

II. 본 론

1. ADS 구동방식

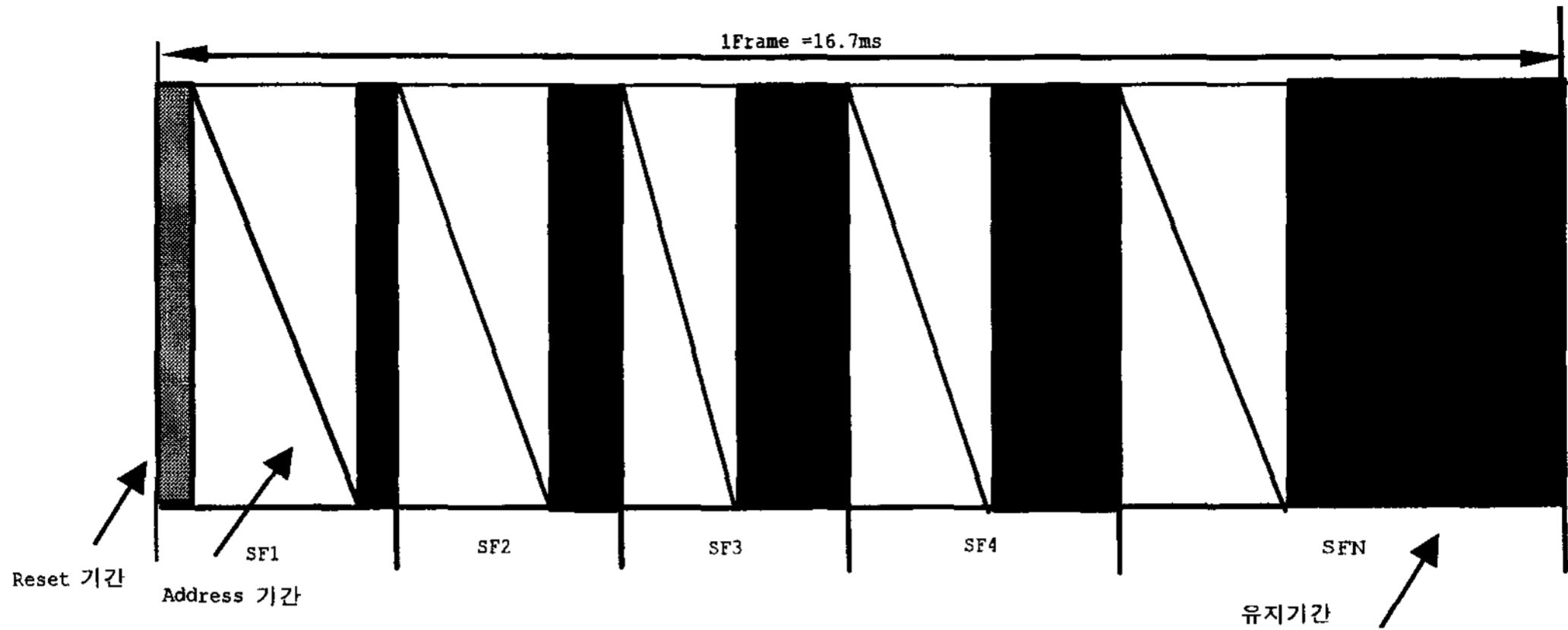
ADS 구동방식은 현재 제품에 적용되고 있는 가장 보편화 되어 있는 방식이다.

서론에서 언급한 바와 같이 이 방식의 특징은 한 Frame을 여러 개의 Sub-field로 나누고 각 Sub-field는 크게 (1) Reset기간(전화면 기입 및 소거) (2) Addressing기간 (3) Sustain(유지/표시)기간 나누어진다. ADS 방식의 Timing sequence를 <그림 3>에 나타내었다.

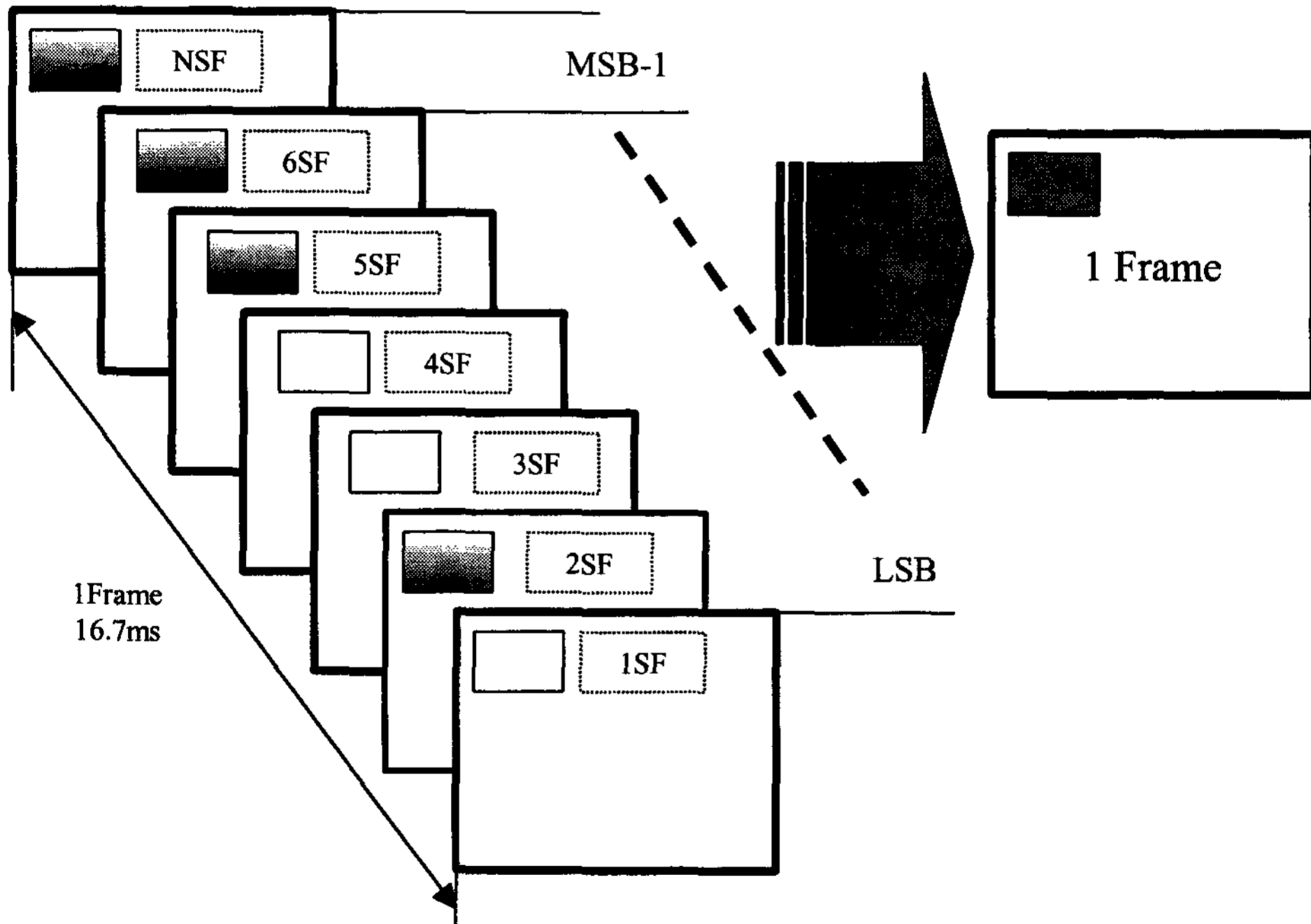
(1)의 Reset 기간에는 Field 또는 Frame이 끝난 후 연속되는 다음 Field 또는 Frame에 영향을 최대한 배제하기 위하여 전화면 기입방전과 전화면 소거 방전을 통하여 전Cell을 균일한 상태로 만들어준다. 이렇게 함으로서 Addressing 기간에 기입 Error를 방지하여 안정된 Addressing 방전을 실현할 수 있게 된다.

(2) Addressing 기간에는 표시하고자 하는 Cell을 모든 주사라인에 대하여 순차적으로 지정하는 단계로서 선택적 기입 방식과 선택적 소거 방식으로 구분된다.

(3) Sustain 기간에는 Addressing 기간에서



<그림 3> ADS 방식의 Timing sequence



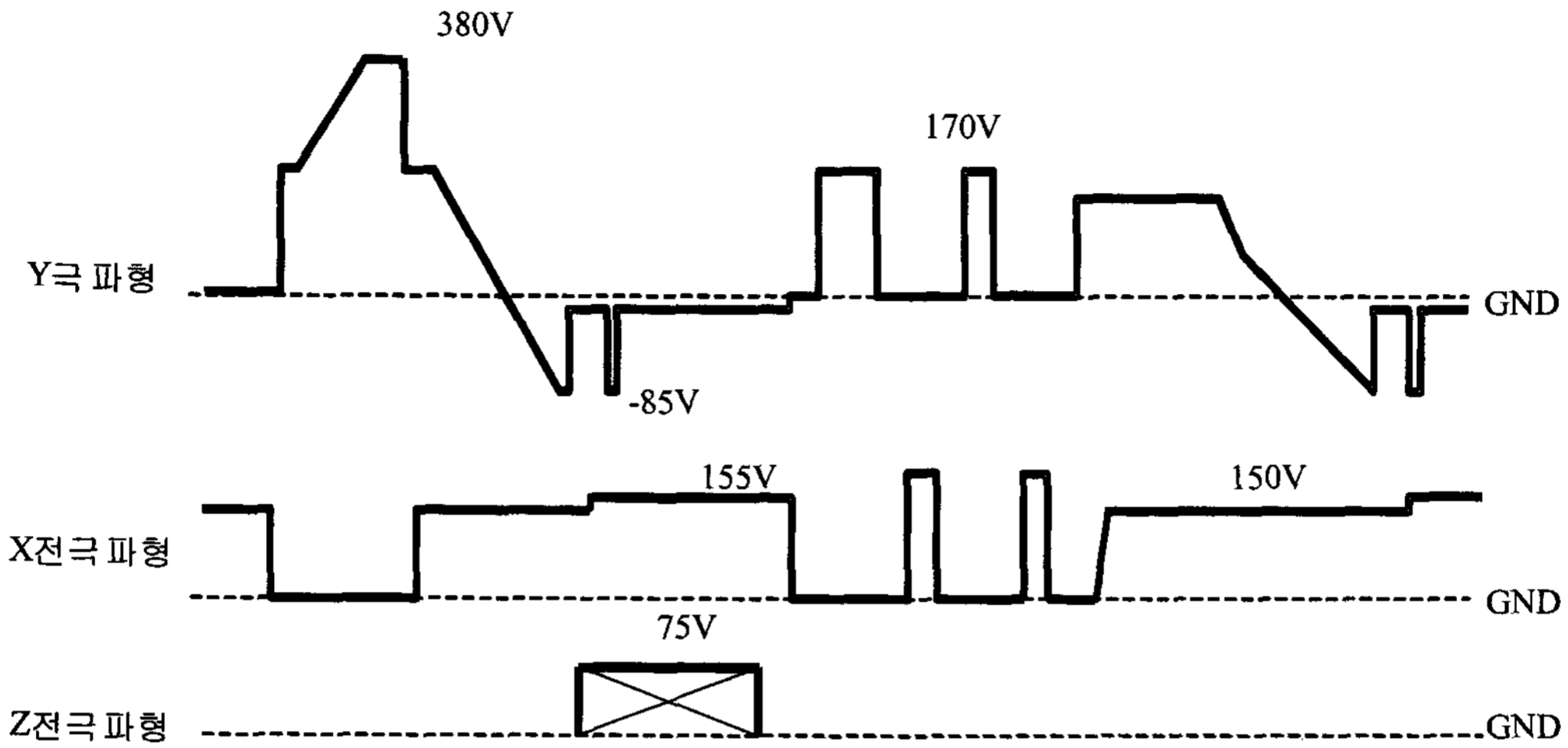
<그림 4> Sub field 방식에 의한 계조표현 방식

선택된 Cell(벽전하가 축적된)에 외부의 유지필스를 인가하여(실제의 Cell Gap 전압은 벽전압+외부인가전압) 유지방전을 지속시키는 단계로서 화면의 밝기와 관련된 구간이다.

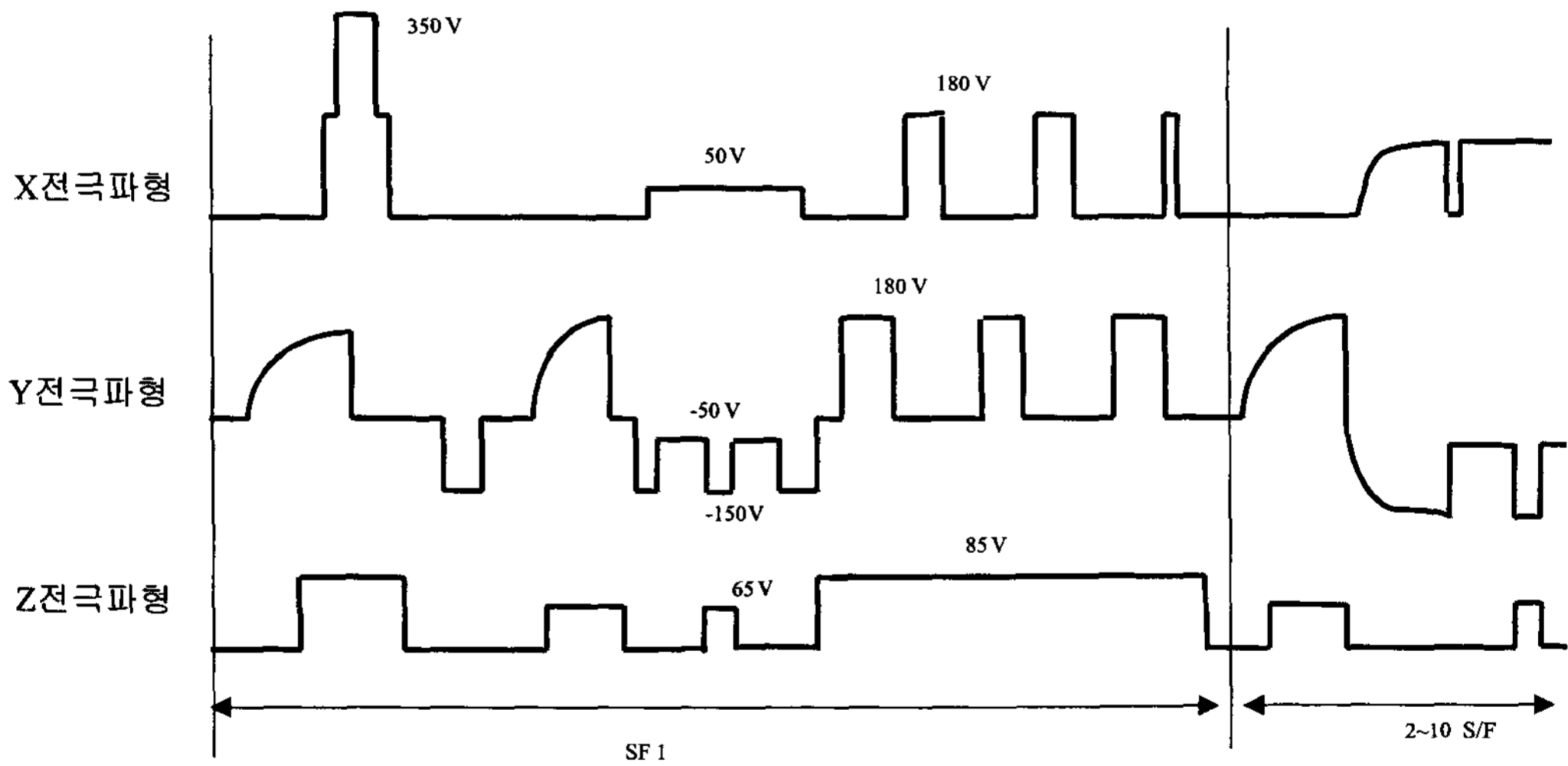
일반적인 TV의 경우 1 Frame을 표시하는데는 Odd/Even의 2개의 Field로서 가능하지만 PDP의 경우 Memory방식에 의한 Full color를 표시하기 위해서는 1 frame(16.7ms)을 8개

이상의 Sub-Field로 구성할 필요가 있으며, 1초 동안에 480매 이상 (8매×60)의 화면을 표시하여야 한다. 흔히 Full Color(1670만 color)라고 하면 R, G, B 각각 256단계의 계조가 필요하게 된다. 실제 시스템에서 적용되는 계조표현의 개념도를 <그림 4>에 나타내었다.

우선 최초의 Sub-field(1SF)의 밝기를 “1”로 하면 두 번째 SF는 2, 세 번째 SF는 4, ... 여덟



<그림 5> 마츠시타 구동파형



<그림 6> 후지츠 구동파형

번째 SF 8의 밝기는 128이 되도록 가중치를 부여한다. 이러한 각각의 Sub-field의 가중치는 Sustain 펄스 수로서 결정된다.

각 SF의 Address 기간은 대략 1.5ms씩(480×3us) 할당된다. 따라서 1 Frame(16.7ms) 동안에 걸리는 시간은 12ms(1.5×8)를 점유하게 된다.

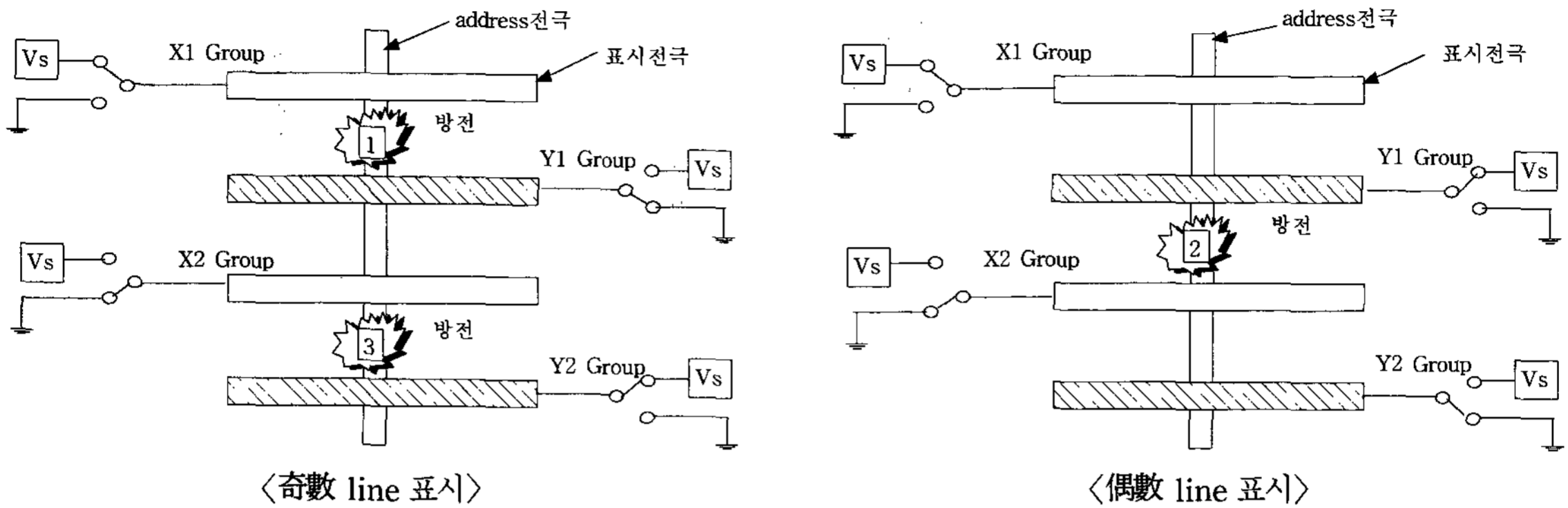
나머지 4ms를 Total Sustain 기간에 할당되게 되는데 각 Sub-field의 휘도는 Sustain cycle 수에 비례하게 된다.

ADS 방식을 이용하여 실제로 제품에 적용되고있는 예를 <그림 5>와 <그림 6>에 나타내었다.

(1) ALIS(Alternate Lighting Surfaces Method) 구동방식^[3]

HDTV 대응 고 정세화로 진행되면서 문제점으로 대두된 것이 해상도 증가에 따른 휘도 저하와 인접 셀 간의 방전 간섭을 들 수 있다.

먼저 휘도 저하 원인은 대략 4가지로 볼 수 있는데 ① 방전공간의 감소, ② 개구율 저하, ③ 화



〈그림 7〉 ALIS 구동방식의 방전 Mechanism

소가 작아지면 플라즈마 방전에서 발생하는 하전 입자가 격벽면으로 확산됨으로 인한 에너지 손실 증대, ④ 표시기간 축소 등이 있다.

이 중 구동과 관련한 ④ 표시기간 축소는 점등 되는 화소를 선택하는 어드레스 기간이 2배 이상 이 됨으로서 발생하는 문제로서 상하 분할/동시 구동방식이 있으나 Data Driver IC가 2배로 증가하여 회로 Cost가 증가된다. 또한 고속구동의 방식도 있으나 이 경우 방전의 안정성을 확보하는데 어려움이 있다.

두 번째로 인접 셀 간의 방전간섭에 있어서는 고 정세화로 감에 따라 비발광 영역의 확보가 어렵기 때문에 인접 셀 간의 방전간섭이 발생하기 쉽다.

ALIS 구동방식에서는 이러한 두 가지 문제점을 해결하기 위한 발상으로 부터 시작되었다.

ALIS 방식에서는 인접하는 화소는 전극을 공유하고 있기 때문에 방전공간이 중첩된다 방전공간내의 하전 입자와 준 안정원자가 자유로이 이동할 수 있는 Stripe 격벽 구조이기 때문에 점등 화소에 인접한 소등 화소는 쉽게 방전을 일으킬 수가 있다. 또한 기수 Line에서 방전을 하더라도 유지방전을 반복하는 동안에 우수 Line 화소로 방전이 이동하는 경우가 있다. 이러한 현상을 방지하여 점등 및 소등이 안정적으로 유지할 수 있도록 하는 것이 이 방식의 특징이다.

우선 이 방식은 구동 파형에는 2가지의 특징이 있다.

예를 들어 설명하면 기수 라인을 표시하는 Field의 경우 〈그림 7〉에 나타난 바와 같이 첫째 기수 라인을 구성하는 전극간에만 전위 차가 생기도록 전압을 인가하고, 둘째 우수 라인을 구성하는 전극간의 전위 차를 0V로 하던가 방전에 영향을 주지 않는 낮은 전압으로 억제하는 방식이다.

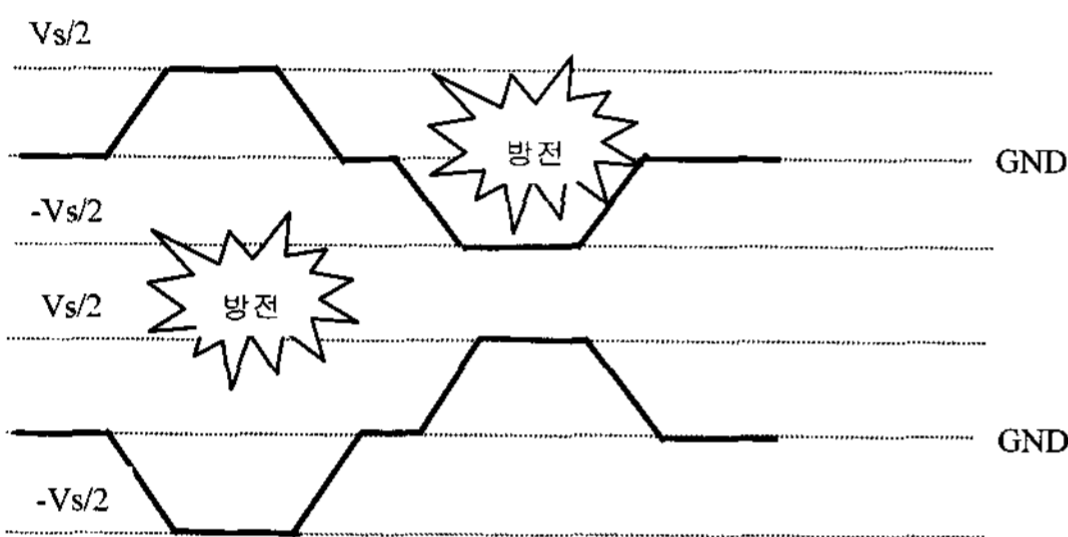
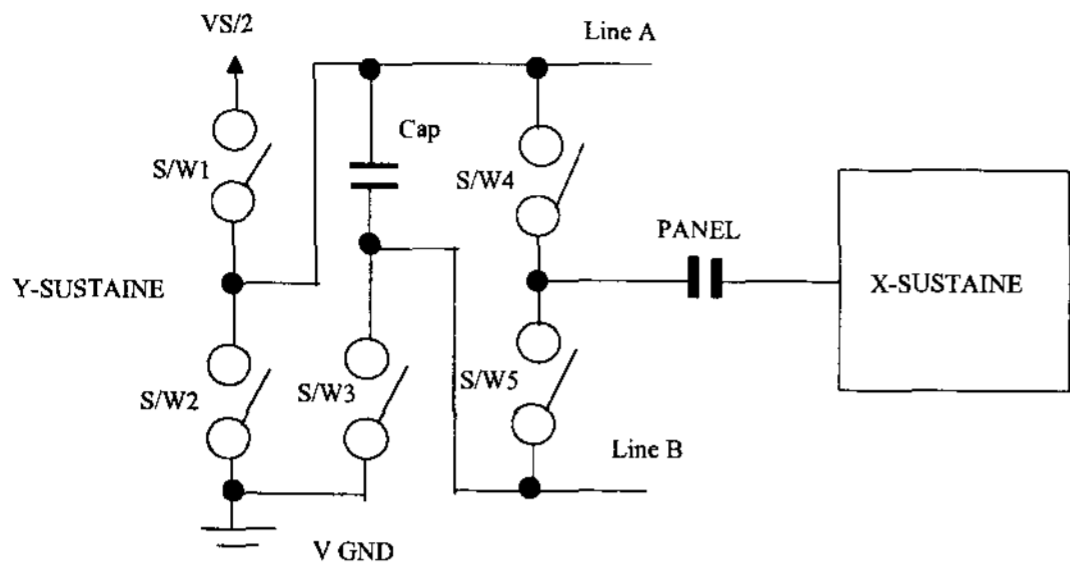
종래에는 유지방전펄스를 인가하기 위한 구동 회로로서 주사전극을 겸한 Y전극과 이외의 표시 전극으로서 X공통전극으로 구성되었으나 이 방식에서는 X전극 군을 기수와 우수로 분리하고 개별의 구동회로로서 X1 Group과, X2 Group로서 구동한다.

주사용 Y전극은 주사구동용 IC와 연결된 개별의 구동회로 Y1 Group과 Y2 Group으로 동작된다. 이와 같은 구성으로서 표시하고자 하는 전극에만 전압이 인가되고 표시되지 않는 전극은 거의 Zero 전압으로 유지할 수가 있다.

(2) TERES(TEchnology of REciprocal Sustainer) 구동방식^[4]

최근 FHP에서 발표한 구동방식으로서 이 방식의 특징은 종래의 기술과 비교하여 인가되는 구동전압을 절반으로 줄일 수 있으며 또한 구동용 부품과 전원 수를 대폭 줄임으로서 원가절감에 유리한 방식이다.

종래에는 X극과 Y전극에 Vs 전압을 교번으로 인가하여 방전을 일으켰으나 이 방식에서는



〈그림 8〉 TERES 방식의 구동회로 및 인가 펄스

X 전극에 $V_s/2$ 를 인가하고, 동시에 Y 전극에는 $-V_s/2$ 를 인가하는 방식으로, 실질적으로는 Cell에 V_s 전압을 인가하면서 외부인가 전압은 절반으로 감소시킬 수가 있다.

또한 종래의 방식에서는 필요한 전원수(Y-sustain 기준)가 V_s (sustain용), V_{sc} (level용), V_y (scan용) 등 3개가 필요하였으나, 이 방식의 경우 V_s 전원과 GND만으로 위의 3가지 기능을 가능하게 함으로서 전원수도 줄일 수가 있다.

간단히 동작 설명을 하면 이 방식은 S/W1, S/W2, S/W3 및 외부 콘덴서를 이용하여 2개의 Floating Line A와 B의 전원을 바꾸는 방식이다.

Floating Line A와 B에 $V_s/2$ 와 0V를 공급하기 위해서는 S/W 1, 3을 Turn ON하고 S/W2를 Turn OFF하며, 반대로 0V와 $-V_s/2$ 를 공급하기 위해서는 S/W1, 3을 Turn OFF하고 S/W2를 Turn ON한다.

콘덴서에 축적되는 Charge는 S/W1, 3의 Turn ON 동작에 의해 이용되며, 전극에 공급되는 최종 전압은 S/W4, 5에 의해 인가된다.

2. AWD 구동방식

Color PDP의 휘도를 높이기 위해서는 PANEL 구조나 봉입 Gas를 연구하여 Plasma 방전에서 발생하는 자외선의 강도를 높게 하던지 형광체의 도포방법이나 재료를 개발하여 자외선을 가시광으로 변환하는 효율을 높게 하는 방법이 있으며, 구동에서는 구동방식을 개선하여 표시에 기여하는 방전 광을 강화하는 방법을 들 수 있다.

앞에서 언급한 바와 같이 현재 양산에 적용되고 있는 ADS 구동법에 있어서 8BIT 256계조를 표시하는 경우 위에서 언급한 1 Frame을 8개의 Sub-field로 분할할 경우 Addressing 기간의 길이는 방전Cell에 벽 전하를 기입하는 시간과 주사선의 수, Sub-field의 곱으로 표시된다. 따라서 해상도가 증가할 경우 표시기간(유지방전기간)이 짧아지고 휘도가 저하하는 결과를 초래한다.

실제로 주사선수가 480 Line이고, 8개의 Sub-field로 분할한 경우 1 Frame 내에서 실제의 표시기간은 약 30% 정도 밖에 안 된다.

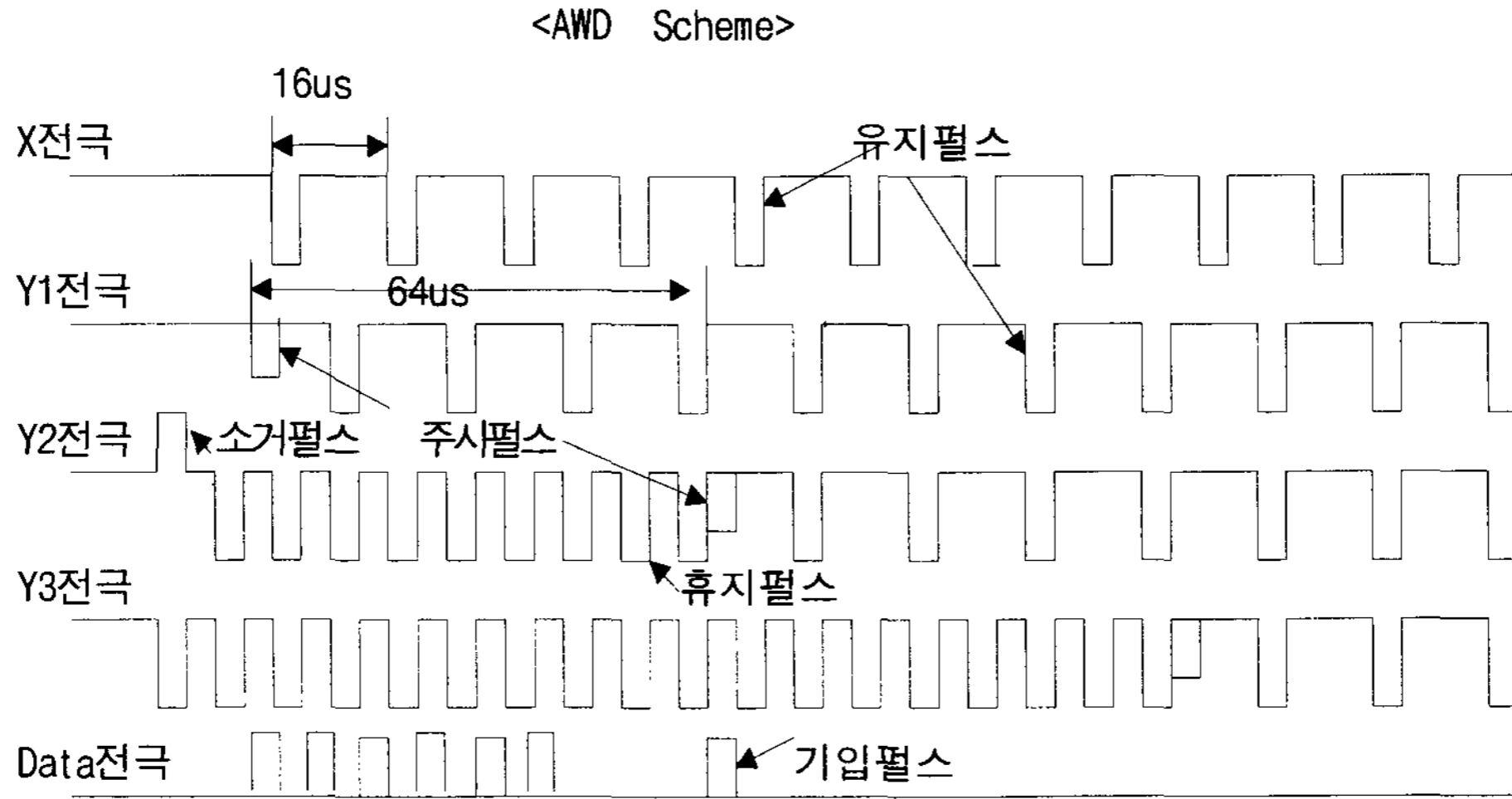
다만 Panel을 상하로 분할하면 (Dual scan/분할구동) 표시기간이 2배로 늘어나지만 Data driver IC가 2배로 늘어남으로서 Cost가 상승하게 된다.

따라서 화면휘도를 높이려면 표시에 기여하는 표시기간이 점유하는 비율을 높게 해야 한다는 점에 착안을 하여 고안된 방식이 AWD 방식이다. 이 방식은 어드레스 방전이 유지방전펄스의 틈사이에서 일어나기 때문에 1 Field 대부분을 유지방전 기간으로 할 수 있기 때문에 표시율이 90% 이상으로 되어 휘도 향상이 가능하다.

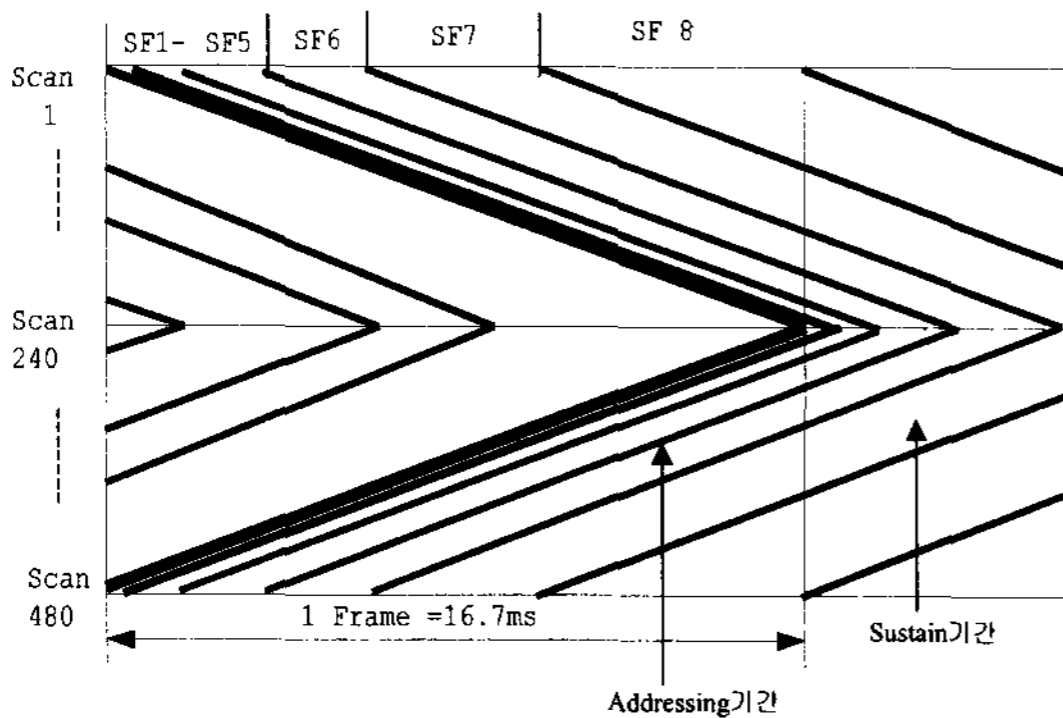
AWD 방식의 구동원리를 〈그림 9〉와 〈그림 10〉에 나타내었다.

ADS 구동법과 마찬가지로 8bit의 256계조를 표시하는 경우 1 Field를 8개의 Sub-field로 분리하고 기입방전을 일으키기 위해 Data펄스를 Data 전극에 인가하고 주사펄스를 Y 전극에 인가하게 되며 이들 펄스는 유지(표시)펄스와 유지(표시) 펄스 사이에 들어간다.

이 구동법에서는 기입방전이 끝나면 바로 유지



<그림 9> AWD 방식의 구동 파형



<그림 10> AWD 방식의 Timing sequence

방전으로 이행하게 되는데 이점이 ADS법과 차이점이다. 유지 기간이 끝나면 소거펄스와 휴지펄스를 인가하여 소거방전을 발생시킨다.

이 방전에서 표시방전의 유무에 관계없이 전체의 방전 Cell의 벽전하 상태가 일정하게 되도록 초기화한다.

이 방식의 경우 기입방전이나 소거방전을 일으키는 주사펄스나 소거펄스 등의 펄스 폭이나 전압 치의 제어가 어렵다는 단점이 있으며 최적화가 필요하다.

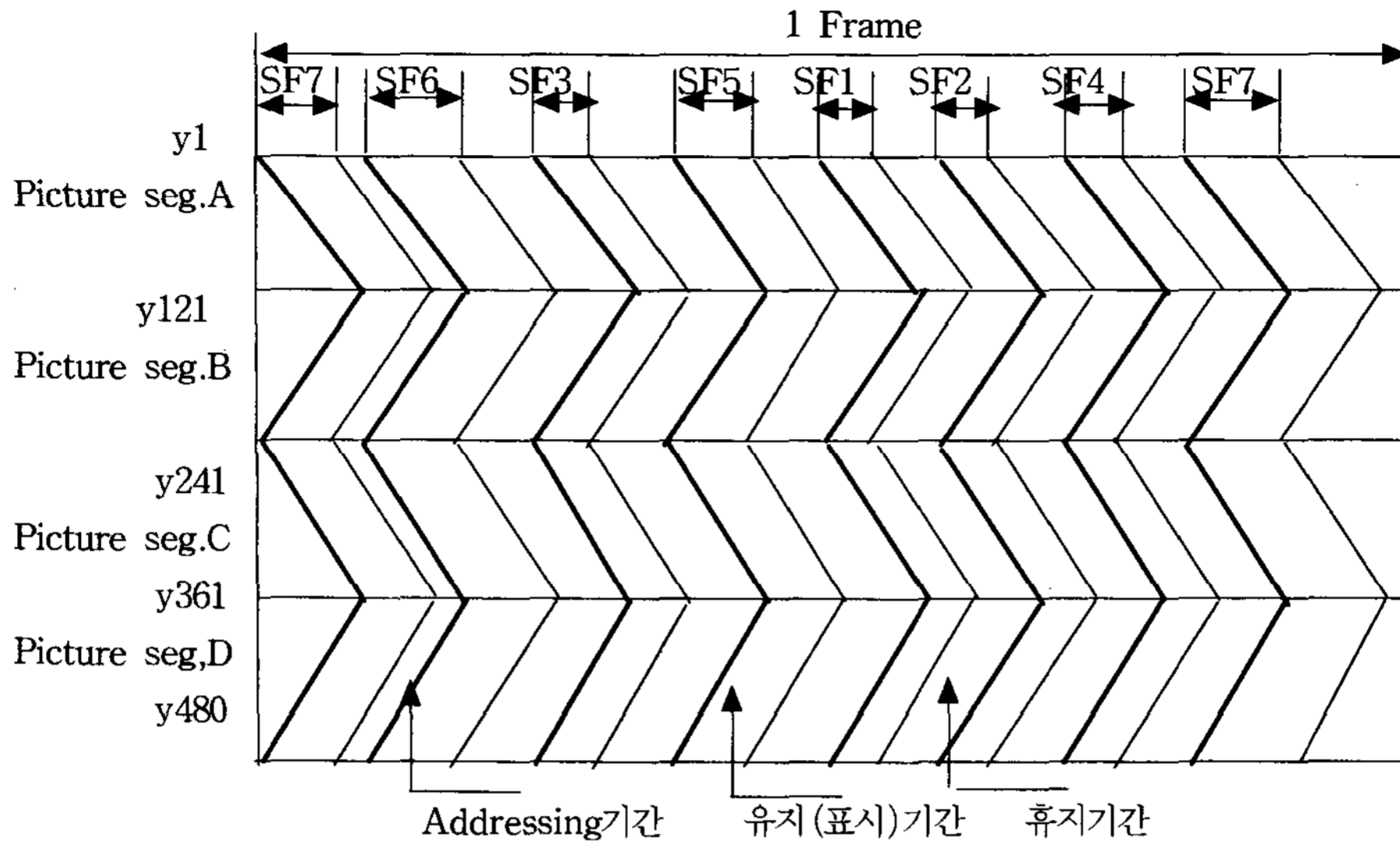
구동 파형에 대하여 구체적으로 설명하면 먼저 1 field를 262.5 H로 나눈 다음 다시 1H를 $n\Delta$ 로 나눈다. (n =bit 수, 8bit일 경우 $n=8$, 시각을 $nHm\Delta$ 로 정의하고 $1H=63.5\mu s$, $1H$ 의 $1/8$ 이

1Δ 로 한다)

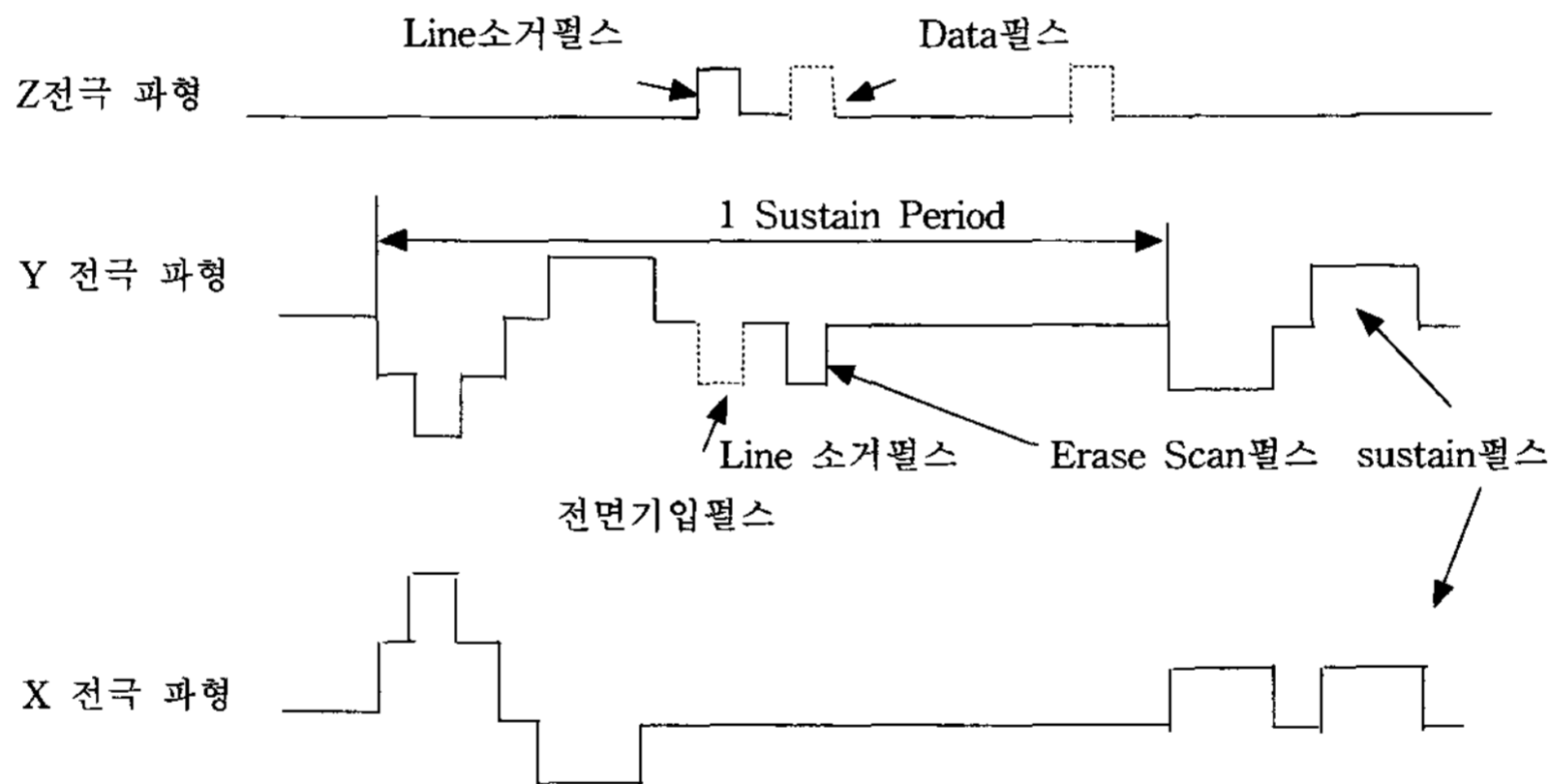
첫 번째 Sub-field에서 $0H0\Delta$ 에 최초 Y전극 (scan-sustain)과 data 전극에 전압을 인가하여 기입방전을 일으키고 곧바로 X전극과 Y전극 사이에 번갈아 Sustain 펄스를 인가함으로써 유지방전이 일어난다. 1H 후 두 번째 Sub-field에서 $1H0\Delta$ 에 첫 번째 Y전극과 Data 전극에 전압을 인가하여 기입방전을 일으키고 곧바로 X전극과 Y전극 사이에 번갈아 Sustain 펄스를 인가한다. 이러한 방식으로 모든 Scan 라인에 대하여 Addressing이 끝나면 다음 Sub-field에 대하여 Addressing이 시작된다. 각 Sub-field에 대하여 Addressing과 Sustain이 끝나면 Erase펄스를 인가하여 벽 전하를 소거시킨다. 또한 일정한 휴지펄스를 인가하여 Panel의 전체 Cell의 벽전하가 일정하게 되도록 초기화한다.

(1) LGSE(Selective erase) 구동방식

기본적으로 Line by Line 방식의 AWD 방식에서 1 Frame을 선택적 소거 펄스 수 만큼의 화면을 분할(picture A~D)하여 하나의 Sustain 유지기간 동안에 여러 개의 선택적 소거(selective erase) 펄스를 인가함으로써 전체적으로 고속 Addressing 기술을 통한 Addressing 기간



〈그림 11〉 Timing sequence

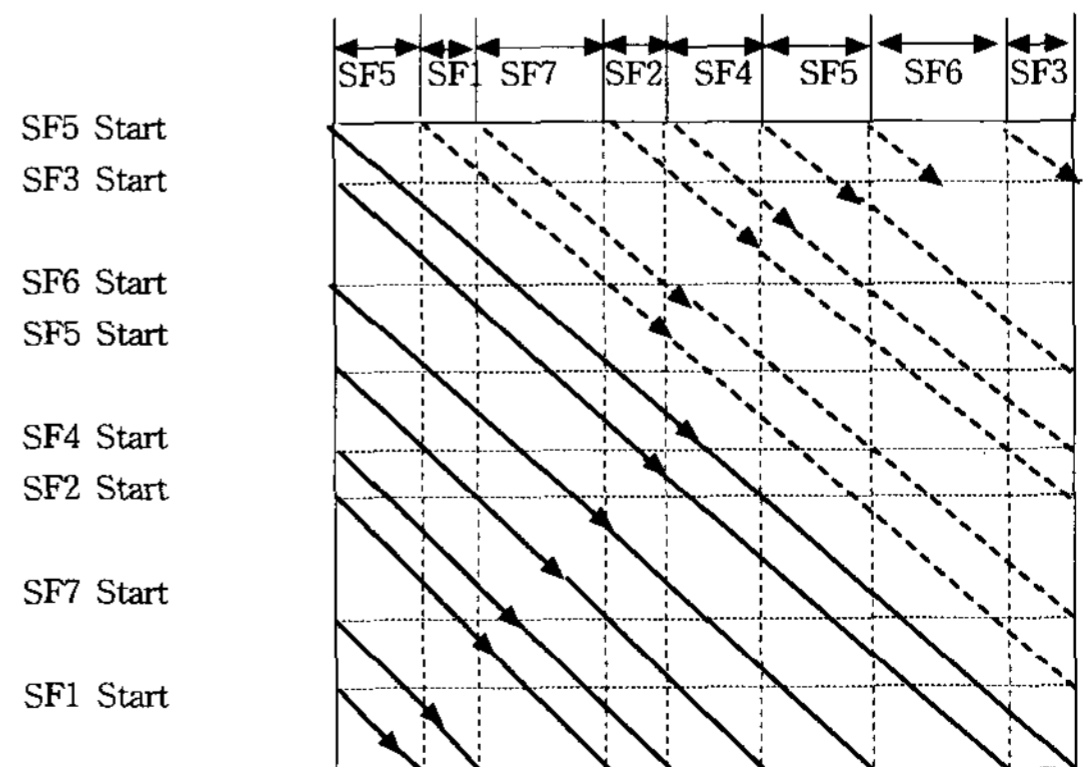


〈그림 12〉 LGSE 방식의 구동 파형

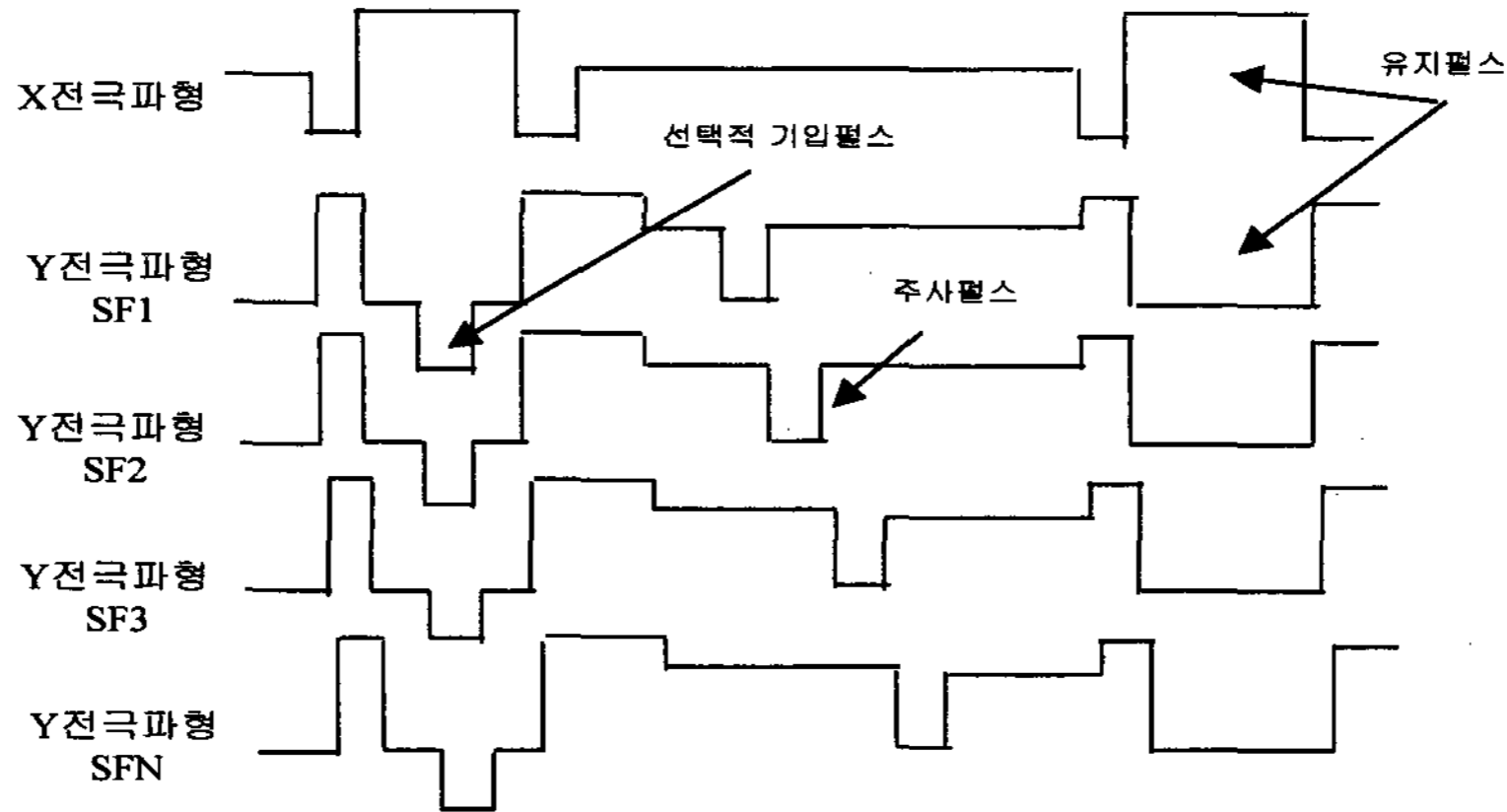
단축을 실현함으로써 XGA급 이상의 해상도에도 적용가능하며, 특정한 시간에 화면이 중첩되는 현상을 방지하기 위하여 Scan 순서를 W자 형태로 하고 있다.

또한 Sustain과 First Erasing Scan 펄스 사이에 Line Erasing 펄스를 인가하여 바람직하지 않는 과대방전을 억제하는 역할을 한다.

(2) SMAD(Selective Multi-Addressing in one Display period) 구동방식
이 방식은 Line by Line 방식을 적용한 AWD



〈그림 13〉 SMAD 방식의 Timing sequence



〈그림 14〉 SMAD 방식의 구동파형

방식으로서 특징은 한 개의 Sustain 펄스 주기 내에서 Sub-field 수 만큼의 Multi-scan을 함에 있어서 선택적 소거방식을 채용하였다. 우선 단계별로 보면 Sub-field의 수를 정하고 모든 Sub-field의 Start Scan Line을 결정한 다음에 선택된 Line에 대하여서만 전면기입 방전을 행한 후 각 Sub-field는 기입 방전된 line을 선두로 하여 순차적으로 Addressing(erasing)을 실시한다.

III. 화질 개선을 위한 구동기술개발

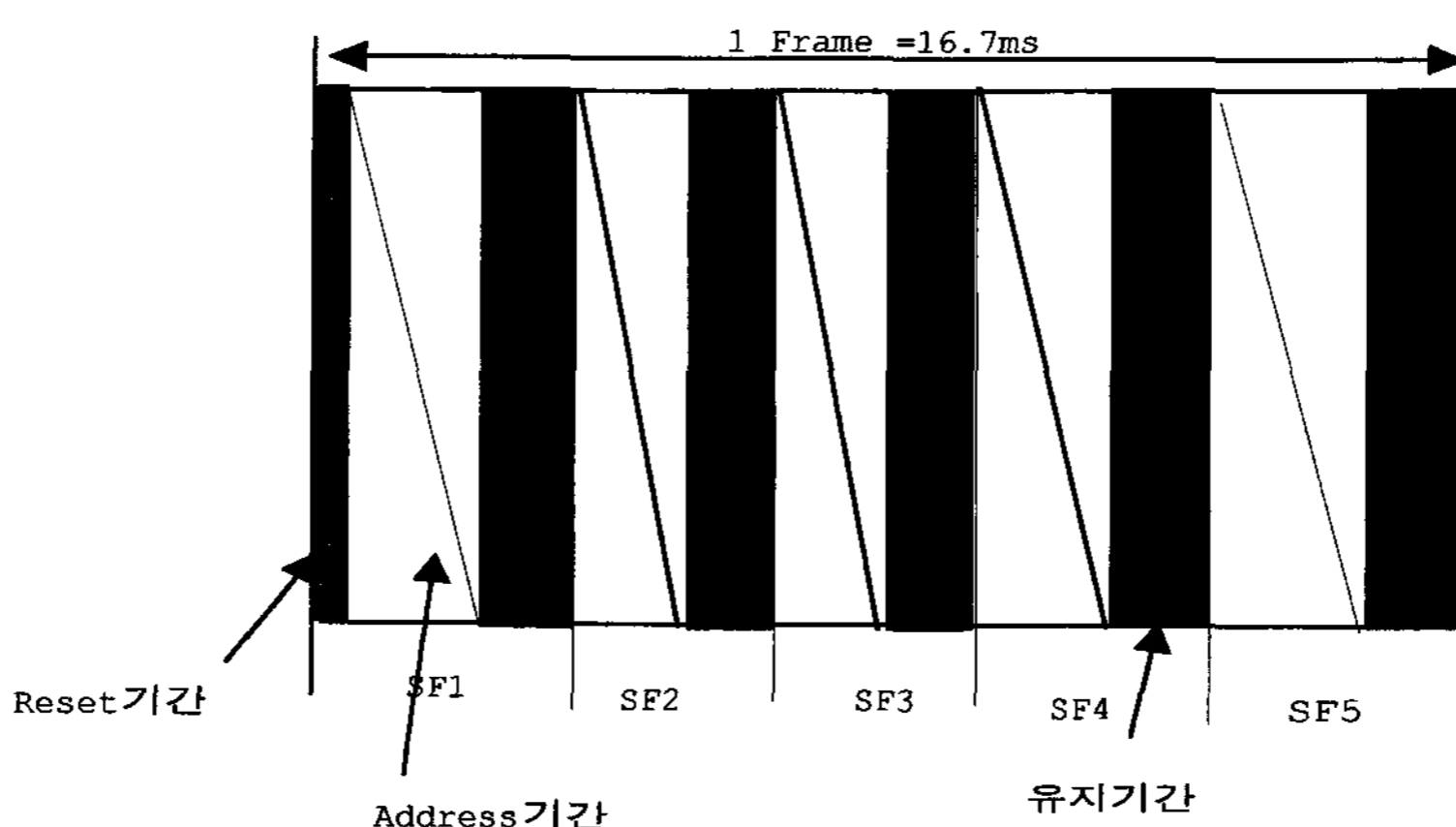
1. 휘도 및 콘트라스트 개선

파이오니아의 CLEAR 구동방식¹⁵⁾과 WAFFLE

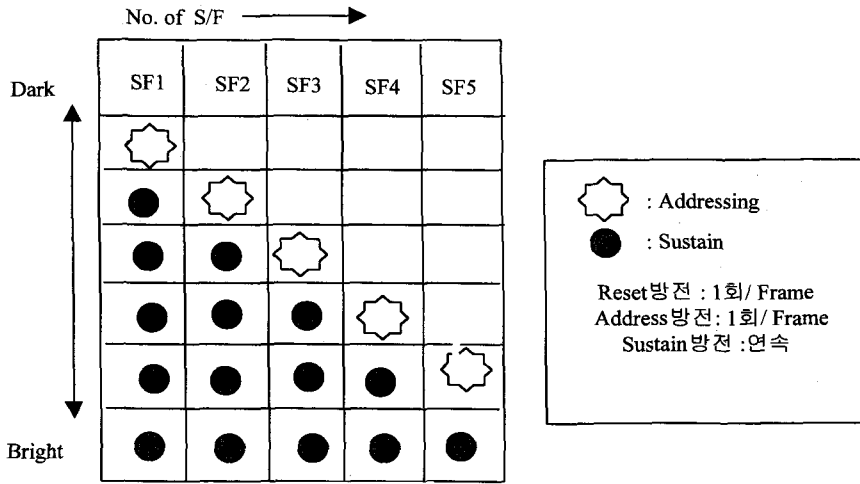
격벽 구조, 후지츠의 ALIS 구동 방식과 MEANDER 격벽구조, 마츠시타의 Ramp형 RESET 방식과 PLASMA AI(Adaptive brightness Intensification) 방식¹⁶⁾ 등은 고휘도/고효율, 고콘트라스트/다계조를 실현한 대표적인 방법들이며 이를 통하여 PDP는 기존의 CRT와 동등 또는 그 이상의 수준을 갖게 되었다.

Reset(초기화) 펄스의 인가 횟수와 펄스형태의 개선에 따른 고 콘트라스트화의 원리를 〈그림 17〉에 나타내고 있다. 종래의 각 Sub-field마다 Reset펄스를 인가하던 방식을 개선하여 1 Frame에 1번만 인가함으로써 흑레벨을 최대한 낮추어 콘트라스트를 개선하였다.

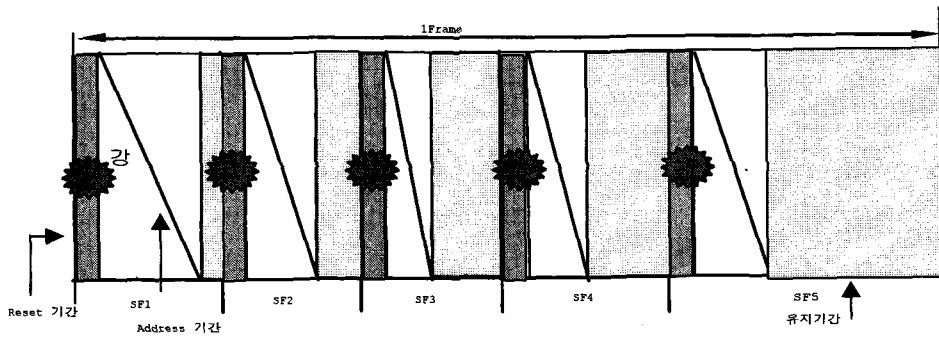
또한 펄스의 모양에 있어서도 구형파의 경우



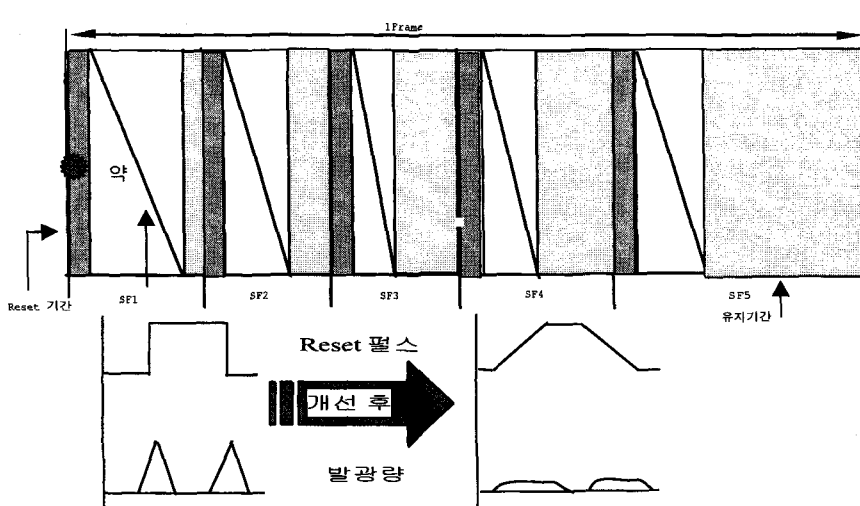
〈그림 15〉 CLEAR 방식의 Timing sequence



〈그림 16〉 CLEAR 방식의 Gray 표현 방식



(a) 초기제품의 Reset 방전 1 Reset/1 Sub-Field



(c) Reset 펄스 모양에 따른 발광량 차이

〈그림 17〉 고 콘트라스트(암) 개념도

펄스의 상승과 하강 시점에 강한 방전이 발생함으로 인하여 흑레벨의 휘도가 높게 되어 암 콘트라스트를 저하시키는 요인이 되었다.

이를 개선한 것이 램프형 Reset 펄스인데 완만한 기울기로 펄스를 인가함으로써 Cell 전체에 미약한 방전을 발생시킴으로써 흑레벨의 휘도를 대폭 줄이게 되었다.

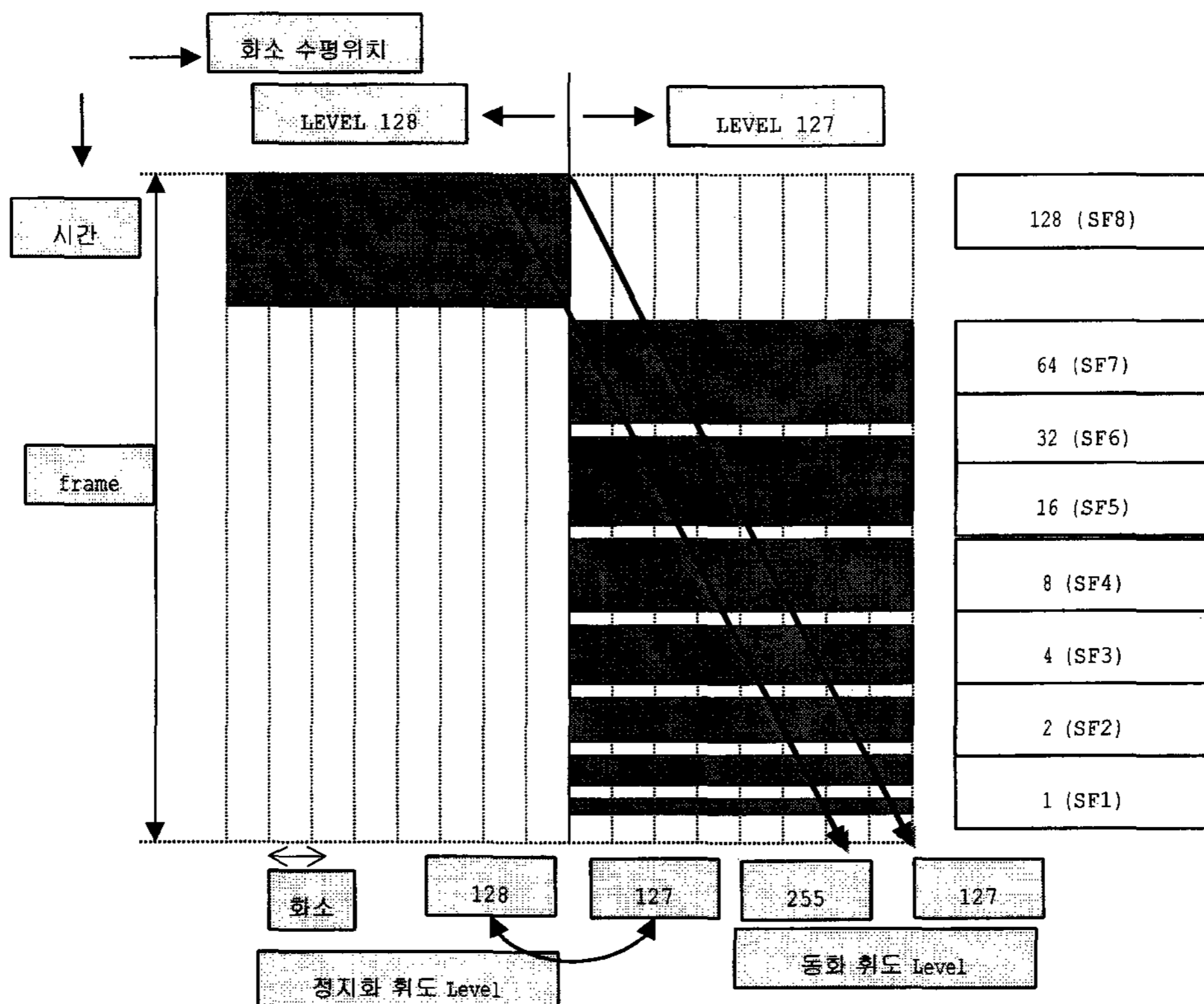
이 결과 콘트라스트 개선을 실현함과 동시에 안정된 벽 전하를 축적하고 Address 전압을 낮추는 결과가 되었다.

2. 동화위 윤곽개선

Dynamic false contour, False color, False noise, 의사(疑似)윤곽 noise 등을 총칭하여 動畫爲 윤곽 현상이라 일컫는데, PDP는 화상을 표시할 때 Sub-field 조합에 의한 구동 펄스수 변조방식으로 계조를 표현하기 때문에 동화

상 표현시 필수적으로 동화위 윤곽 현상이 관측된다. 특히 2ⁿ 가중치로 1:2:4:8:16:32:64:128 배열로 Sub-field가 표현될 때 최상위 bit가 변하는 시점에서 뚜렷이 나타나는데 예를 들어서 계조레벨이 63 레벨에서 64 레벨로, 127 레벨에서 128 레벨로 변하는 경계 레벨에서 나타난다. 레벨이 127인 경우 SF1에서 SF7까지 발광을 하고 128 레벨에서는 단지 SF8에서만 발광을 할 때 경계지점에서는 255 단계의 밝기가 나타난다. 반대로 움직일 경우 이 경계 지점에서는 0 단계의 밝기가 나타남으로서 원하지 않는 레벨의 밝기가 나타난다.

이러한 현상의 발생 원인은 발광되는 빛의 적분방향과 사람이 인식하는 빛의 적분방향(視點)의 불일치로 발생하는데 발광시간의 비 균일성에 의존하며 계조와 색의 산란을 동반하게 된다. 이 현상이 발생하는 메커니즘을 <그림 18>에 나타내



<그림 18> 동화위 윤곽 발생메카니즘

었다.

이러한 현상을 완전히 없애는 것은 불가능하지만 사람이 인식하기 힘들 정도로 줄이는 방법에 대해서는 여러 가지 방안이 제안되고 있다.^[7,8,9]

동화위 윤곽을 줄이기 위하여 제안된 여러 가지 방법들로서 ① Field 내 발광기간 단축, ② Field frequency 증가, ③ Sub field 배열 최적화, ④ Sub field 분할/재분배, ⑤ 오차확산/3-D Scattering, ⑥ 정/부의 등화펄스 인가방법 등이 있으며 이중에서 ③, ④, ⑤번이 보편적으로 사용되고 있다.

이외에도 최근 들어 제품 Cost down을 위한 저 전압/저 전력 구동기술에 대한 연구도 활발히 진행되고 있다. Data용 구동 IC의 경우 기존의 64출력, 96출력에서 128출력을 갖는 多출력 IC의 개발과 Module(COF)화를 추진하고 있다.

또한 Sustain 회로에 있어서는 여러 개의 MOS FET를 집적한 Hybrid화를 추진하고 IGBT 대체부품을 통해 부품 수를 줄이는 노력들이 추진되고 있다.

Digital Logic 회로의 경우 기존의 여러 개의 FPGA 형태의 부품들을 ASIC화 하여 ONE CHIP화 함으로서 부품 수 절감 및 원가절감을 추진하고 있다.

이와 병행하여 저 전력, 저 전압 구동을 위하여 고효율 전원장치 연구와 새로운 개념의 에너지 회수회로 연구, Reset 펄스 최적화를 통한 address 저 전압 구동법, peak 전압, 전류 감소를 위한 구동펄스 최적화 등 다양한 연구가 진행되고 있다.

IV. 결 론

본 고에서는 지금까지 제품에 적용되고 있는 구동기술에 대하여 간략히 언급하였다. 위에서 언급한 바와 같이 지금까지 개발된 PDP의 기술 수준은 제품 특성측면에서는 기존의 Display Device를 충분히 대체할 수 있는 수준에 도달하였다고 볼 수 있다. 향후의 과제로서는 Full HDTV급을 구현할 수 있는 신 개념의 고속 구

동기술과 이에 따른 저 소비 전력화가 큰 과제로 대두될 것으로 예상된다.

이러한 측면에서 볼 때 현재의 ADS 방식보다는 AWD 방식에 대한 연구가 좀더 적극적으로 이루어져야 할 것으로 판단되며, 이와 병행하여 PDP가 가정용으로서 자리 매김을 하기 위해서는 모듈의 저가격화를 위한 연구가 지속적으로 추진되어야 할 것으로 본다.

참 고 문 헌

- [1] H. Murkami "A 33 in Diagonal HDTV Display Using Gas Discharge Pulse Memory Technology" SID 91 Digest pp.713-716 (1991)
- [2] S. Mikoshiba "High Speed Addressing of a Townsend-Discharge Panel TV Display Using Pre-Discharge" SID 90 Digest pp.474-476 (1990)
- [3] Y. Kanazawa *et al* "High Resolution Interlaced Addressing for Plasma Display" SID 99 p.154 (1999)
- [4] T. Kishi *et al* "A New Driving Technology for PDPs with Cost Effective Sustain Circuit" SID 01 Digest. pp.1236-1239(2001)
- [5] T. Tokunage *et al* "Development of New Driving Method for AC-PDPs" IDW 99 pp.787 (1999)
- [6] M. Kasahara *et. al* "New Drive System for PDPs with Improved Image Quality: PLASMA AI" SID 99 Digest XXX. pp.158-161 (1999)
- [7] I. Kawahara *et al* "Simulation and Reduction of Motion Picture Disturbance for 42" Diagonal AC PDP" IDW 97 pp.503-506 (1997)
- [8] T. Makino *et al* ASIA Display 95 pp.381-384(1995)
- [9] T. Yamamoto *et al* SID 97 pp.217-220 (1997)