

디바이스 시뮬레이션 기술을 이용한 미세 n-MOSFET의 비등온 비형형장에 있어서의 특성해석

Simulation of Miniaturized n-MOSFET based Non-Isothermal Non-Equilibrium Transport Model

최 원 철*

Won-Cheol Choi*

<Abstract>

This simulator is developed for the analysis of a MOSFET based on Thermally Coupled Energy Transport Model (TCETM). The simulator has the ability to calculate not only stationary characteristics but also non-stationary characteristics of a MOSFET. It solves basic semiconductor devices equations including Poisson equation, current continuity equations for electrons and holes, energy balance equation for electrons and heat flow equation, using finite difference method. The conventional semiconductor device simulation technique, based on the Drift-Diffusion Model (DDM), neglects the thermal and other energy-related properties of a miniaturized device. I, therefore, developed a simulator based on the Thermally Coupled Energy Transport Model (TCETM) which treats not only steady-state but also transient phenomena of such a small-size MOSFET. In particular, the present paper investigates the breakdown characteristics in transient conditions. As a result, we found that the breakdown voltage has been largely underestimated by the DDM in transient conditions.

Key Words : *Device simulation, Drift Diffusion Model, TCAD, Miniaturized MOSFET Analysis, Non-Equilibrium Transport Model*

1. 서 론

최근의 반도체 디바이스는 프로세스기술의 진보로 인하여 사이즈가 미세화 되어 형상은 더욱더 복잡하게 되었다. 반도체 소자의 미세화는 계산속도의 고속화, 메모리영역의 확대 등에

의해 최근 반도체 素子の 經의적인 발전에 크게 공헌하였다.

반면, 디바이스의 미세화가 초래한 문제도 적지 않다. 그 예로서 소자의 발열, MOSFET의 드레인(Drain) 부근에서의 전계의 집중 등을 들

* 정회원, 하이닉스반도체 System IC 소자기술팀, 工博,
일본 법정대학교 대학원 졸업
E-mail: wchoi@hynix.com

* Device Engineering Team Hynix Semiconductor
Hosei University, Ph.D

수 있다. 또한 반도체 디바이스 발전과 함께, 실소자(實素子)의 제작이 없이 디바이스 특성을 계산으로 예측하는 반도체 디바이스 시뮬레이션 기술(Technology Computer Aide Design : TCAD)¹⁾ 역시 실용화 되었다.

그러나 Poisson방정식, 전자와 정공(正孔)의 전류연속식의 3가지 방정식을 기본으로 하는 드리프트 확산모델(Drift-Diffusion Model : DDM)²⁾⁻⁶⁾을 사용하는 종래의 디바이스 시뮬레이션 기술은 전부의 사상(事象)이 캐리어 에너지의 완화 시간 보다 충분히 긴 시간동안 일어난다는 반도체중의 平衡輸送을 가정하고 있으므로 디바이스 내부에서 高電界化가 현저하게 되어 캐리어 에너지의 분포가 비평형 상태로 되는 디바이스의 사이즈가 1Micron 이하의 소자에서는 시뮬레이션의 신뢰도가 의심스럽게 된다.

따라서 종래의 DDM에 열전도 방정식과 전자의 에너지수송 방정식을 가미한 비등온비평형수송 모델⁷⁾⁻⁹⁾을 사용한 정상상태의 미세 소자의 시뮬레이션이 보고되었다.

그러나 미세 소자의 동작을 위한 스위칭속도가 고속화되면서 과도상태의 디바이스 특성이 중요시 되고있다. 따라서 이 논문은 미세 디바이스인 n-MOSFET를 비등온 비평형 수송장에서 과도 시뮬레이션을 실행하여, 정상상태에서는 확인 할 수 없는 시간과 함께 변화하는 디바이스 특성에 관해 상세히 보고하려고 한다.

2. 미세 MOSFET의 비등온비평형수송 (非等溫非平衡輸送)모델

2.1 시뮬레이션 기본모델

이 해석에서 이용한 기본방정식은 다음에 표기한 Poisson 방정식 (1), 전자와 정공의 전류연속 방정식 (2),(3) 전자의 에너지 수송방정식 (4) 그리고 열전도방정식 (5)를 사용하였다.

$$\text{div}(\epsilon \text{grad } \psi) = -q(N_D - N_A + p - n) \quad (1)$$

$$\frac{\partial n}{\partial t} = \text{div}\left(\frac{J_n}{q}\right) + U \quad (2)$$

$$\frac{\partial p}{\partial t} = -\text{div}\left(\frac{J_p}{q}\right) + U \quad (3)$$

$$\frac{\partial(n\xi_n)}{\partial t} + \text{div} S_n = J_n \cdot E - nC_n + \xi_n U \quad (4)$$

$$\rho C \frac{\partial T_L}{\partial t} - \text{div}(k_L \text{grad } T_L) = Q_L \quad (5)$$

여기서 $\epsilon, \psi, n, p, N_A, N_D$ 과 U 는 각각 유전율, 전위, 전자농도, 정공농도, 억셉터(Acceptor)의 농도, 도너(Donor)의 농도 그리고 생성 재결합 항을 나타내고있다. J_n, J_p 는 전자와 정공의 전류 밀도이다. 또한 E 는 전기, S_n, C_n 는 에너지 유속과 전자의 평균에너지 발산인자 이다. $\xi_n, \rho, C, K_L, Q_L, T_L$ 는 각각 전자의 평균에너지, 밀도, 비열, 열전도율, 발열항, 격자온도를 나타내고 있다. 식(4)의 에너지 밸런스식에 있어서 정공의 에너지는 전자의 에너지와 비교할 때 그 값이 충분히 작기 때문에 여기에서는 전자의 에너지 밸런스식만 고려하여 정공의 에너지는 격자온도와 동일한 값으로 가정하였다.

또한 전자의 평균에너지 발산인자 C_n 은 완화 시간 근사치로 다음과 같은 식으로 주어진다.

$$C_n = \frac{\xi_n - \xi_L}{\tau_{en}} = \frac{3}{2} k_B \frac{T_n - T_L}{\tau_{en}} \quad (6)$$

여기에서 τ_{en} 은 전자의 에너지 완화시간 이며 T_n 은 전자온도 ξ_L 은 격자에너지를 나타내고 있다.

또한 기본방정식에 부속되는 보조방정식은 다음과 같이 정의한다.

$$n = n_i \exp\left(\frac{q(\psi - \phi_n)}{k_B T_n}\right) \quad (7)$$

$$p = n_i \exp\left(\frac{q(\phi_p - \psi)}{k_B T_p}\right) \quad (8)$$

$$J_n = qD_n \text{grad } n - q\mu_n n E + k_B n \alpha_n \mu_n \text{grad } T_n \quad (9)$$

$$J_p = -qD_p \text{grad } p - q\mu_p p E - k_B p \alpha_p \mu_p \text{grad } T_p \quad (10)$$

$$S_n = -k_n \text{grad } T_n - (\xi_n + k_B T_n) \quad (11)$$

또한 발열항은 전(Total)전류와 다음과 같은

관계를 가지고 있다.

$$J = J_n + J_p + J_{disp} \quad (12)$$

$$Q_L = E \cdot J - E_g U \quad (13)$$

여기의 변위전류 J_{disp} 는 다음과 같은 식으로 표현된다.

$$J_{disp} = -\epsilon \frac{\partial}{\partial t} \text{grad } \psi \quad (14)$$

여기의 T_p, n_i, k_n, k_B 은 정공온도, 진성 캐리어 농도, 전자의 열전도율, Boltzmann 상수를 표시하고 있으며, $\varphi_n, \varphi_p, \mu_n, \mu_p, D_n, D_p$ 은 전자 및 정공의 준 페르미 포텐셜, 전자 및 정공의 이동도, 전자 및 정공의 확산 정수를 대표하고 있다. 또한 J, J_{disp} 는 全電流 및 變位電流를 뜻한다.

2.2 물리 모델

2.2.1 에너지 의존 이동도(移動度) 모델

에너지 수송모델에 있어서 이동도 모델은 종래의 로컬(Local)적 전계의 함수가 아닌 에너지의 함수로서 취급해야 한다. 그것은 종래의 전계 의존 이동도 모델은 캐리어의 국소적인 효과 즉, 캐리어 속도의 오버슈트 (Over Shoot)현상의 표현이 불가능하기 때문이다.

에너지 의존 이동도 모델은 많이 보고되었으나 이 해석에는 확장성이 높은 수법으로 Yamaguchi에 의해 개발된 전계 의존 이동도 모델⁽⁹⁾과 에너지 밸런스식으로부터 에너지 의존 이동도 모델식을 유도하는 수법을 사용한다. 본 논문에서는 Cook의 방법⁽¹⁰⁾을 MOS 디바이스 해석에 유용한 이동도 모델로 확장시킨다. 여기에서 사용하는 MOSFET의 전계 의존 이동도 모델⁽⁹⁾은 다음과 같이 나타낸다.

$$\mu' = \frac{\mu_0}{\sqrt{1 + \frac{N_B}{\frac{N_B}{S} + N_r}} \sqrt{1 + \alpha E_1}} \quad (15)$$

$$\mu = \frac{\mu'}{\sqrt{1 + \frac{\left(\frac{\mu' E_{//}}{v_c}\right)^2}{\frac{\mu' E_{\perp}}{v_s} + G} + \left(\frac{\mu' E_{\perp}}{v_s}\right)^2}} \quad (16)$$

여기의 $E_{//}, E_{\perp}$ 는 전류 벡터에 평행한 전계의 성분과 수직인 전계 성분을 나타낸다. 에너지 의존 이동도 모델식의 유도에 에너지 밸런스식을 그대로 사용하는 것은 매우 곤란한 일이다. 따라서 본 연구에서는 이하에 기술한 Cook의 가정⁽¹⁰⁾을 통해 에너지 밸런스식을 간단화한다.

(a) 생성 재결합 에너지 $\xi_n U$ 는 다른 항과 비교하면 매우 작은 양이므로 무시할 수 있다.

$$(\xi_n U \approx 0)$$

(b) 에너지류는 공간적으로 크게 변화하지 않는다고 가정해 그 발산을 무시한다.

$$(\text{div } S_n \approx 0)$$

(c) 캐리어의 에너지는 주로 전류밀도의 드리프트 성분에 의존하여 이때의 전계는 전류 벡터에 평행한 전계 성분만이 에너지에 기여한다.

$$(J_n = qn \mu_n E_{//})$$

이상의 가정을 이용하면 식(4)는 다음과 같은 간단한 식으로 나타낼 수 있다.

$$J_n \cdot E_{//}(T_n, T_L) = qn \mu_n (E_{//}(T_n, T_L), E_{\perp}, N) E_{//}(T_n, T_L)^2 = n C_n(T_n, T_L) \quad (17)$$

따라서

$$\mu_n(E_{//}(T_n, T_L), E_{\perp}, N) = \frac{C_n(T_n, T_L)}{q E_{//}(T_n, T_L)^2} \quad (18)$$

또한 위의 식은 $\mu_n(E_{//}, E_{\perp}, N)$ 과 $E_{//}(T_n, T_L)$ 의 두개의 미지수를 가지므로 식 (16)의 전계 의존

이동도식 (18)을 연립시켜 μ_n 를 소거하면 $E_{ii}(T_n, T_L)$ 관한 다음과 같은 5차 방정식을 얻을 수 있다.

$$E_{ii}(T_n, T_L)^5 + \frac{Gv_c}{\mu'} E_{ii}(T_n, T_L)^4 - \frac{C_n^2}{q^2 v_s^2} E_{ii}(T_n, T_L)^3 - \frac{C_n^2}{q^2 \mu'} \left(\frac{1}{v_c} + \frac{Gv_c}{v_s^2} \right) E_{ii}(T_n, T_L)^2 - \frac{C_n^2}{q^2 \mu'^2} E_{ii}(T_n, T_L) - \frac{C_n^2 Gv_c}{q^2 \mu'^3} = 0 \quad (19)$$

이 식으로부터 얻은 $E_{ii}(T_n, T_L)$ 를 식(18)에 대입함으로써 $\mu_n(E_{ii}(T_n, T_L), E_L, N)$ 를 구할 수 있다. 또한, 이동도의 격자온도 의존성을 고려하기 위하여 다음과 같은 飽和速度식⁽¹¹⁾을 이용하였다.

$$v_s(T_L) = \frac{2.4 \times 10^7}{1 + 0.8 \exp\left(\frac{T_L}{600}\right)} \quad (20)$$

2.2.2 에너지 의존 충돌 전리(Impact Ionization) 모델

반도체중의 캐리어의 생성 및 재결합은 몇몇의 메커니즘에 관여하고 있지만 본 논문은 특히, 1) 포논(Phonon)과 트랩(Trap)을 낀 전이에 의한 재결합, 2) Auger 효과, 3) 충돌 전리화 현상을 고려한다. 따라서 생성 재결합 항에는 Shockely-Read-Hall 모델, Auger 모델, 충돌 전리모델⁽¹²⁾를 사용한다.

미세화된 MOSFET에 있어서 중요한 문제의 하나인 고전계에 의해 생성된 핫 캐리어(Hot Carrier)에 의한 소자의 열화현상이 있다. 따라서 이런 핫 캐리어를 정확하게 계산 하여야 할 필요성이 있다. 충돌전리화 계수와 전계강도 E 를 결합시킨 모델은 현재까지 다수⁽¹³⁾ 보고되어 있지만 이러한 모델들의 대다수는 일정한 전계 하에서 캐리어의 집단이 전계와 평형을 유지한 상태로 定常적으로 흐른다는 가정을 하고있는 이른바 국소적인 전계에 의하여 결정된다는 것이다. 따라서 충돌 전리모델은 전술한 이동도 모델과 같이 캐리어 에너지를 함수로 취급하는 것이 타당하다. 본 논문에서는 전자에 관한 충

돌 전리화(衝突電離化) 모델 계수 αn^* 의 종래의 로컬(Local)적인 전계를 전술한 캐리어 에너지에 의존한 전류에 평행 하는 전계 $E_{ii}(T_n, T_L)$ 로 치환하여 사용한다. 이것은 충돌 전리화의 국소성을 필연적으로 가미함과 동시에 전류 백터와 평행한 캐리어 에너지의존 전계성분 만이 충돌 전리화에 관여한다는 것을 의미한다.

또한 전계의존 충돌전리화 모델로 손쉽게 취급 할 수 있다는 이점이 있다. 식을 구체적으로 다음과 같이 표현할 수 있다.

$$\alpha_n^* = A_n \exp\left(\frac{-\alpha_n}{E_{ii}(T_n, T_L)^2} + \frac{b_n}{E_{ii}(T_n, T_L)} + c_n\right) \quad (21)$$

여기의 A_n, α_n, b_n, c_n 는 실험 결과에 의한 파라미터로서 그 값은 각각

$$7.35 \times 10^5 [\text{cm}^{-1}], 4.177 \times 10^{11} [\text{V} \cdot \text{cm}^{-1}]^2, -1.787 \times 10^5 [\text{V} \cdot \text{cm}^{-1}], 42.137$$

로 설정하며 이 파라미터의 온도 의존성은 작은 것으로 간주하여 무시하였다.

3. 비등온 비평형수송장의 미세 MOSFET의 과도해석

3.1 수치 모델링

에너지수송모델의 기본방정식 해법은 다수 보고되어있다.⁽¹⁴⁾ 그러나 에너지 밸런스식은 에너지 流束안에 전류밀도 항을 포함하고 있기 때문에 특히 非線型성이 강하므로 수치 해를 구하는 작업이 대단히 곤란하다. 그당시 에너지 수송모델의 해법은 드리프트 확산모델로 이용하여진 Scharfetter-Gummel(SG)법과 같은 안정된 해법이 존재하지 않아 풍상차분법(風上差分法)[1]을 병행한 수치해석이 사용되었다.

보다 안정된 수치해법을 행하기 위하여 본 연구에 개발된 시뮬레이터는 Tang⁽¹⁵⁾이 제안한 수정된 Scharfetter-Gummel의 이산화법을 사용했으며 시간 항은 후퇴오일러(Backward Euler)⁽¹⁶⁾ 이산화법을 사용하였다.

3.2 경계조건 (Boundary Conditions)

반도체 시뮬레이션을 시행하기 위한 편 미분 방정식의 해법에서는 소자의 경계면에 적절한 조건을 설정해야 할 필요가 있다. 특히 열 해석은 경계조건에 깊이 의존한다. 이 해석에서는 열전도의 경계조건으로 基板底面의 온도를 300 Kelvin으로 하였다. 그 외의 경계면은 단열조건을 이용한다.

그리고, ψ, n, p 에 관해서는 종래의 드리프트 확산모델과 같이 전극부분에는 오믹컨택(Ohmic Contact)을 가정하고 일정한 값을 유지하는 Dirichlet형의 경계조건을 설정하며 그외의 곳에서는 경계표면에 수직방향의 편 계수를 0으로 하는 Neumann형의 경계조건¹⁷⁾을 설정 하였다.

3.3 시뮬레이션 알고리즘

본 해석에 사용한 시뮬레이션 알고리즘을 Fig.1에 간단히 도시하였다.

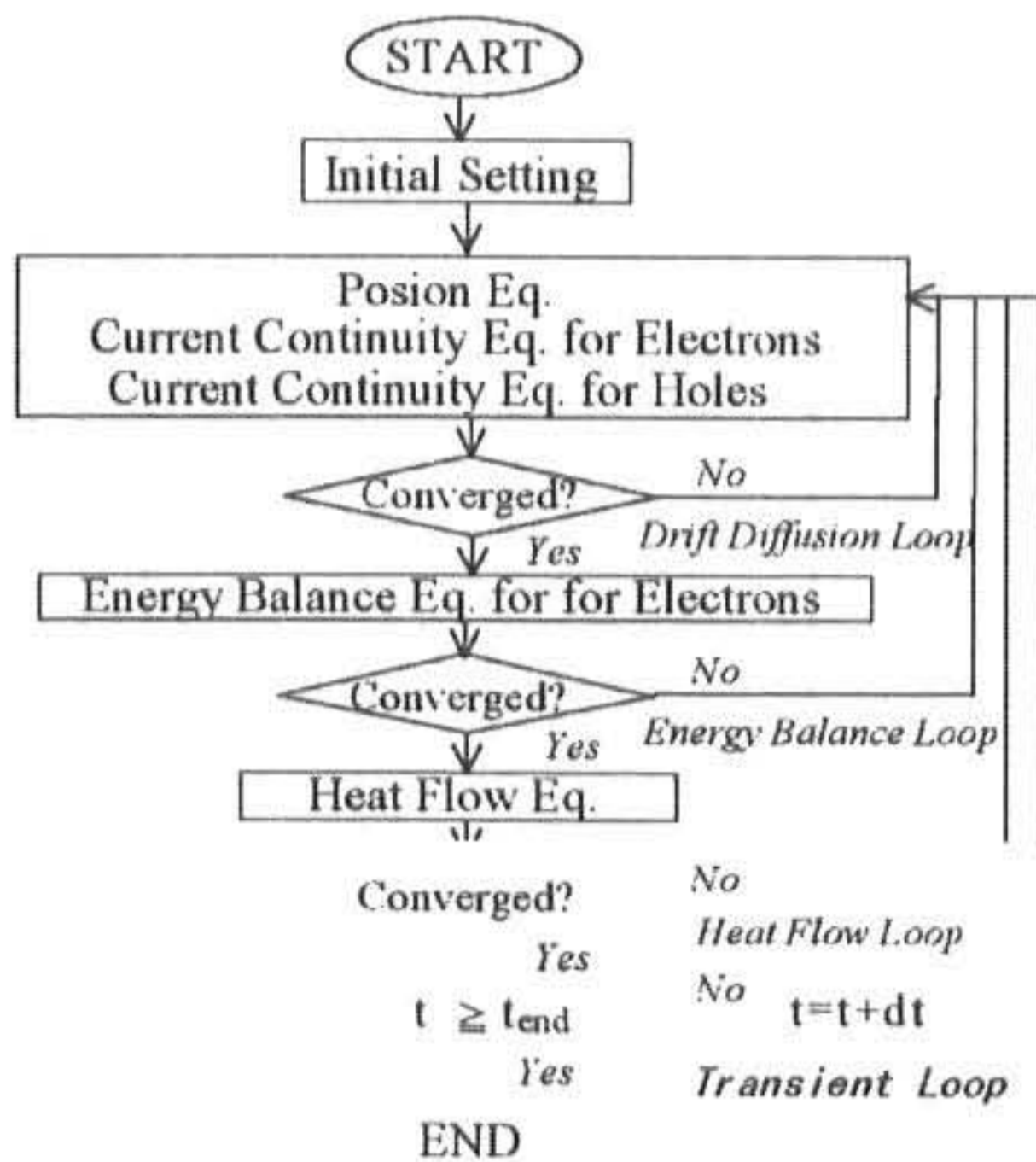


Fig.1 Simplified Simulation Algorithm

이 알고리즘은 네개의 계산 루프(Roof)로 형성되어 있으며, 각각 종래의 기본방정식을 해석하는 드리프트확산 루프, 캐리어의 에너지 밸런스식을 해석하는 에너지 수송 루프, 열전도방정식을 해석하는 열전도 루프와 시간을 컨트롤하는 트랜젠트(Transient) 루프로 구성되어 있다.

맨 처음 MOSFET의 구조와 해석조건 등을 계산하는 초기설정을 한다. 그리고 각 단자의 전압을 목표로 하는 전압까지 올려 과도해석을 앞서 설정한 시간 간격으로 해석한다. 그리고 결합법, 즉 Newton법으로 드리프트 확산모델, 세 방정식을 풀어 ψ, n, p 를 구한다. 여기에서 구한 ψ, n, p 를 이용하여 전자에너지 밸런스식과 열전도 방정식의 해를 구한다. 이 작업을 각 시간에 대해 解가 수렴할 때 까지 반복적으로 계산하여 전부의 미지수 값이 구해지면 결과를 출력하고 시뮬레이션을 끝낸다.

3.4 n-MOSFET의 구조 및 해석 방법

본 연구에 이용한 n-MOSFET 구조를 Fig. 2에 도시한다. 여기의 유효 채널길이 $L_{eff} = 0.2 [\mu m]$, 산화막 두께 $t_{ox} = 8 [nm]$, 확산층의 깊이 $x_j = 0.08 [\mu m]$, 기판농도 $N_{sub} = 3.9 \times 10^{17} [atoms/cm^3]$ 이다.

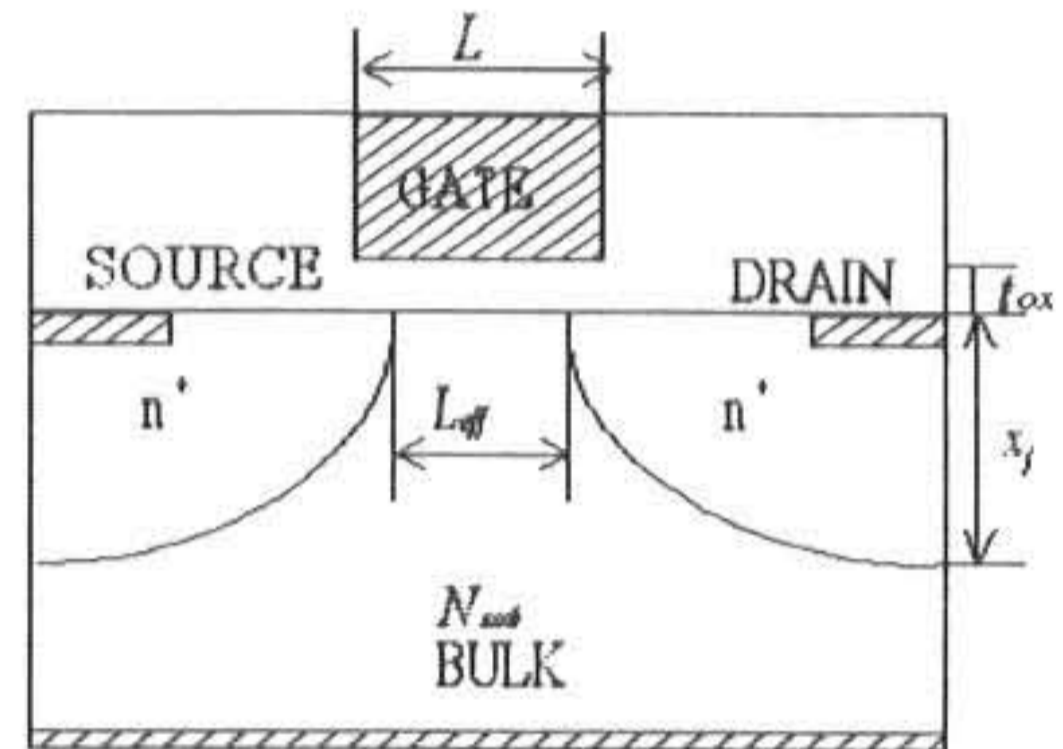


Fig.2 n-MOSFET Structure

3.4.1 게이트 스위칭(Gate Switching) 해석

게이트 스위칭의 해석은 소스(Source)와 기판을 0 [V]로 고정시키고 드레인(Drain)과 게이트 단자에 3 [V]의 바이어스를 가한 상태에서 두 종류의 시간 즉, 50, 25 [ps]의 오프펄스(Off Pulse)를 입력한다.

3.4.2 파괴(Breakdown) 해석

소스와 기판전압은 0 [V]로 고정시키고 게이트를 3 [V]로 고정시킨 다음 세 종류의 시간 즉, 50[ps], 100[ps], 1000[ps] 동안 드레인 바이어스(bias) 15 [V]까지 올리는 온 펄스(On Pulse)를 입력하여 해석을 한다.

4. 해석결과

4.1 격자온도 및 전자온도

Fig. 3 에는 소스와 드레인의 전압이 3 [V]인 경우의 디바이스 내부의 격자온도 분포를 입체적으로 나타내었다. 이 결과로부터 알 수 있듯이 격자 최대온도는 드레인 부근에서 약 325[K]을 나타내며 열이 기판 쪽으로 퍼져가고 있다. 한편, Fig. 4의 전자온도는 드레인부근의 실리콘(Si)과 실리콘 산화막(SiO₂) 계면에서 최대 값을 가지고 전자 온도는 드레인부터 소스방향으로 확산되는 것을 확인할 수 있다.

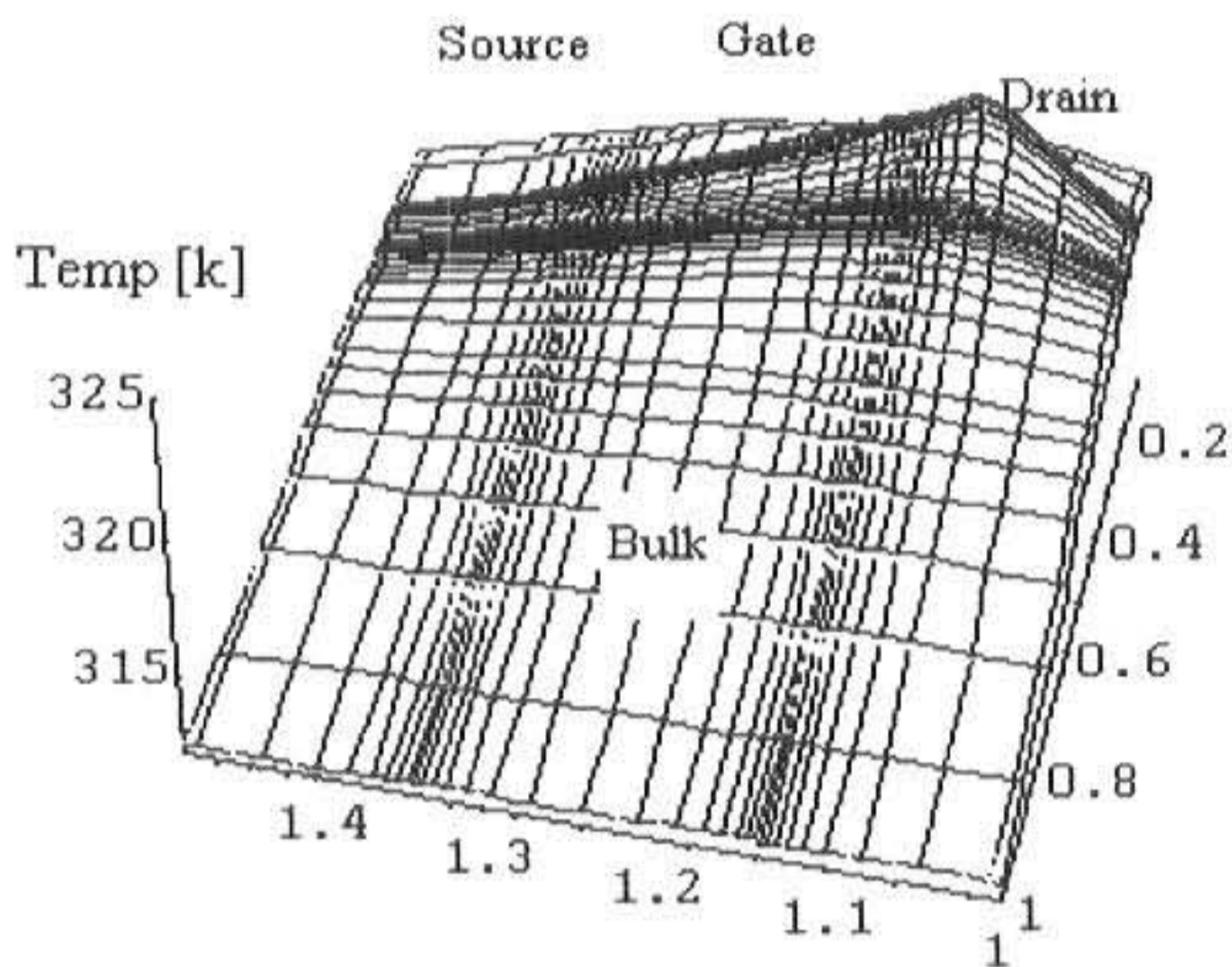


Fig. 3 Distribution of lattice temperature

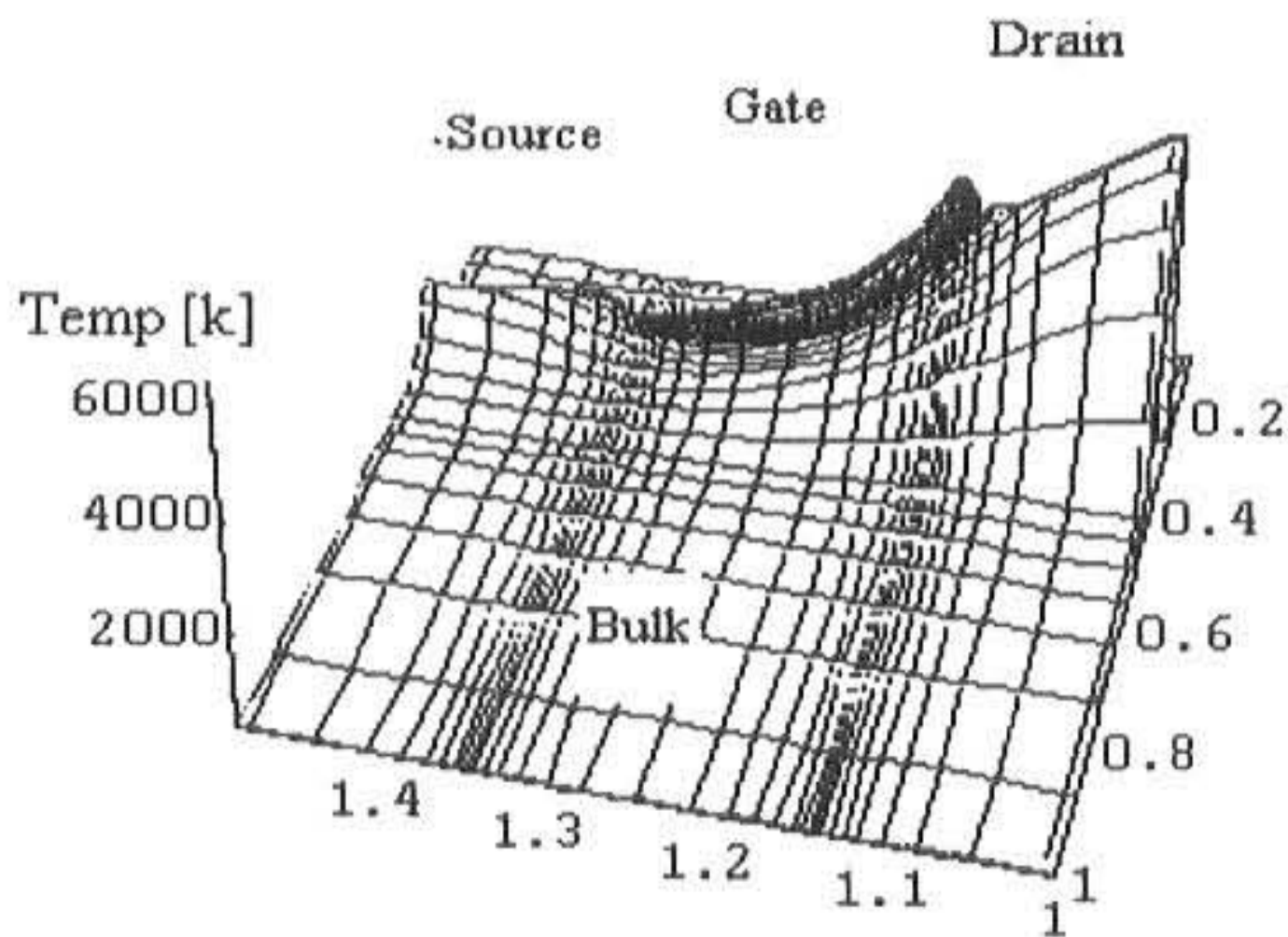


Fig. 4 Distribution of electron temperature

Fig. 5 에는 과도상태에서의 실리콘 격자온도의 변화를 나타내었다. 이 결과는 정상상태에서는 표현이 불가능한 게이트전압 0 [V]에서의 과도적인 소자온도의 변화를 확인할 수가 있다.

즉 게이트 전압이 0 [V]로 되었지만 소자내부의 열은 열 확산의 지연으로 인하여 약322[K]을 나타내고 있다.

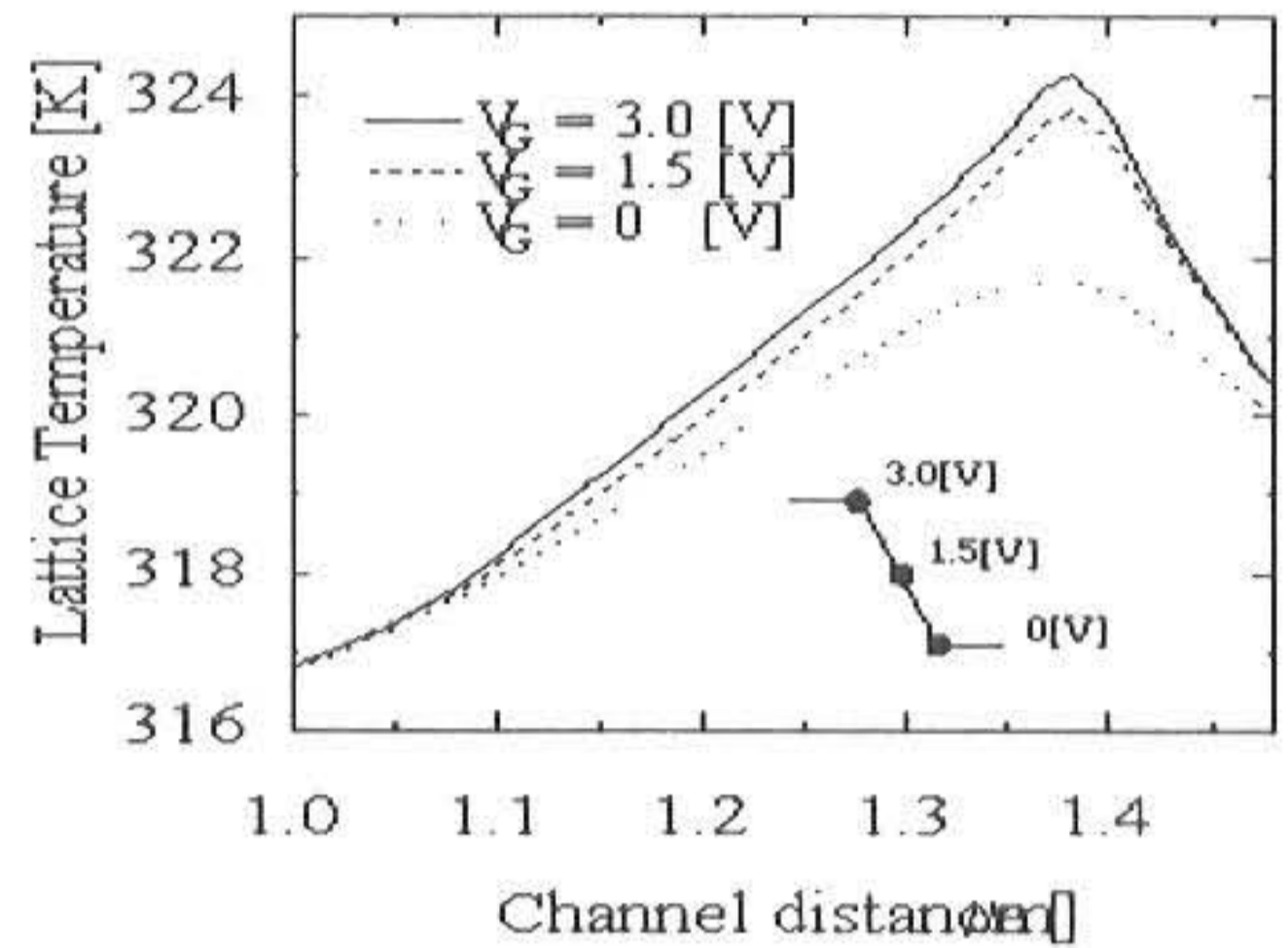


Fig. 5 Characteristics of lattice temperature on transient conditions

4.2 게이트 스위칭 (gate switching) 해석결과

Fig. 6에는 Si/SiO₂ 계면의 캐리어 속도를 나타내었다. 여기에서 속도오버슈트(Velocity Overshoot) 현상이 본 연구에서 이용한 모델(TCETM)이 종래의 모델(DDM)보다 현저하게 나타나고 있는 것을 알 수 있다.

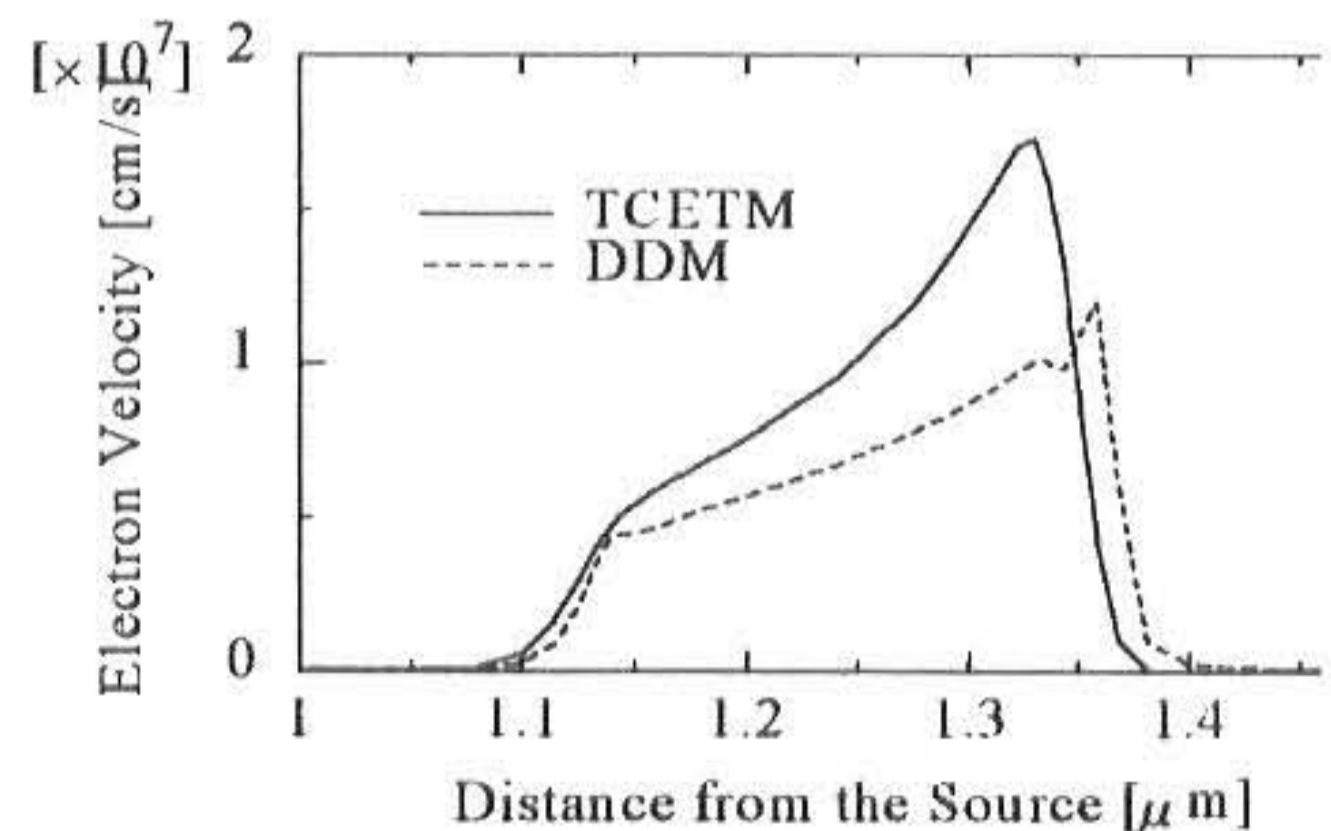


Fig. 6 Electron Velocity in Si/SiO₂ interface

이런 속도의 오버슈트현상으로 인해 Fig.7과 Fig.8 에 나타낸 소스와 드레인의 전류특성에서 본 연구에서의 모델을 이용한 것이 높은 전류치를 나타내고 있다. 여기에서 전류의 부호는 전류의 방향을 나타내며 각 단자에서 흘러 나가는 방향을 + 로 설정하였다.

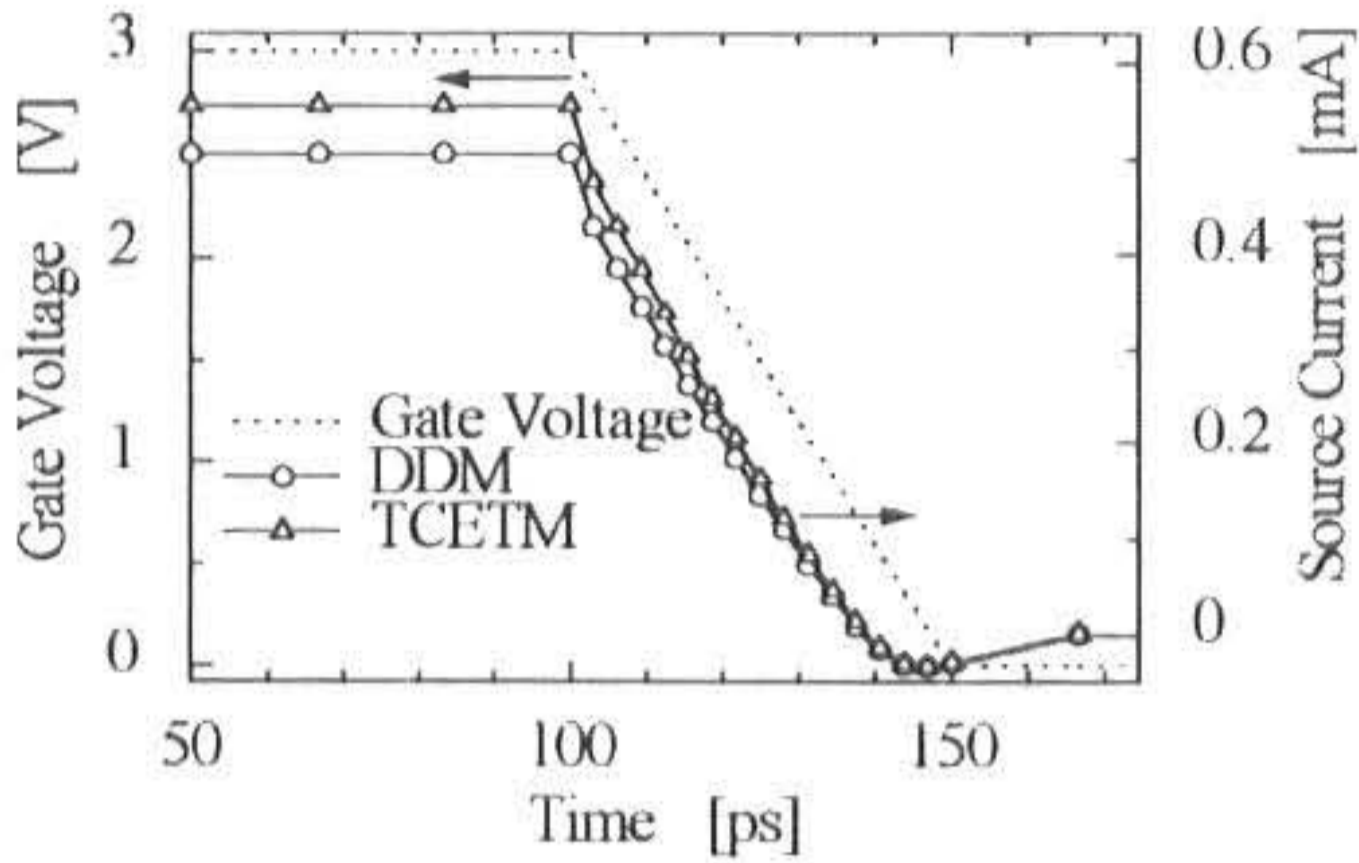


Fig. 7 Characteristics of Source current

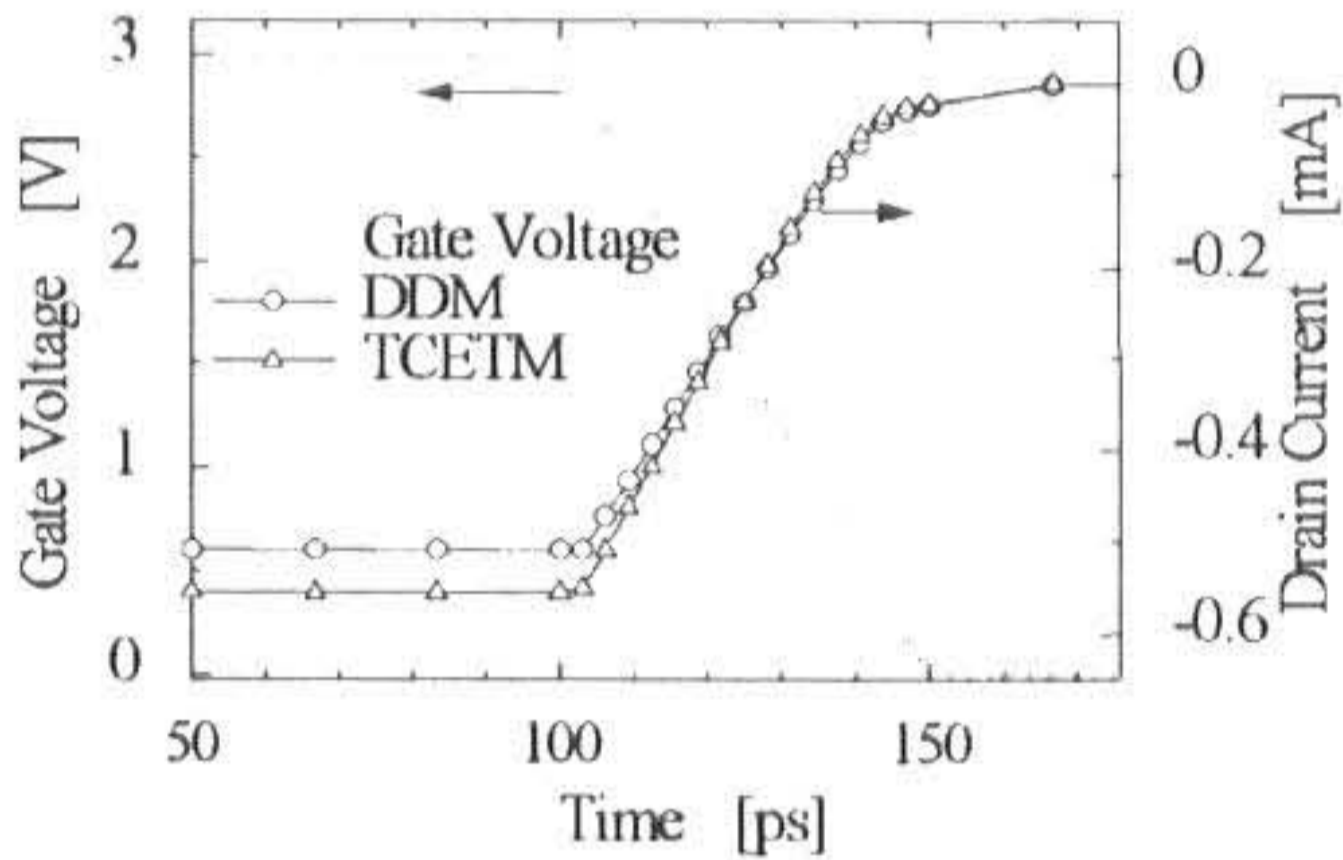


Fig. 8 Characteristics of Drain Current

그리고 Fig. 9에는 상이한 두 종류의 시간에 따른 게이트전류의 결과를 나타내었다. 여기서의 전류는 게이트 산화막의 장벽을 넘는 캐리어에 의한 전류가 아니라 전계의 시간적인 변화에 따라 생성되는 변위 전류임을 주의 하여야한다. 이 결과는 시간이 짧을수록 그리고 종래의 모델(DDM)이 더 높은 전류치를 나타내고 있다.

이 결과는 전술한 소스와 드레인 전류의 결과와는 정반대의 현상을 나타내고있다. 그 이유를 명백하게 하기 위하여 정상상태와 과도상태의 디바이스의 중앙을 세로방향으로 절단하였을 때의 디바이스 내부의 전자농도의 분포를

Fig. 10과 Fig. 11에 나타내었다. 정상상태의 DDM의 경우 대다수의 캐리어가 반도체의 계면에 집중되어 있으나 TCETM의 경우에는 캐리어가 소유한 에너지의 차로 인하여 계면에서 기판쪽으로 확산되고 있다. 과도상태인 경우도 마찬가지로 각시간에 있어서의 전자농도 분포가 TCETM이 낮은 결과를 보여주고 있다. 그결과 Fig. 12에 나타낸 것과 같이 전계의 기울기 즉, 게이트전류가 TCETM이 낮은 결과를 보이고 있다.

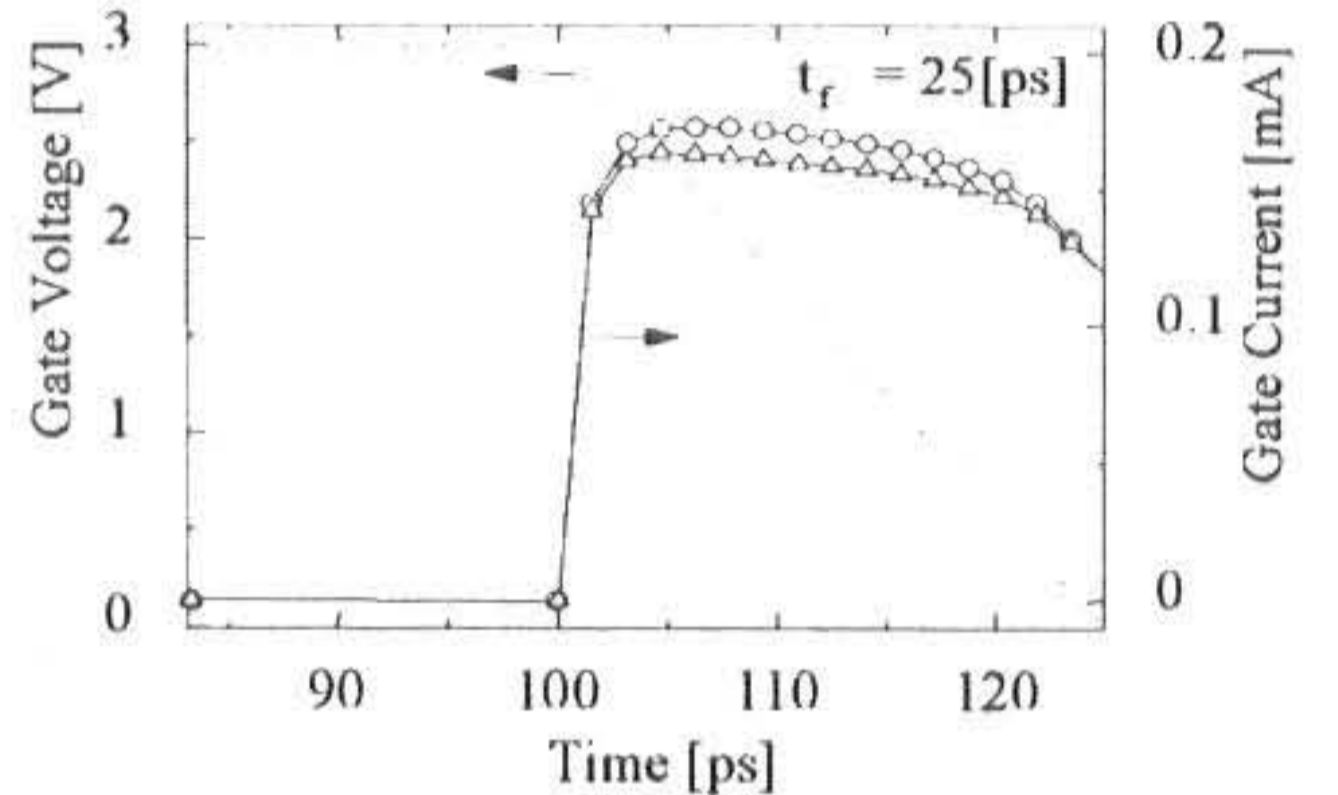
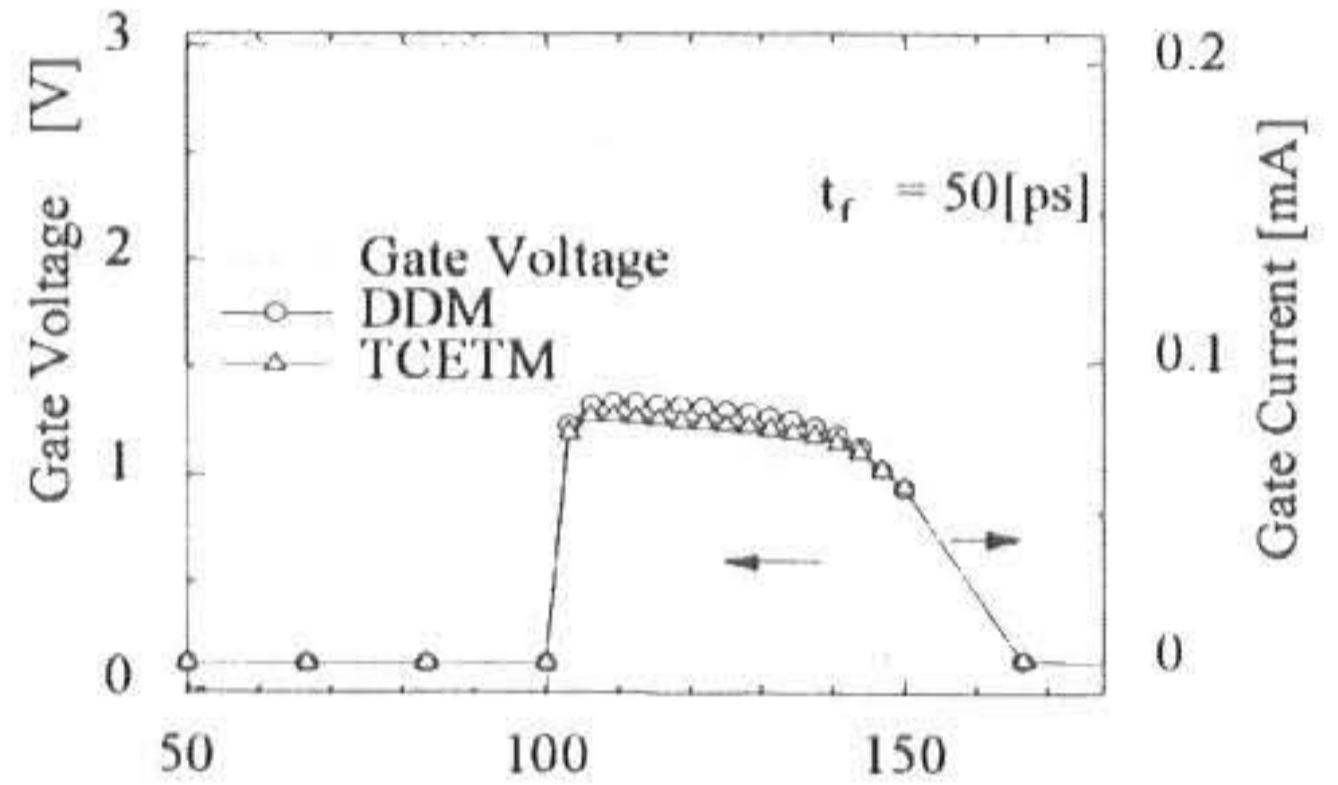


Fig. 9 Characteristics of gate Current

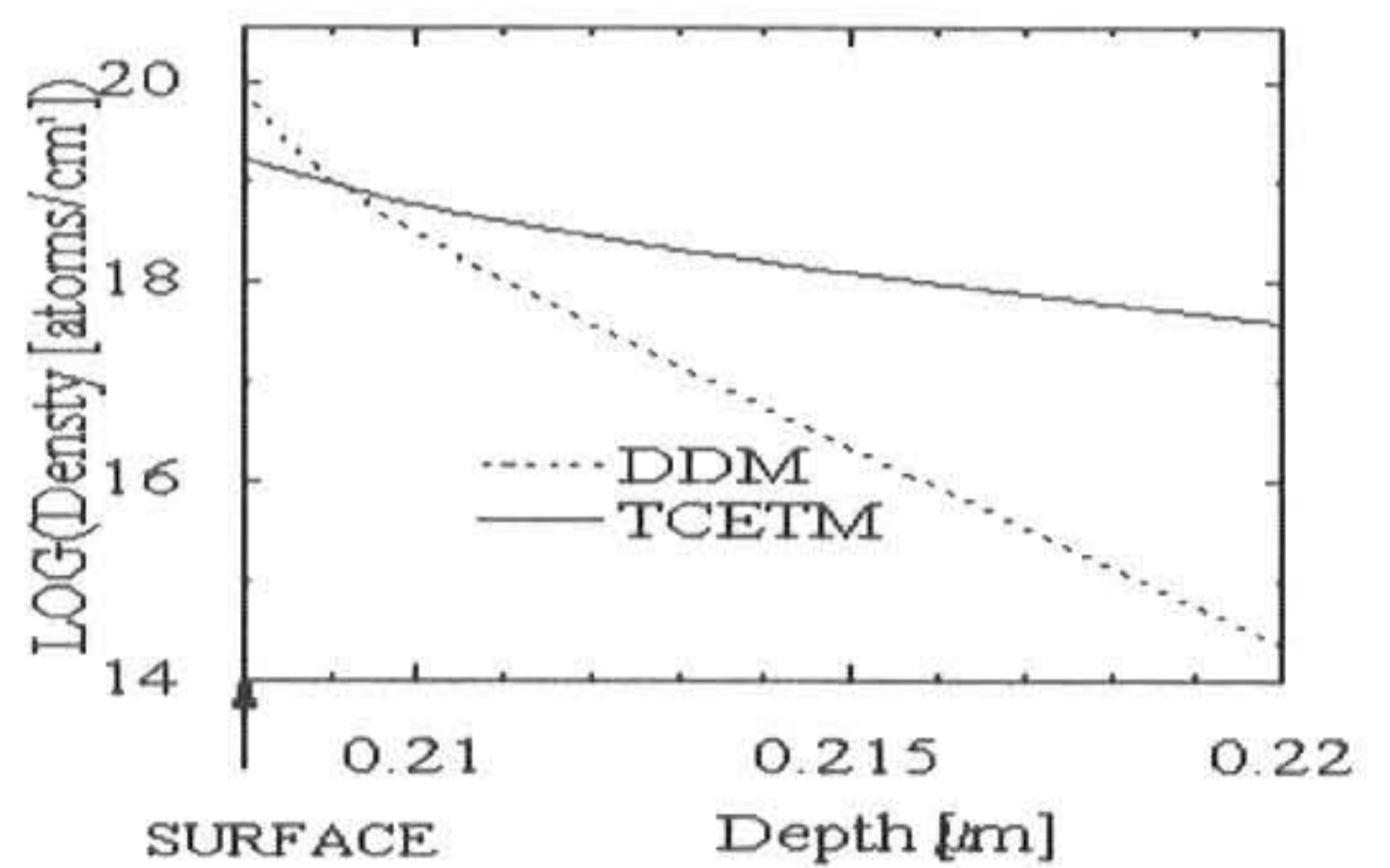


Fig. 10 Distribution of Electron Density on Steady-state

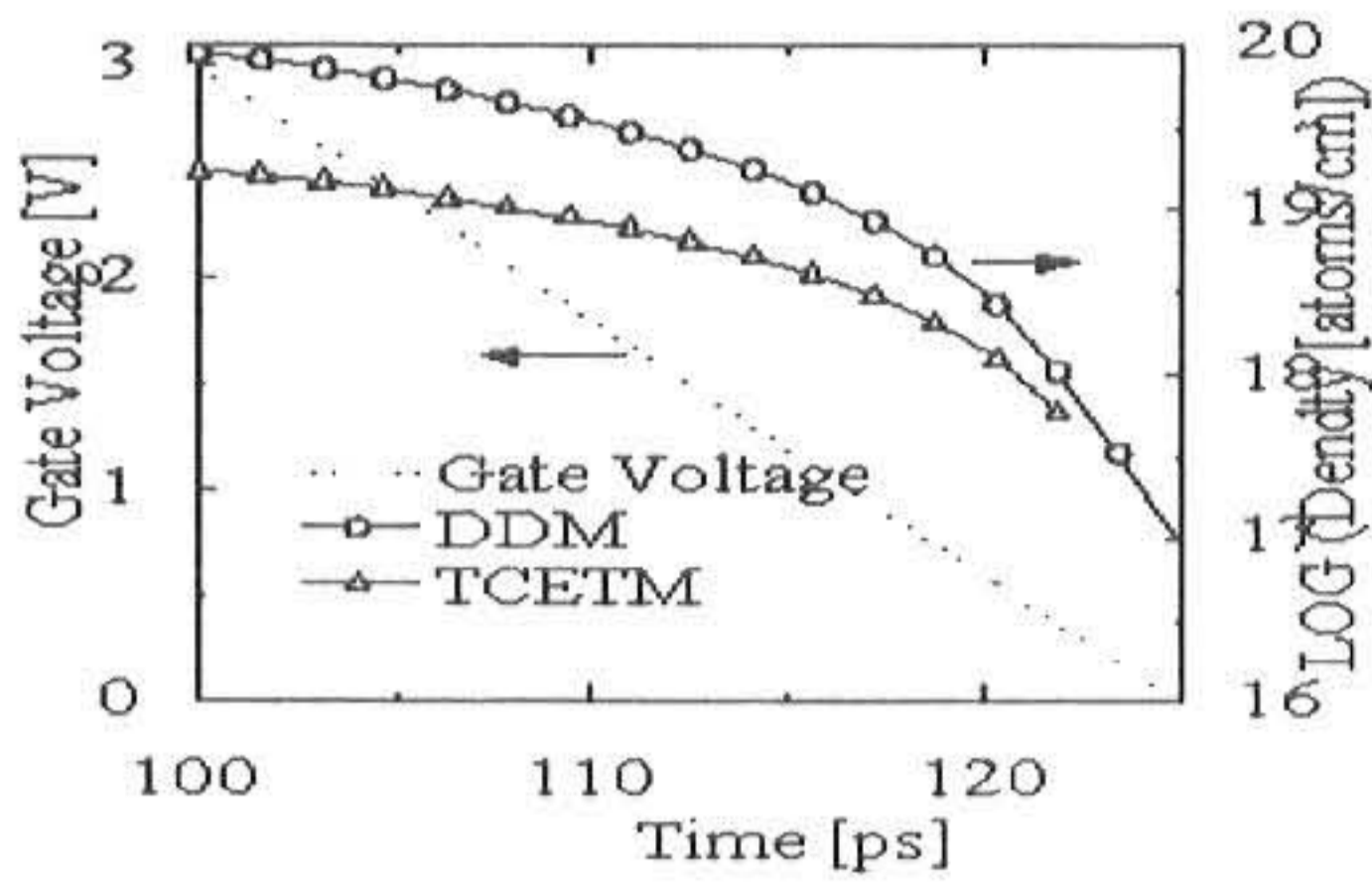


Fig. 11 Distribution of Electron Density on Transient conditions.

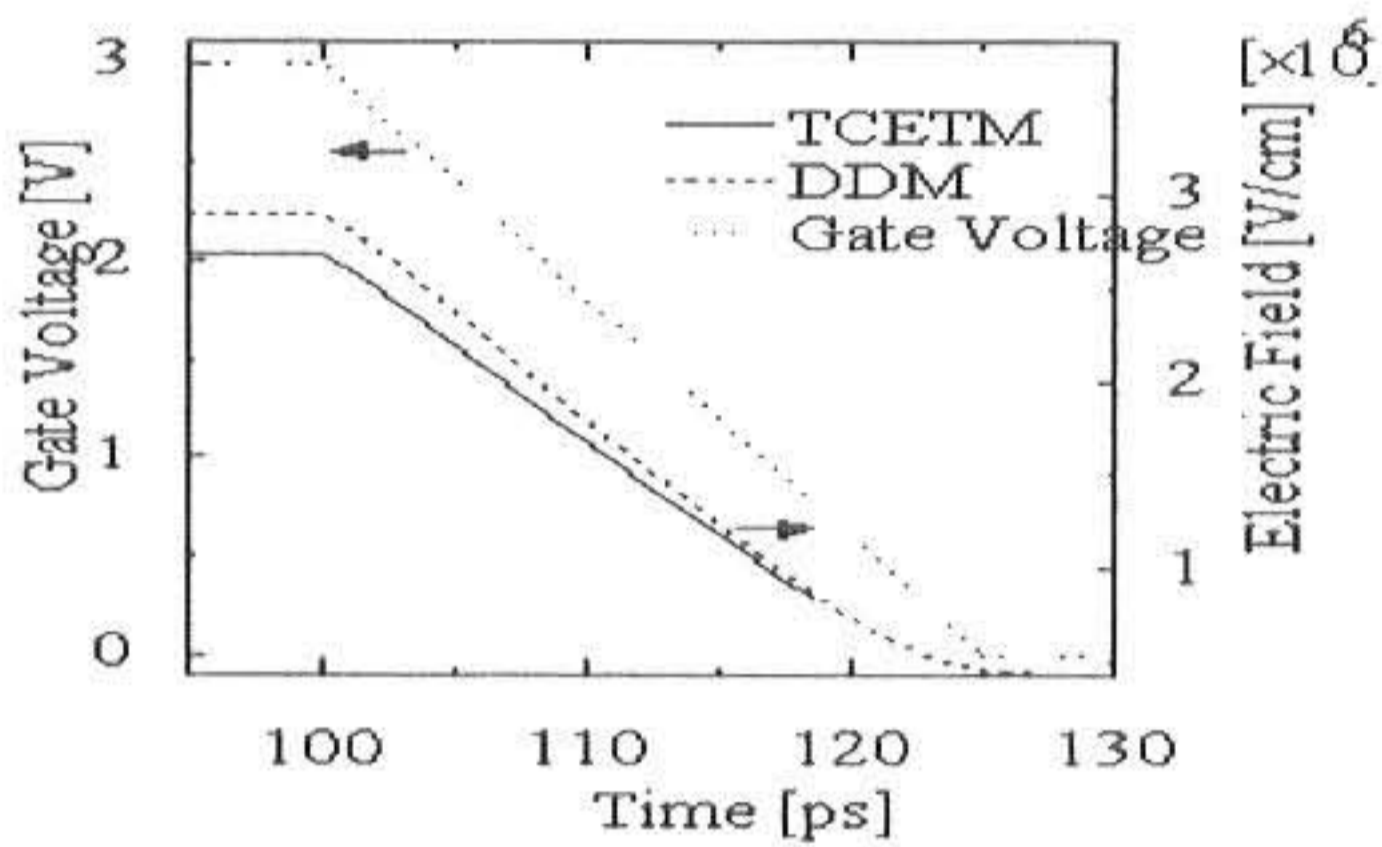


Fig. 12 Distribution of Electric field on Transient conditions

4.3 파괴 (Breakdown)해석 결과

이번에는 드레인 단자에 상이한 세 종류의 온 펄스를 입력했을 경우의 DDM과 TCETM의 드레인 전류특성을 Fig. 13에 나타내었다.

먼저, 항복전압은 TCETM이 DDM 보다 높다는 것을 확인 할 수 있다. 이 이유는 전술한 게이트 전류와 같이 TCETM의 전계는 캐리어 에너지에 의존하므로 DDM 보다 낮은 값을 가지기 때문이다. 한편 드레인의 전압변화에 대비한 캐리어의 수송이 지연되는 관계로 시간이 짧을 수록 항복전압이 낮아지는 것도 관측되었다.

5. 결론

비등온 비평형 수송장(非等溫 非平衡 輸送場)에 있어서 미세 n-MOSFET의 과도해석을 실행하였다. 그 결과 DDM의 결과는 TCETM의 결과보다 소스 및 드레인 전류는 높게, 게이트

전류는 낮게, 게이트 전류는 높은 해석결과를 얻었다. 또한, 브레이크다운(Breakdown) 전압은 DDM이 낮은 결과를 나타내었다. 미세 MOSFET의 과도해석에는 TCETM이 미세화에 따른 비형수송효과, 전류의 오버슈트 현상등을 고려함으로 종래의 DDM과 다른 결과를 가져왔다.

따라서 미세소자의 시뮬레이션은 반드시 미세화에 따른 소자내부에서의 현상을 고려한 TCETM을 사용하여야 한다. 이 모델은 과도해석에서도 유용한 결과를 나타내고 있으며 드레인에 가해지는 전류의 스위프(Sweep) 시간에 따라 항복전압이 변화됨 즉, 정상해석에서의 항복전압이 제일 낮은 값을 나타내며 시간이 짧아질수록 그 값이 증가하는 점을 고려하여 소자설계를 행하여야 한다.

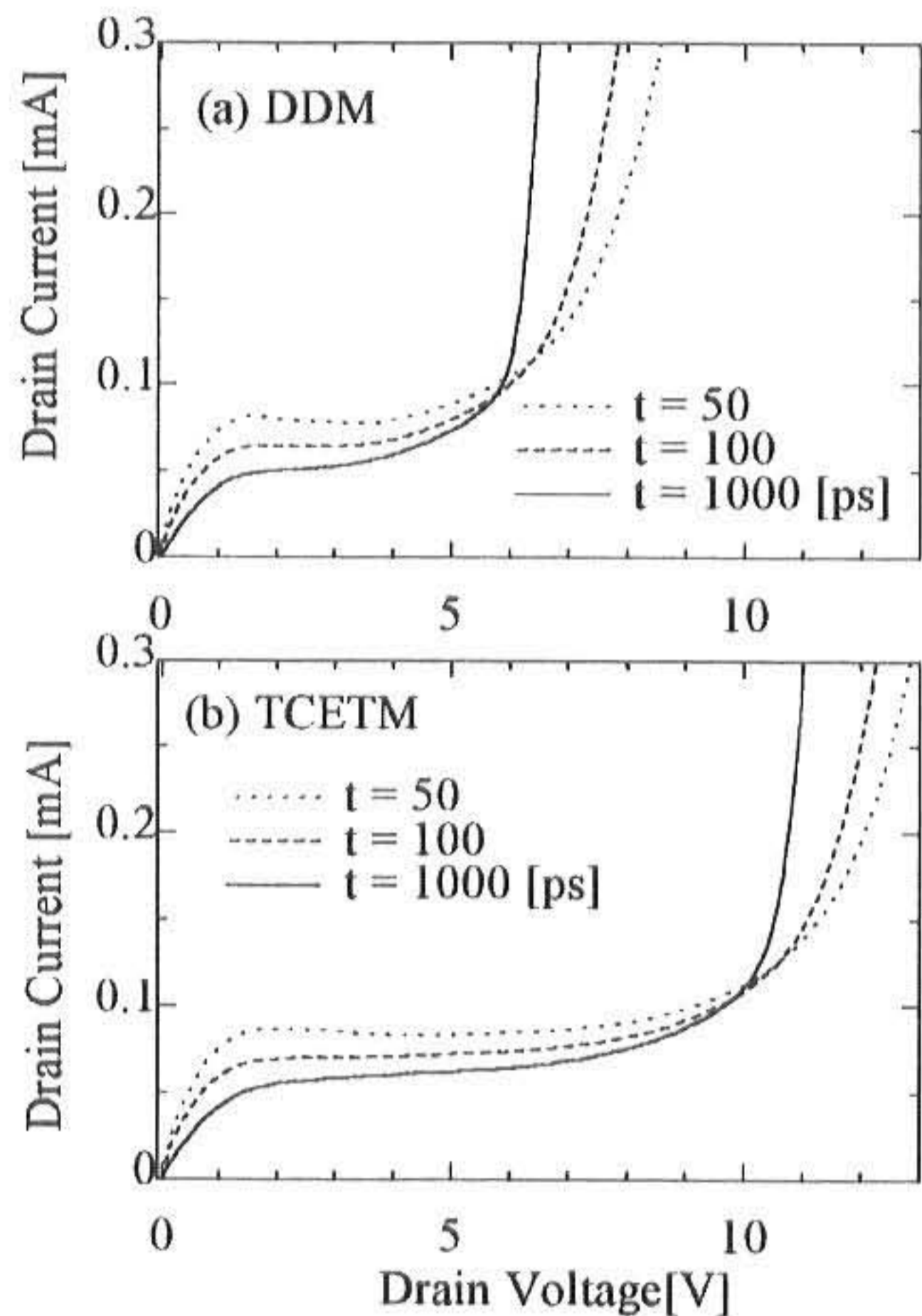


Fig. 13 Characteristics of Drain Breakdown

참고문헌

- 1) 檀良編著: 프로세스 디바이스 시뮬레이션 기술. 産業圖書, 1988.
- 2) H. K. Gummel: A Self-Consistent Iterative

- Scheme for One-Dimensional Steady State Transistor Calculations. *IEEE Trans. Electron Devices*, Vol. ED-11, pp. 455-465, (1964)
- 3) A. De Mari: An Accurate Numerical Steady-State One-Dimensional Solution of the P-N Junction. *Solid-State Electronics*, Vol.11, pp.38-58, (1981)
- 4) A. De Mari : An Accurate Numerical Steady-State One-Dimensional Solution of the P-N Junction Under Arbitrary Transient Conditions. *Solid-State Electronics*, Vol.11, pp.1021-1053, (1968)
- 5) D. L. Scharfetter and H. K. Gummel : Large-Signal Analysis of a Silicon Read Diode Oscillator. *IEEE Trans. Electron Devices*, Vol. ED-16, No.1, pp.64-77, (1969)
- 6) M. Kurata : One-Dimensional Calculation of Thyristor Forward Voltages and Holding Currents. *Solid-State Electronics*, Vol.19, pp.527-535, (1979)
- 7) D. Chen, Z. Yu, K.-C. Wu, R. Goossens and R. W. Dutton : Dual Energy Transport Model with Couple Lattice and Carrier Temperatures. *SIMULATION OF SEMICONDUCTOR DEVICE AND PROCESSES*, Vol.5, pp.157-160, (1992)
- 8) H. Hayashi, H. Kawashima and R. Dang : Non-Isothermal Device Simulation Taking Account of Both Carrier and Lattice Heating. *ICVC '93*, pp.147-150, (1993)
- 9) K. Yamaguchi : A mobility Model for Carriers in the MOS Inversion Layer. *IEEE Trans. Electron Devices*, Vol. ED-30, No.6, pp.658-663, (1983)
- 10) R. K. Cook : Numerical Simulation of Hot-Carrier Transport in Silicon Bipolar Transistors. *IEEE Trans. Electron Devices*, Vol. D-31, No.12, pp.1912-1914, (1984)
- 11) C. Jacoboni, C. Canali, G. Attaviani and A. A. Quaranta : A Review of some Charge Transport Properties of Silicon. *Solid-State Electronics*, Vol. 20, No. 7, pp.77-89, (1977)
- 12) 倉田 偉: 바이ポーラトランジスタの動作理論. 近代科學, (1980)
- 13) 예를 들면, S. E. Laux and B. M. Grossman : A General Control-Volume Formulation for Modeling Impact Ionization in Semiconductor Transport. *IEEE Transactions on Computer-aided Design*, Vol. CAD-4, No.4, pp.520-526, (1985)
- 14) 예를 들면, K. Blotekjaer : Transport Equations for Electrons in Two-Valley Semiconductors. *IEEE Trans. Electron Devices*, Vol. ED-17, No.1, pp.38-47, (1970)
- 15) T. W. Tang : Extension of the Scharfetter Gummel Algorithm to the Energy Balance Equation. *IEEE Trans. Electron Devices*, Vol. ED-31, No. 12, pp.1912-1914, (1984)
- 16) M. S. Mock : A Time-dependent Numerical Model of the Insulated-Gate Field-Effect Transistor. *Solid-State Electronics*, Vol.24, No.10, pp.959-966, (1981)
- 17) S. P. Gaur and D. H. Navon : Two-Dimensional Carrier Flow in a Transistor Structure Under Non-isothermal Conditions. *IEEE Trans. Electron Devices*, Vol. ED-23, No. 1, pp.50-57, (1976)

(2001년 4월20일 접수, 2001년 8월 16일 채택)