

테스트가 용이한 고속 풀 스윙 BiCMOS회로의 설계방식과 테스트 용이도 분석

Design Technique and Testability Analysis of High Speed Full-Swing BiCMOS Circuits

이재민*, 정광선**
Jae Min Lee*, Kwang Sun Jung**

<Abstract>

With the growth of BiCMOS technology in ASIC design, the issue of analyzing fault characteristics and testing techniques for BiCMOS circuits become more important. In this paper, we analyze the fault models and characteristics of high speed full-swing BiCMOS circuits and the DFT technique to enhance the testability of full-swing high speed BiCMOS circuits is discussed. The SPICE simulation is used to analyze faults characteristics and to confirm the validity of DFT technique.

Key word : BiCMOS Circuit

1. 서 론

BiCMOS기술은 고속 스위칭 동작, 저 전력 소비, 다양한 외부 인터페이스가 가능하고 메모리, 마이크로 프로세서, 게이트 어레이 등 다양한 분야에서 사용할 수 있어 반도체 기술로서 널리 활용되고 있다^{1,2)}. 그러나 일반적으로 BiCMOS회로는 출력단의 바이폴라 소자의 특성으로 인하여 풀 스윙(full-swing)동작을 하지 못하기 때문에 잡음여유(noise margin)가 작고 다음 단 게이트에서 누설전류와 전력

소비가 증가하고 회로동작이 불안정해질 수 있다. 이러한 문제를 해결하기 위한 몇 가지 개선된 풀 스윙 BiCMOS회로가 제시된 바 있다^{3,4)}.

그런데 이들 회로 대부분은 부하 구동능력이 떨어지고 풀 스윙 동작이 느리게 이루어지는 등 여러 가지 문제점을 가지고 있는데 반하여 고속 풀 스윙 BiCMOS (High Speed Full-Swing BiCMOS : HF-BiCMOS)회로는 고속으로 풀 스윙이 가능한 새로운 BiCMOS회로이다[5]. 이 회로는 출력이 거의 완전한 V_{DD} 와 V_{SS} 를 유지하기 때문에 잡음여유가 크고

* 정회원, 관동대학교 전자정보전공 교수/工博
215-800, 강원도 양양군·읍 임천리 산 7번지
(033) 670-3392 / Fax: (033) 670-3409
E-mail: leejm@mail.kwandong.ac.kr

** 학생회원, 관동대학교 대학원 박사과정
215-800 / 강원도 양양군·읍 임천리 산 7번지
(033) 670-3392

다음 단의 누설전류를 방지하고 소비전력이 감소되어 회로 동작이 안정된다. 또한 입력게이트 수가 증가해도 출력단의 트랜지스터의 수가 항상 일정하다.

CMOS기술과 바이폴라 기술이 결합되는 BiCMOS회로는 복잡한 제조공정으로 인하여 수율이 떨어지기 때문에 BiCMOS회로에 대한 테스트가 더욱 중요한 문제로 대두되어 왔다 [6,7,8]. BiCMOS회로에서 고려해야할 고장모델로는 stuck-at 고장, 트랜지스터 각 노드의 단락(short)고장과 개방(open)고장, 내부 연결사이의 단락고장과 개방고장이 있다.

그러나 stuck-at고장 모델로는 BiCMOS 회로의 생산과정에서 발생하는 많은 stuck-open 고장과 트랜지스터 각 노드의 단락 및 개방에 의해 발생하는 파라메트릭(parametric)고장등을 검출하기 어렵고 함수부분을 구성하는 CMOS와 부하구동부분을 구성하는 바이폴라의 결합으로 이루어져 있기 때문에 그 테스트 방법도 복잡해진다.

BiCMOS의 고장들은 구성 트랜지스터의 각 노드간의 단락(short)고장과 개방(open)고장으로 모델링될 수 있는데 대다수의 검출이 어려운 고장들은 논리적으로 애매한 출력값을 보이거나 천이과정중에 지연고장 (slow to flow/slow to rise)을 일으키고 논리적으로 정상처럼 관측되나 전력소모만 증가시키는 등의 동작 특성을 나타낸다[9].

HF- BiCMOS는 풀 스윙 동작을 위해 부가된 MOS트랜지스터에 의하여 기본 BiCMOS 회로와 다른 고장특성을 나타낼 수 있으므로 이에 대한 분석과 이를 검출하기 위한 테스트 기법의 연구가 반드시 필요하다.

본 논문에서는 HF-BiCMOS회로의 고장모델들을 서로 비교 분석하여 테스트의 효과를 향상하고 고장 검출률을 향상하기 위한 HF-BiCMOS회로의 테스트 방식에 대해 고찰한다. HF-BiCMOS 회로에서 발생가능한 회로내의 트랜지스터들의 단락과 개방고장을 가정하여 동작을 시뮬레이션하므로써 나타나는 고장들을 분석하여 이 가운데 파라메트릭 고장이나 지연고장으로 나타나는 단락 및 개방고장을 논리모니터링 방식으로 검출할 수 있다

특 부가회로를 사용한 DFT설계방식과 테스트 동작에 대하여 검토한다.

고장특성 분석을 위하여 HF-BiCMOS회로에 발생가능한 고장에 대해 SPICE를 사용하여 시뮬레이션 한다.

2. HF-BiCMOS회로의 고장 특성

HF-BiCMOS의 고장모델로서 다음과 같은 것들을 고려한다.

- 1) 단락 고장(short faults) : 각 디바이스 단자간의 단락고장을 가르킨다. 단락된 고장의 시뮬레이션에서는 이를 저항성 접촉으로 취급하고 그 저항 성분 값은 결합의 정도에 의존하지만 여기서는 수 옴(ohm)미만의 강한 고장으로 제한한다.
- 2) 개방 고장(open faults) : 각 디바이스 단자가 개방된 고장을 가르키고 시뮬레이션을 위한 모델로는 단자와 디바이스 사이에 수십메가 옴이상의 저항을 삽입한다.

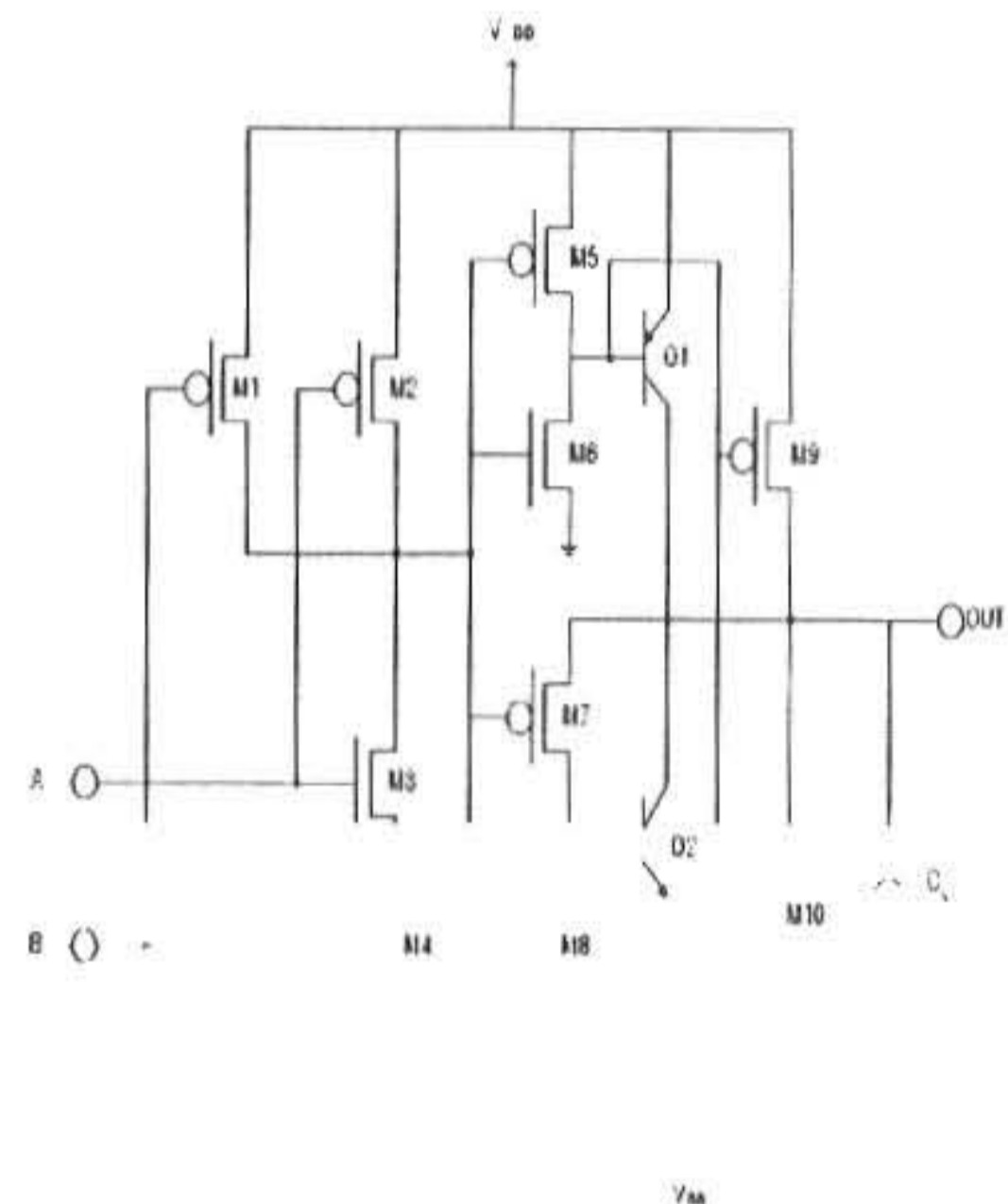


Fig. 1 HF-BiCMOS Circuit

시뮬레이션에 사용된 회로는 Fig. 1의 HF-BiCMOS NAND회로이다. 회로에서 발생 가능한 모든 고장에 대한 특성을 SPICE로 시뮬레이션한 후 이를 분류하여 Table 1에 나타내었다.

M4sDS 고장은 입력 (A,B)=(1,0)를 인가할 때 회로가 정상이라면 CMOS영역의 M4 트랜

지스터가 off되어야 하나 단락고장으로 인하여 V_{SS} 에서 M3, M5 트랜지스터로 이어지는 경로를 형성하여 M10트랜지스터가 On 되므로 출력은 논리 0으로 된다. Fig. 2는 Fig. 1의 회로에 입력 (A,B)=(1,0)를 인가 했을 때 고장 출력과 정상출력을 비교한 것이다.

Table1. Fault Characteristics of HF-BiCMOS Circuit

고장특성	테스트 대상 고장
stuck-at	s-a-1 : M1sDS, M1sGD, M2sDS M2sGD, M3sGD, M3sGS, M4sGD M5sGD, M5sGS, M6sGD, M6sDS M7sGS, M8sDS, M9sGD, M9sDS M10sGD, M10sGS, Q1sBC, Q1sCE M5opD
	s-a-0 : M3sDS, M4sDS, M5sDS M6sGS, M7sGD, M7sDS, M8sGD M8sGS, M9sGS, M10sDS, Q1sBE Q2sBC, Q2sCE, M1opD, M1opG M1opS, M4opG, M6opD, M6opS Q1opC, Q1opE
stuck-open	Q2sBE, M2opD, M2opG, M2opS M3opG, M3opD, M3opS, M4opD M4opS, M6opG, M7opD, M7opG M7opS, Q2opB, Q2opC, Q2opE
parametric	M1sGS, M2sGS, M4sGS, M5opG M5opS, M8opD, M8opG, M9opD M9opG, M9opS, M10opD, M10opG M10opS
delay	STR : M8opS, Q1opB

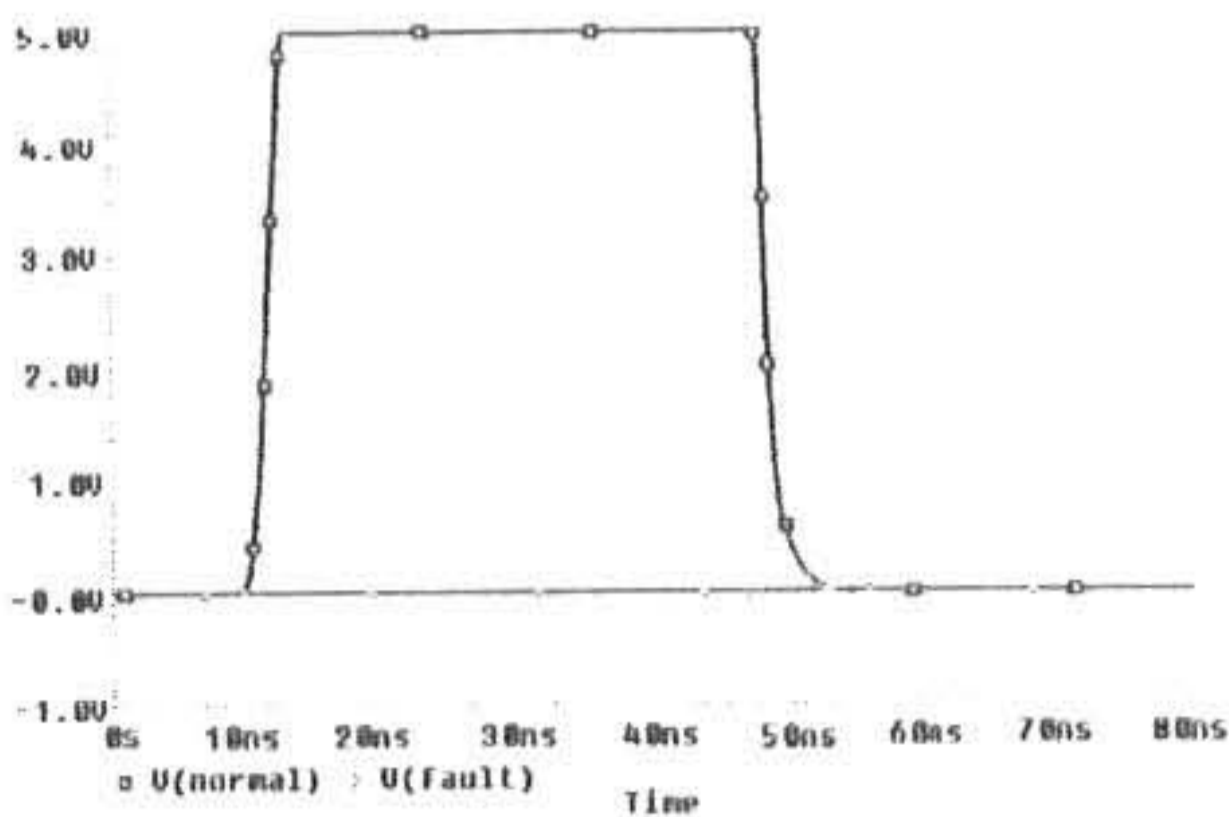


Fig. 2. Simulation Result of Fault M4sDS

그 밖의 개방과 단락고장들도 Table1에서 나타낸 것 같은 고장 특성을 보인다.

이 고장들을 테스트하기 위하여 기존의 연구에서는 stuck-at 고장 테스트, stuck-open 고장 테스트, 파라메트릭 고장을 위한 전류 모니터링 테스트 그리고 천이 지연고장을 위

한 지연테스트등 다양한 테스트기법을 사용해야만 하였으며^{10,11)} 이로 인하여 테스트 절차가 복잡해지고 논리 모니터링보다 테스트 응답평가가 어려운 전류모니터링과 지연테스트를 해야하기 때문에 테스트의 복잡도와 함께 테스트 비용이 증가한다.

III장에서는 이러한 문제점을 해결하기 위하여 논리 검출이 어려운 파라메트릭고장을 논리모니터링 방식으로 검출할 수 방법과 고장 검출률을 향상하기 위한 방법에 대해 비교 분석한다¹²⁾.

3. HF-BiCMOS회로의 테스트 방식

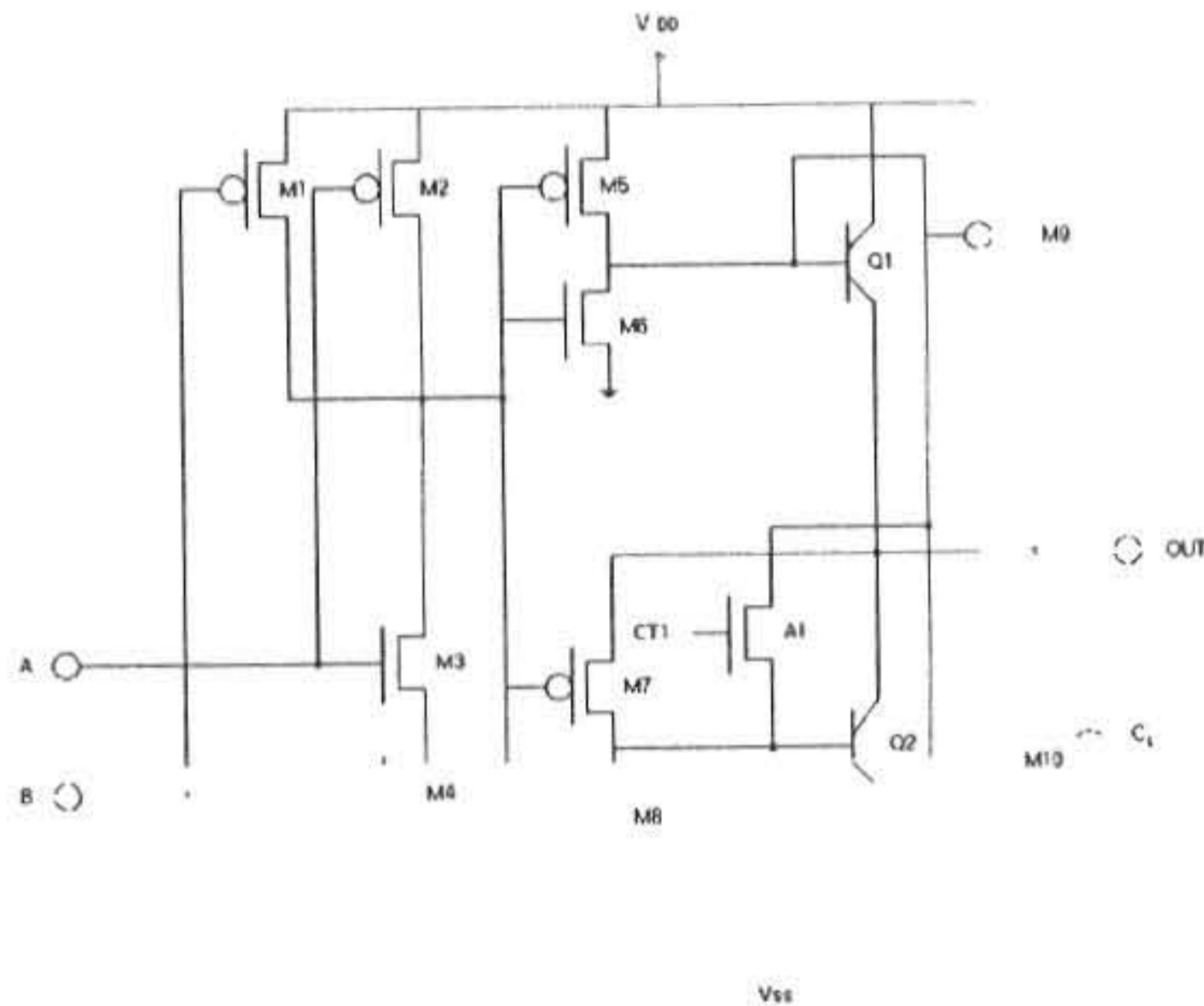
HF-BiCMOS회로에서 발생 가능한 고장들은 stuck-at 고장, stuck-open고장, 파라메트릭고장, 지연고장으로 나타나는데 이들 중 stuck-at고장, stuck-open고장은 논리모니터링 방식으로 검출 가능하지만 파라메트릭고장, 지연고장들은 논리모니터링 방식으로 검출할 수 없으므로 전류모니터링 및 지연테스트 기법등을 사용해야 하며 이에 따라 테스트 장치의 구현 및 테스트 과정이 복잡해지고 테스트 비용이 증가한다. 이를 해결할 수 있는 방법으로 HF-BiCMOS회로를 테스터블 설계하여 파라메트릭 고장 및 지연고장을 논리모니터링으로 고장을 검출할 수 있는 테스터블 설계방식을 고려할 수 있다.

그림 3은 HF-BiCMOS회로를 테스트가 용이하도록 설계한 것이다. Fig. 3(a)는 1개의 부가트랜지스터 사용하였고, Fig. 3 (b)는 2개의 부가트랜지스터 사용한 회로이다. (a),(b)에서 A1, A2는 CMOS함수부분에 삽입되어 테스트 동작시 풀업 경로와 풀다운 경로를 각각 차단하는 기능을 갖는다. 부가 트랜지스터의 개수는 회로의 크기와 구조에 상관없이 일정하며 테스트를 위해 부가되는 제어 입력의 개수도 Fig. 3에서 보듯이 (a)는 CT1하나만 사용하였고 (b)는 CT1, CT2 2개로 항상 일정하게 사용하였다.

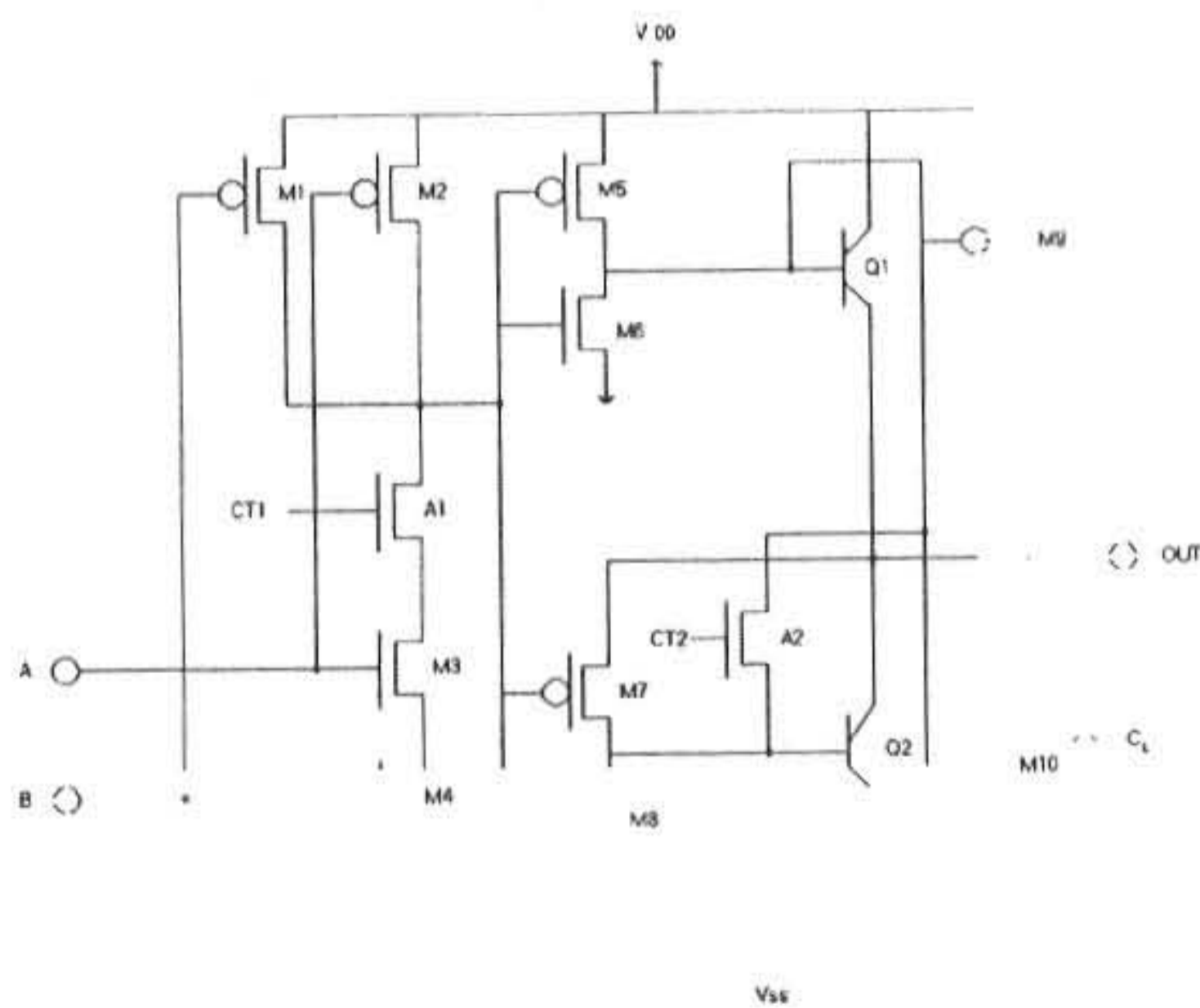
CMOS의 함수부분 트랜지스터의 개방고장은 출력에 논리적으로 애매한 중간값을 나타낸다. 그러나 Fig. 3(a),(b)에 부가된 트랜지스

터 A1, A2에 의해 V_{DD} 와 V_{SS} 로부터 출력으로 이어지는 경로를 차단하여 테스트 동작시 논리검출이 가능하게 된다. 테스트블 설계한 HF-BiCMOS회로에서 발생가능한 고장들의 특성을 Table 2에 나타내었다.

고장에 대한 시뮬레이션 결과로부터 HF-BiCMOS을 테스트블 설계했을 경우 기본 HF-BiCMOS회로에 차이가 없는 것을 알 수 있다.



(a)



(b)

Fig. 3. Testable HF-BiCMOS Circuit

부가회로가 정상동작에 미치는 영향을 알아보기 위하여 기본 HF-BiCMOS와 테스트블 HF-BiCMOS회로를 시뮬레이션하여 Fig. 4에

나타내었다. 그림에서 알 수 있듯이 HF-BiCMOS회로에 거의 영향을 주지 않는다.

Table 2에 나타난 테스트블 설계한 HF-BiCMOS 회로의 고장 특성에서 알 수 있듯이 하나의 부가 트랜지스터를 사용한 것과 2개의 부가트랜지스터를 사용한 회로의 고장 특성의

Table 2. Fault Characteristics of Testable HF-BiCMOS Circuit

고장특성	테스트 대상 고장
stuck-at	s-a-1 : M1sDS, M1sGD, M2sDS, M2sGD, M3sGD, M3sGS, M4sGD, M5sGD, M5sGS, M6sGD, M6sDS, M7sGS, M9sGD, M9sDS, M10sGD, M10sGS, Q1sBC, Q1sCE, A1sGD
	s-a-0 : M3sDS, M4sDS, M5sDS, M6sGS, M7sGD, M7sDS, M8sGD, M8sGS, M9sGS, M10sDS, Q1sBE, Q2sBC, Q2sCE, M1opD, M1opG, M1opS, M4opG, M6opD, M6opS, Q1opC, Q1opE, A1sDS
stuck-open	Q2sBE, M8sDS, M2opD, M2opG, M2opS, M3opG, M3opD, M3opS, M4opD, M4opS, M6opG, M7opD, M7opG, M7opS, Q2opB, Q2opC, Q2opE, A1sGS
parametric	M1sGS, M2sGS, M4sGS, M5opD, M5opG, M5opS, M8opD, M8opG, M8opS, M9opD, M9opG, M9opS, M10opD, M10opG, M10opS, A1opG, A1opD, A1opS
delay	STR : Q1opB

(a)

고장특성	테스트 대상 고장
stuck-at	s-a-1 : M1sDS, M1sGD, M2sDS, M2sGD, M3sGD, M3sGS, M4sGD, M5sGD, M5sGS, M6sGD, M6sDS, M7sGS, M9sGD, M9sDS, M10sGD, M10sGS, Q1sBC, Q1sCE, A1sGD, A1sGS, A2sGD
	s-a-0 : M3sDS, M4sDS, M5sDS, M6sGS, M7sGD, M7sDS, M8sGD, M8sGS, M9sGS, M10sDS, Q1sBE, Q2sBC, Q2sCE, M1opD, M1opG, M1opS, M6opD, M6opS, Q1opC, Q1opE, A2sDS
stuck-open	Q2sBE, M8sDS, M2opD, M2opG, M3opG, M3opD, M3opS, M4opD, M4opS, M6opG, M7opD, M7opG, M7opS, Q2opB, Q2opC, Q2opE, A2sGS, A1opD, A1opS
parametric	M1sGS, M2sGS, M4sGS, M5opD, M5opG, M5opS, M8opD, M8opG, M8opS, M9opD, M9opG, M9opS, M10opD, M10opG, M10opS, A1opG, A2opD, A2opS, A2opG, A1sDS
delay	STR : M4opG, Q1opB

(b)

차이가 거의 없다. 다만 회로에 부가된 트랜지스터의 회로특성 때문에 각각의 부가된 트랜지스터에서 고장특성의 차이가 있다.

그러나 파라메트릭고장과 delay 고장에서의 논리모니터링으로 검출가능한 방법으로는 SPICE 시뮬레이션 결과 하나의 부가트랜지스터를 사용한 것보다 두 개의 부가트랜지스터를 사용한 것에서 더 많은 검출가능하다.

두 개의 부가 트랜지스터를 사용한 것에서는 부가트랜지스터에 나타난 파라메트릭 고장을 stuck-at 고장으로 나타냈다. 그리고 delay 고장들은 모두 stuck-at 고장으로 검출가능 했다.

그러나 하나의 부가트랜지스터를 사용한 것에서는 고장 검출이 힘들다. 그리고 하나의 부가트랜지스터에 파라메트릭 고장들을 논리 모니터링으로 검출 가능한 것들은 두 개의 부가트랜지스터를 사용한 회로에서 모두 검출 가능하다. 그러므로 Fig. 3(b)를 예를 들어보면 테스트 동작에 사용되는 부가 제어입력 CT1, CT2는 정상동작시 CT1=1, CT2=0로 한다. 테스트 모드에서 검출할 고장에 따라 00, 01, 11,등을 인가한다.

Fig. 3(b)에서 A1sDS 고장을 고려하자. Fig. 5(a)는 테스트블 HF-BiCMOS 회로에 대해서 입력에(A,B) = (1,1)을 인가했을 때 고장 회로와 정상회로의 시뮬레이션 결과를 비교한 것이다.

회로 시뮬레이션 결과로부터 정상회로의 출력은 논리 1값을 갖게 되나 고장회로의 출력은 불완전한 논리값을 갖게 되어 논리 모니터링 방식으로는 검출이 어려움을 알 수 있다.

그러나 제안한 테스트가 용이한 HF- BiCMOS 회로에 테스트 패턴 {T1(A,B,CT1, CT2)} = ((1,1,1,1))를 인가하면 고장을 검출할 수 있다.

회로에서 테스트 패턴 T1을 인가하면 CT1=0, CT2=1이므로 부가트랜지스터 A1는 Off되고 A2는 On된다. 그리고 입력(A,B)가 (1,1)이므로 M3, M4가 On되고 A1이 Off되어야 하나 단락으로 인하여 V_{SS}가 M5가 On되어 M10이 On 되므로 V_{SS}에서 출력까지 경로가 형성되어 출력은 논리 0값을 갖는다.

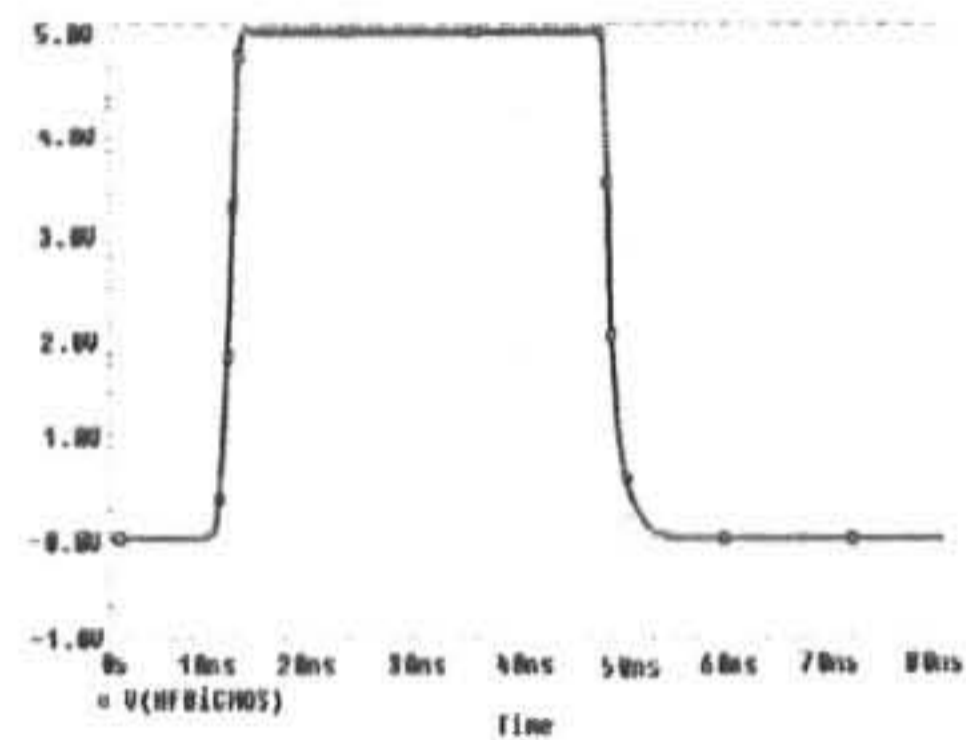
따라서 정상일 때 1을 갖고 테스트 패턴 T1에 의하여 고장일 때 0을 가지므로 고장

이 검출된다.

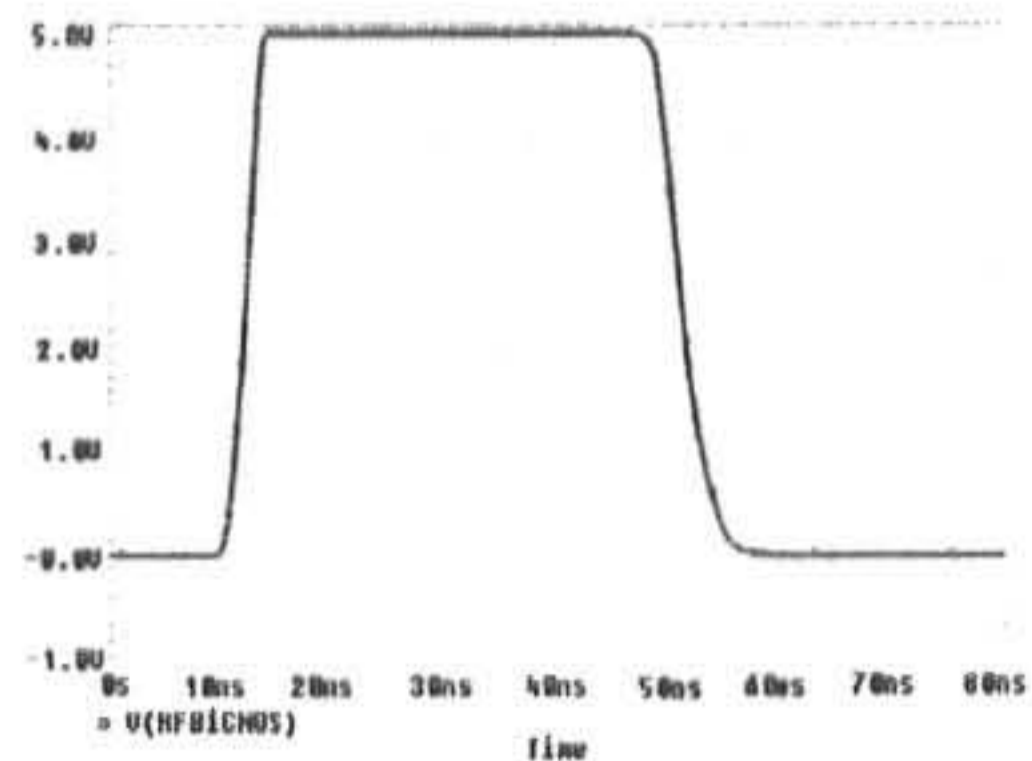
Fig. 5 (b)는 고장회로와 정상회로의 시뮬레이션 결과를 비교한 것이다. 제안한 설계방식에 의하여 정상회로와 고장회로의 출력이 보수의 논리값을 나타내므로 논리 모니터링 방식으로 검출 가능하게 된다.

이러한 테스트블 방식으로 대부분의 고장이 검출되나 풀업회로부분의 PMOS의 개방고장인 M5opG등과 같은 일부고장들은 Q1 또는 Q2를 On이나 Off시키지 못해 고장효과를 출력까지 전달할 수 없으므로 검출되지 않는다.

이와같이 일부 검출되지 않는 고장들은 부가회로를 추가로 사용하거나 HF-BiCMOS 회로의 구조를 변경 설계하므로써 검출 가능하게 할 수 있다.

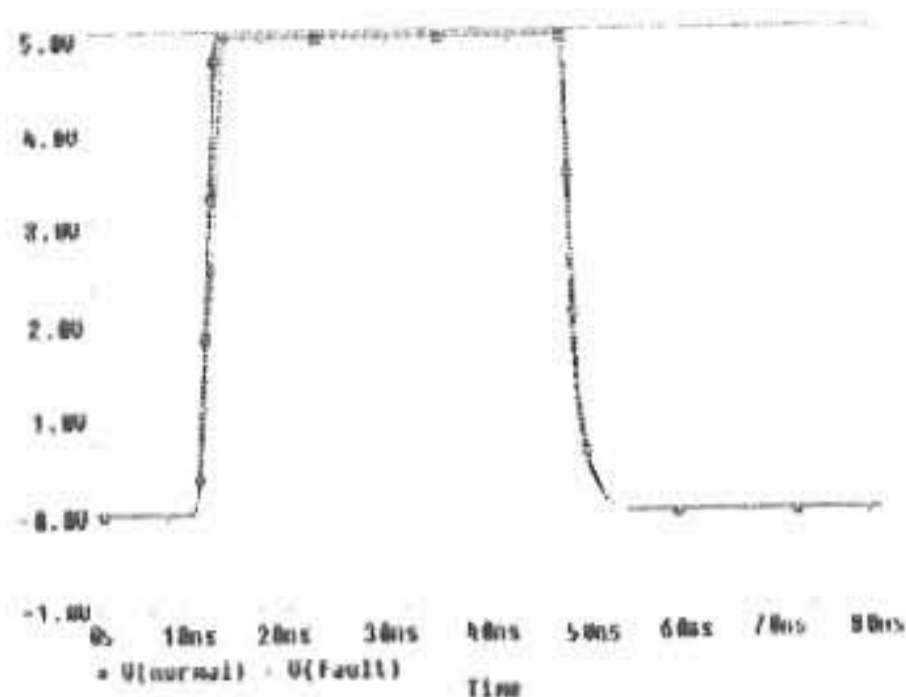


(a) Output Waveform of HF-BiCMOS Circuit

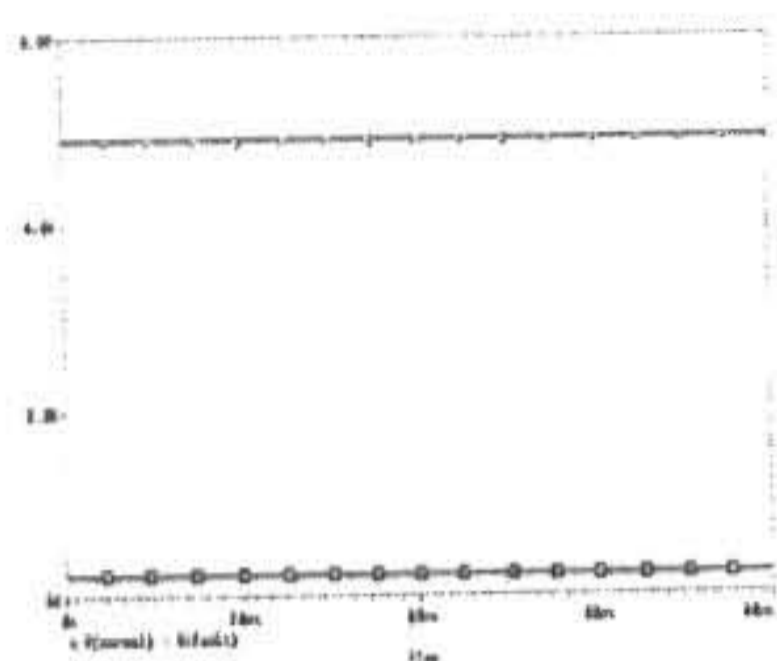


(b) Output Waveform of Testable HF-BiCMOS Circuit

Fig. 4. Output Waveform of HF-BiCMOS and Testable HF-BiCMOS Circuit



(a) Output Waveform of Normal Circuit



(b) Output Waveform of Faulty Circuit

Fig. 5. Simulation Result of Fault A1sDS

4. HF-BiCMOS의 테스트 생성

HF-BiCMOS회로에서 고려할 수 있는 고장들로서는 stuck-at 고장, stuck-open 고장, 파라메트릭 고장, 천이지연고장이 있으며 이러한 고장들을 검출하기 위해서는 stuck-at 고장의 경우 단일 테스트 패턴을 이용한 논리모니터링 방식이 사용된다.

테스트패턴 생성을 위해서는 기존의 테스트 패턴 생성기인 PODEM, FAN등을 이용할 수 있다. stuck-open 고장의 경우 CMOS에서와 마찬가지로 출력단이 고임피던스상태가 되어 순서회로처럼 동작하게 되므로 초기화패턴 및 테스트패턴이 조합된 테스트 시퀀스가 필요하게 되며 이를 이용하여 논리모니터링 방법으로 테스트할 수 있다.

파라메트릭고장의 경우 기존의 설계방식에서는 고장이 발생하면 테스트 패턴을 인가하더라도 출력에서 충분한 논리값을 얻을 수 없으므로 적절한 테스트 패턴과 함께 전류 모니

터링방식이 반드시 필요하게 된다. 이는 기존의 바이폴라나 NMOS소자를 사용하여 설계한 회로의 테스트를 위해 논리 모니터링 방식만을 필요로 하는 것과 비교하면 전류 모니터링을 위한 테스트 장치의 하드웨어 부담이 초래된다.

그러나 제안한 테스트가 용이한 BiCMOS에서는 이러한 파라메트릭 고장이 발생하더라도 적절한 테스트 패턴을 인가함으로써 전류 모니터링방식을 사용하지 않고 논리 모니터링방식으로 검출할 수 있게 된다.

천이지연고장은 대부분 바이폴라단의 개방과 단락고장으로서 천이시간이 증가하게 되고 slow-to-fall과 slow-to-rise의 형태로 나타난다. 이의 테스트는 상태천이의 지연을 관측할 수 있도록 하기 위한 출력 0에서 1 또는 1에서 0으로 천이될 수 있는 초기화패턴과 테스트 패턴으로 구성된 테스트 시퀀스를 이용하여 논리모니터링방식으로 검출할 수 있다.

5. 결 론

본 논문에서는 HF-BiCMOS회로의 고장모델과 테스트 특성을 분석하고 고장 검출향상과 테스트 과정 개선을 위한 HF-BiCMOS회로 설계방식에 대해 고찰하였다.

HF-BiCMOS 기본회로에서 발생 가능한 회로내의 트랜지스터 단락과 개방고장을 가정하여 동작을 시뮬레이션함으로써 나타나는 고장들을 분석하고 이 가운데 파라메트릭 고장이나 지연고장으로 나타나는 단락 및 개방고장을 논리모니터링 방식으로 검출할 수 있도록 부가회로를 사용한 DFT 설계방식과 테스트 동작에 대하여 검토하였다.

기본 HF-BiCMOS회로에서 하나의 부가트랜지스터를 사용했을때와 두 개의 부가트랜지스터를 사용했을때를 서로 비교했을 때 기본 HF-BiCMOS회로와 출력에서는 차이가 없었다. 그러나 하나의 부가트랜지스터를 이용하여 테스트 할 때 부가트랜지스터를 적게 사용한다는 이점은 있으나 고장검출율이 떨어진다.

그러나 두 개의 부가트랜지스터를 이용하면은 부가트랜지스터를 더 사용하여야 하나 고

장 검출률이 높다는 이점이 있다. 그러나 Fig. 1에서 보듯이 출력으로 연결되는 곳이 두 곳 있는데 풀다운 부분은 테스트 패턴을 이용하여 검출할 수 있으나 풀업부분의 테스트 패턴을 검출할 때 힘들다. 이 부분을 잘 이용하여 출력으로 연결되는 풀업 부분과 풀다운 부분의 테스트 패턴을 이용하면 고장 검출률을 높일 수 있다.

또한 시뮬레이션을 통하여 HF-BiCMOS 회로에서 단락고장은 대부분 stuck-at 고장으로 나타나고 개방고장은 대부분 파라메트릭고장 또는 지연고장으로 나타나고 일부 개방고장이 stuck-open 고장으로 나타나는 것을 알 수 있었다.

테스팅 기법에 대한 고찰을 통하여 파라메트릭 고장이나 지연고장을 논리적으로 검출하고 HF-BiCMOS의 고장 검출률을 향상시킬 수 있는 방법으로서 DFT기법이 효과적으로 활용될 수 있음을 알 수 있었다.

참고문헌

- 1) A. R. Alvarez ed., *BiCMOS Technology and Applications*, Boston, Ma : Kluwer Academic, (1989)
- 2) J.E. Buchanan, *BiCMOS/CMOS Systems Design*, McGraw-Hill, Inc., (1991)
- 3) Hyun J. Shin : Performance Comparison of Driver Configurations and Full-Swing Techniques for BiCMOS Logic Circuits, *IEEE J. Solid-State Circuits*, Vol.25, No.3, pp.863-865, June. (1990)
- 4) Hyun J. Shin : Full-Swing Logic Circuits in a Complementary BiCMOS Technology, 1990 Symposium on VLSI Circuits, pp.89.-90, (1990)
- 5) Jae-Heung Shin : A Study on the Design of High Speed Full-Swing BiCMOS Logic Circuit Using Common-Emitter Configuration, Master Thesis, Hanyang Univ, (1991)
- 6) Kyung-Ho Seo : A Study on Testable Design and Testing Techniques for BiCMOS Logic Circuits, Master Thesis, Kwandong Univ, (1993)
- 7) Jae-Heung Shin, and In-Chil Lim : On the Detection of Short Faults in BiCMOS Circuits using Current Path Graph, *Journal of The Korea Institute of Telematics and Electronics*, Vol.33-A, No.2, February, (1996)
- 8) Jae-Heung Shin, and In-Chil Lim : Test Pattern Generation for Detection of Stuck-Open and Stuck-On Faults in BiCMOS Circuits, " *Journal of The Korea Institute of Telematics and Electronics*, Vol. 34-C, No.1, January, (1997)
- 9) M. E. Levitt, K. Roy, and J. Abraham : Test Consideration for BiCMOS Logic Families, in *Proc. IEEE Custom Integrated Circuits Conf.*, pp.172.1-4, (1990)
- 10) S. C. Ma, and E. J. McCluskey : Non-Conventional Fault in BiCMOS Digital Circuits, *International Test Conference*, pp.882-891, (1992)
- 11) A. E. Salama, M. I. Elmasry : Testing and Design for Testability of BiCMOS Logic Circuits, *IEEE VLSI Test Symposium*, pp.217-222, (1992)
- 12) Jae M. Lee, Kwang S. Jung : Fault Analysis and Testing Techniques for High Speed Full-Swing BiCMOS Circuits, *Proceedings of The 11th KIPS Spring Conference* Vol.6, No.1, pp.1207-1211 (1999)

(2001년 1월8일 접수, 2001년 5월 25일 채택)