

고압 커패시터의 고장 분석을 통한 신뢰도 예측

Reliability Estimation of High Voltage Ceramic Capacitor by Failure Analysis

양석준*, 김진우*, 신승우*, 이희진*, 신승훈*, 유동수*, 장석원*

Seok-Jun Yang*, Jin-Woo Kim*, Seung-Woo Shin*, Hee-Jin Lee*, Seung-Hun Shin*,
 Dong-Su Ryu* and Seog-Weon Chang*

초 록 본 논문은 고압 커패시터의 고장분석과 신뢰성 예측 결과를 다루고 있다. 부품의 수명과 고장률을 예측하기 위해서 두 가지 방법으로 고장 모드와 고장 메커니즘을 연구하였다. 에폭시 수지로 성형된 고압 커패시터가 절연내압 시험 하에서 저항이 제로로 되는 고장에 대하여, 근본원인 고장분석 체계를 효과적으로 수립함으로써 고장 메커니즘의 원인을 분석하였다. 특히 세라믹-에폭시 계면에서의 절연파괴 고장 현상이 강조되었으며, 본 연구에서 얻어진 결과의 타당성은 마그네트론에 장착된 고압 커패시터의 열사이클 시험 수행에 의한 가속시험 결과로부터 입증되었다. 시험 결과들은 결함이 있는 로트를 신속히 규명하고 B₁₀수명을 결정하는데 유용하게 사용할 수 있다. 또한, 유전체의 절연파괴에 대해서 부하-강도 간섭모델을 이용하여 고장률을 예측하였다.

주요용어: 커패시터, 신뢰도, 고장분석

Abstract This paper presents a result of failure analysis and reliability evaluation for high voltage ceramic capacitors. The failure modes and failure mechanisms were studied in two ways in order to estimate component life and failure rate. The causes of failure mechanisms for zero resistance phenomena under withstanding voltage test in high voltage ceramic capacitors molded by epoxy resin were studied by establishing an effective root cause failure analysis. Particular emphasis was placed on breakdown phenomena at the ceramic-epoxy interface. The validity of the results in this study was confirmed by the results of accelerated testing. Thermal cycling test for high voltage ceramic capacitor mounted on a magnetron were implemented. Delamination between ceramic and epoxy, which might cause electrical short in underlying circuitry, can occur during curing or thermal cycle. The results can be conveniently used to quickly identify defective lots, determine B₁₀ life estimation each lot at the level of inspection, and detect major changes in the vendors processes. Also, the condition for dielectric breakdown was investigated for the estimation of failure rate with load-strength interference model.

Keywords: high voltage ceramic capacitor, reliability estimation, failure analysis

1. 서 론

에폭시 수지에 의해 성형된 고압 세라믹 커패시터(이

후 HV 세라믹 커패시터)는 뛰어난 안정 특성과 전기적 성능으로 인해 필터, 스너버(snubbers), 그리고 공진회로와 같은 전원장치에 널리 쓰인다. 이런 여러 장점들에도

불구하고 HV 세라믹 커패시터는 신뢰성이 떨어진다는 이유로 보통 고전압 장치에는 적용이 되지 않는다. 이는 HV 커패시터의 유전체 파손강도가 작기 때문으로, 여러 연구자들이 이런 현상의 원인과 메커니즘을 이해하기 위해 상세한 연구를 수행하였다[1-5]. 지난 수 년간 HV 세라믹 커패시터의 품질과 신뢰성이 급격하게 개선 되었음에도 불구하고, 위의 문제들은 아직 완전히 해결되지 않았다는 것이 전자부품 산업계의 일반적인 견해이다. 비록 접착성 물질의 개발과 제조기술이 일정 수준에 이르렀다고는 하나 위에서 언급된 고장 메커니즘은 HV 세라믹 커패시터가 널리 유용되는 것을 막고 있다. 만약 HV 세라믹 커패시터의 고장 메커니즘을 더 잘 이해할 수 있다면, 고온 또는 고압과 같은 가혹한 상황에서 커패시터의 신뢰성이 확립될 수 있을 것이다. 따라서 재료의 구성 또는 제조 기술을 발전시키기 위해서는 HV 세라믹 커패시터의 고장 메커니즘을 이해하는 것이 절실히 요구된다.

고장분석이란 고장의 근본원인을 발견하고 그 자료를 궁극적으로 부품의 신뢰성을 향상시키는데 사용하기 위해 고장난 부품을 체계적으로 분석하는 것을 말한다[6]. 각각의 고장 부품은 독특한 특성이 있기 때문에 별개의 고장으로 취급 되어져야 하며 다루어지는 모든 고장 메커니즘의 특성을 보증하기 위한 노력이 필요하다. 이러한 이론적인 접근은 쉽지 않으므로, 근본적인 고장 모드에 관련된 고장이력 데이터들은 실제 고장원인을 결정하기 위해 필요한 여러 복잡한 과정을 줄이기 위해서 철저하게 연구 되어져야만 한다. 효과적인 근본원인 고장분석을 통해 고장 모드와 고장 메커니즘과 같은 HV 세라믹 커패시터에 관한 아주 많은 양의 데이터들이 얻어졌다.

세라믹 커패시터에는 전형적인 세가지 고장 모드 - 전기적 측면에서 개방, 단락 또는 절연저하, 및 용량 규격 초과 - 가 있다. HV 세라믹 커패시터는 재료의 구성에 따라 유전체의 절연파괴와 접착 고장 (응집파괴, 계면박리)의 두가지 고장 체계로 나뉜다.

HV 세라믹 커패시터 제조에 관련된 주요 물리적 결점 중의 하나는 박리(delamination)현상이다. 온도 변동과 회로의 전원 on/off에 의한 주기적 열응력으로 인해 발생하는 박리 혹은 에폭시와 세라믹 유전피막의 분리는 수입 검사시 부품의 고장, 수율저하 및 시장고장으로 인한 비용증가의 주원인이다. 박리는 열사이클이 수행되는 동안 세라믹과 에폭시의 계면에서 서로 다른 열팽창률에 의해 발생하는 기계적 응력의 결과로 형성된다. 전압 인가시 발생하는 기중방전(air discharge)과 이에 수반되는 아크

트래킹(arc tracking) 현상은 박리의 존재여부에 따라 가속될 수 있다. 그러므로 HV 세라믹 커패시터의 열피로 고장현상을 이해하고 신뢰도를 추정하기 위해 적절한 실험을 수행하는 것이 필요하다. HV 세라믹 커패시터의 신뢰도는 가속수명시험(accelerated lifetime testing)에 의해 결정된다. 열사이클 시험을 통해 부품의 고장이 제조 공정의 잘못된 재료의 결합 때문인지를 알 수 있다. 이 시험에서 고장난 HV 세라믹 커패시터는 근본원인 고장 분석에 의해 주요 고장 원인들이 무엇인지 분석 되어진다. 물론 계면발생 크랙에 관련된 결합이 밝혀졌고 이를 제거하기 위한 공정 개선방안을 제안하였다. 가속수명시험에서의 고장 데이터들로부터 HV 세라믹 커패시터의 B_{10} 수명이 필드 고장 데이터들과 비교되었다. 실험결과와 시장 데이터간의 만족스러운 상관 관계가 관찰되었고, 역함수 모델(power law relationship model)[7-10]을 이용하여 가속계수(acceleration factor)를 계산하였다.

우리는 보통 생산자가 제공하는 Spec을 믿고 커패시터를 구입하여 사용하지만, 때때로 검사과정이나 시장에서 수많은 고장을 접하게 된다. 이것은 제조공정의 불규칙적인 변수들에 의해 발생할 수 있는 제품 수명의 불확실성에 기인한 재료의 물성이나 다양한 형상 변수들 때문이다. 덧붙여 물성치와 제조공정의 편차를 인식하기 위한 품질인증방법이 확립되지 않은 상태이다. 그 결과, 사용자들은 재료 또는 제조공정상의 결함을 발견하고 개선시키는 등의 의미있는 피드백을 제공받지 못한다. 유전체의 절연파괴 현상은 HV 세라믹 커패시터, 밀티레이어 세라믹 칩 커패시터(MLCC)와 같은 고유전성 부품들의 주요 결점 중 하나라고 알려져있다[11]. 유전체의 절연파괴 현상은 유전체에 인가된 과도전압으로 발생되며 파괴 및 회로의 단락을 이룰 수 있다. 우리는 인가된 부하(load)와 유효강도(available strength)의 확률 분포 함수를 고려해서 우발고장(overstress failure)에 의한 유전체 절연파괴 현상의 고장률을 구할 수 있다. 이 논문에서, 부하-강도 간섭모델(load-strength interference model) [12-14]은 국부적인 방전(partial discharge)으로 인한 유전체의 절연파괴에 대한 고장률을 예측하는데 사용 되었다. 그러나 이런 접근방법은 시간에 따라 부품의 강도가 열화되지 않는다는 가정하에 사용되었다. 부하 및 강도 특성에 대한 좋은 데이터는 가끔 유용하지 않을 수도 있기 때문에 우리는 여전히 분산의 영향을 이해하는 요건을 충족시켜야만 한다. HV 세라믹 커패시터의 신뢰도 예측은 통계프로그램인 MINITAB Release 13을 사용하여 계산되었다.

2. 고장 분석

2.1. 고장분석의 절차

고장분석은 1) 고장 모드의 확인 2) 고장 부위의 확인 3) 고장 메커니즘의 확인 4) 주요 고장원인의 결정 5) 고장 억제 방법 추천의 단계로 나누어질 수 있다. 위의 절차는 대개 비파괴검사로 시작해서 파괴검사로 나아가고, 모든 절차를 통해 각각의 검사로부터 유용한 데이터를 얻게 된다. 또한 이 데이터들은 고장으로 발전할 여지가 있는 메커니즘을 발견할 수 있게 해준다. 효과적인 고장 분석의 절차는 1) 고장현상 파악(identification) 2) 고장이력(failure history) 3) 시각 검사 4) 전기적 시험 5) 비파괴검사(NDE) 6) 파괴검사 (DPA)의 순이다[15]. 신뢰도를 높이기 위해 이런 정보들은 고장 메커니즘 모델과 함께 연구되어야 한다. 이런 고장물리(physics of failure) 모형화에 의해 제공되는 정보는 설계자들이 향후 열화 메커니즘에 의해 발생할 수 있는 고장에 대한 민감도를 최소화할 수 있도록 재료를 고르고 패키지를 설계하는 것을 가능하게 한다[16]. Fig. 1은 고장 분석의 순서도를 보여준다.

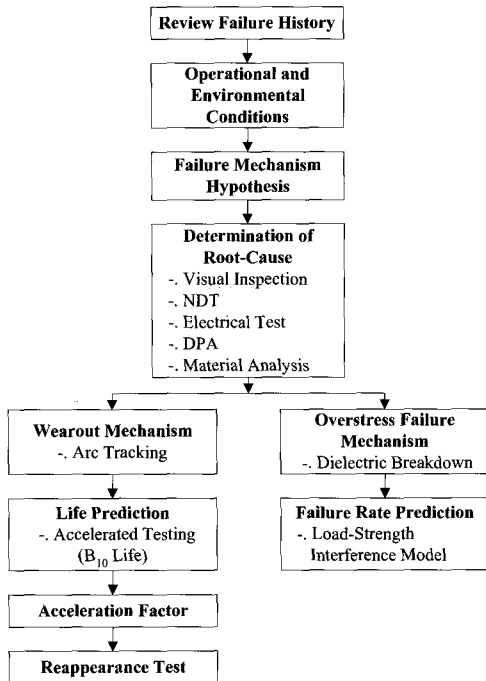


Fig.1 Flowchart of failure analysis

2.2. 고장 분석 결과

이 연구의 고장 샘플은 일반적인 시장 고장품인 500pF 정전용량을 가지는 DC 4000V 급 Y5U 타입의 HV 세라믹 커패시터이다. 회로의 구성은 Fig. 2와 같다. "LC" 필터용으로 마그네트론에 장착한 HV 세라믹 커패시터는 시장에서 정상 사용 조건에서 단락회로를 나타냈다.

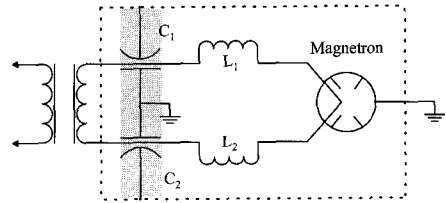


Fig. 2 Equivalent circuit of magnetron for microwave oven (MWO)

시각분석의 수준은 표면 결함을 규명할 수 있도록 자세한 검토가 필요하다. 시각 검사를 통해 Fig 3과 같이 커패시터의 외부 케이스 표면의 손상을 발견할 수 있다. 외부 케이스는 Fig. 4와 같이 에폭시 수지로 채워진 PBT (Polybutyleneterephthalate)로 구성되어 있다.

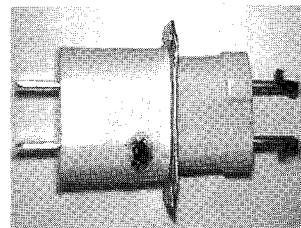


Fig. 3 Photograph of 500pF 4000-volts Y5U HV ceramic capacitor, showing burnt material

어떤 부품이 고장났는지 식별해내기 위해 필요한 전기적인 파라미터들은 비파괴시험 중 추정되어야 한다. 고장 모드를 결정하는데 도움이 될 수 있는 정전용량(C), 손실(DF or tan δ), 그리고 절연저항(IR)과 같은 다른 파라미터들 역시 측정될 수 있다. 정전용량과 손실율은 1±0.5V(rms), 1kHz에서 측정되었고, 절연저항은 500V에서 120±5S동안 측정되었다. 고장은 Table 1에서와 같은 기준으로 판단되었다. 정전용량, 손실율, 그리고 절연저항이 규격 초과와 값을 가짐을 알 수 있다. Table 1은 이 실험을 요약한 결과이다.

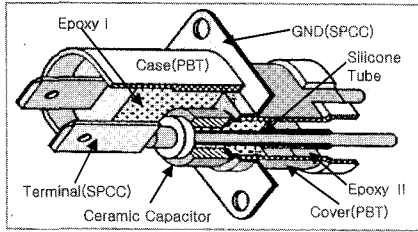


Fig. 4 Construction of a HV ceramic capacitor

Table 1 Failure criteria for test sample and test results

Failure Mode	Drift, Capacitance	Drift, $\tan \delta$	Drift, Insulation resistance
Failed Sample	#1	82 μF	398
	#2	258 μF	716
	#3	176 μF	655
	#4	195 μF	820
	#5	977 μF	1461
Failure Criteria	More than $\pm 35\%$ drift from the initial value	More than 0.01 $\tan \delta$	More than 10,000 mega ohm insulation resistance

비파괴시험은 시료에 어떤 손상을 가하거나 중요한 정보를 놓치는 일이 없이 고장부위, 고장 메커니즘, 그리고 고장의 근본원인에 대한 더 많은 정보를 얻기 위해 고안되었다. X-ray는 접촉불량인 리드선, 세라믹을 감싸고 있는 몰딩 재료내의 공동(空洞), 크랙 등을 가지고 있는 커패시터를 식별하는데 효과적인 분석 방법이다. 그러나 세라믹 커패시터의 구성요소 자체는 X-ray로는 불투명하기 때문에 내부 구성요소의 결함은 X-ray로 식별이 불가능하다는 단점이 있다. Fig. 5에서 볼 수 있듯이 X-ray 분석 결과 세라믹-에폭시 계면에서 탄화층이 발견되었고 세라믹-에폭시 계면 사이에 일어난 박리로 인해 고장이 발생하였음을 알 수 있다.

HV 세라믹 커패시터 내부 구조의 상세 분석 자료를 제공하는 파괴분석(DPA)이 세라믹의 크랙이 드러난 부

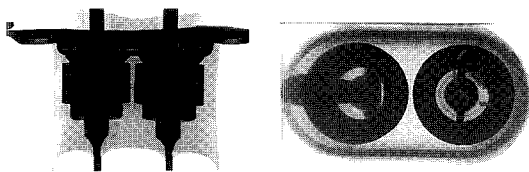


Fig. 5 X-ray image of burnt component. Arrow at right indicates area where epoxy charred

위, 화학변화가 일어난 부위, 에폭시 수지의 도전성이 증가되었다고 판단되는 부위에 대해 수행되었다. Fig. 6은 세라믹 표면을 따라 크랙이 가고 에폭시 수지가 타버린 것을 광학현미경을 사용하여 관찰한 결과이다.

열분석 기술은 팽창율, 수축율 등의 기계적인 특성을 측정하는 것 뿐만 아니라 유리전이와 경화도를 결정하는데도 사용된다.

TGA(thermogravimetric analysis)는 온도 증가에 따른 재료의 무게 변화를 측정하는 기술이다. 얻어진 정보는 재료의 열적 안정성을 평가하고 성분 분석을 하는데 이용된다. 경화된 에폭시 수지는 대략 10mg의 샘플로 매분 20도 상승되는 통상적인 TGA를 이용해 상온에서 섭씨 800도까지의 온도 범위에서 분석되었다. 여기에는 Thermal Analyst 2100과 함께 TA사의 SDT 2960장비가 사용되었다. 경화된 에폭시 수지가 표준 조건하에서 가열될 때 얻어진 TGA결과가 Table 2에 나타나있다. 이 결과에서 알 수 있듯이 경화된 에폭시 수지는 섭씨 257도와 327도에서 에폭시 I 과 에폭시 II로 각각 열분해된다.

TMA(Thermomechanical analyzer)는 일반적으로 열팽창 계수(CTE)의 변화를 바탕으로 하여 유리전이를 측정하는데 사용된다. Table 3에서 볼 수 있듯이 TA사 TMA 2940 장비를 이용하여 경화된 에폭시 수지에 대한 TMA 분석을 수행하였다. 분석은 분당 10도의 상승률로 섭씨 -20도에서 220도 사이에서 40분 미만의 시간동안 이루어졌다. 검사 결과 에폭시 I 과 II는 각각 섭씨 51도와 39도

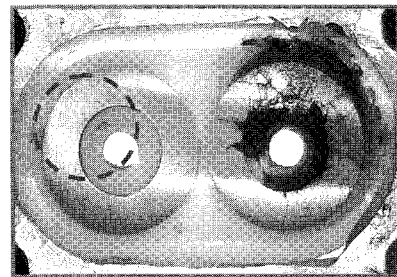


Fig. 6 Optical photograph of a failed sample cross-section showing cracks along the ceramic surface and combustion of epoxy resin

Table 2 TGA results generated on cured epoxy resin

Contents	Epoxy I	Epoxy II
Decomposition	257°C	327°C
Transition Temperature		

에서 유리 전이 온도(T_g)를 가지는 것으로 나타났다. TMA의한 T_g 측정은 보통 T_g 에서 관찰되는 크기 변화가 상당히 중요하므로 속이 빈틈없이 매워져있고 단단한 결정구조를 가지며 가교(cross-linked) 된 재료에 대해서는 DSC에 의한 측정 결과보다 더 정확한 결과를 나타낸다. 유리전이 온도보다 중요시되는 열팽창계수(폼질을 지배하는 변수 중의 하나)는 특정 온도 범위에서 식 (1)을 이용하여 팽창곡선의 기울기로부터 계산된다.

$$\alpha(T_1 to T_2) = \frac{[Y(T_2) - Y(T_1)] \times Y}{(T_2 - T_1) \times L} \dots\dots\dots (1)$$

여기서 $\alpha(T_1 to T_2)$ 는 온도 T_1 에서 T_2 사이의 열팽창계수를, $Y(T)$ 는 온도 T에서 Y축의 비틀림 정도를, Y는 Y축 민감도를, L은 시료의 길이를 각각 나타낸다. TMA로부터 나온 데이터들을 위의 식 (1)에 각각 대입하여 얻은 결과를 Table 3에 정리하였다. 유전체와 경화 에폭시 수지는 열팽창 계수 값에서 많은 차이가 있음을 알 수 있고, 그 결과 세라믹-에폭시 계면에서 심각한 열역학적 응력이 발생할 수 있음을 알 수 있다. Table 3에서 볼 수 있듯이, 세라믹의 열팽창계수는 약 $8\mu m/m^{\circ}C$ 이고 에폭시 수지의 열팽창 계수는 $160\mu m/m^{\circ}C$ 이므로 이런 열팽창계수의 불균형은 정상작동하에서 세라믹-에폭시 경계면에서의 균열을 초래할 수 있다.

Table 3 TMA results for cured epoxy and ceramic

Contents	Epoxy I	Epoxy II	Ceramic	
Glass Transition Temperature(T_g , °C)	51	39	N.A.	
CTE ($m/m^{\circ}C$)	Before T_g	47	65	8~10
	After T_g	148	160	-

DSC는 재료의 유리전이, 경화도 및 경화상태를 분석할 수 있는 장비이다. 재료의 미경화는 발열반응의 엔탈피를 계산함으로써 결정할 수 있다. DSC는 또한 에폭시 수지 시스템의 경화반응을 연구하는데 널리 사용 되어왔다[17]. TA사 DSC2010을 사용하여 경화 에폭시 수지의 유리전이 온도를 측정하였다. 5mg 정도의 시료가 질소 분위기에서 상온부터 섭씨 160도까지 $10^{\circ}C/min$ 으로 측정되었다. 시험시료로는 산무수물(acid anhydride)으로 섭씨 100도에서 5시간동안 경화된 DGEBA(diglycidyl ether of bisphenol A) 프리폴리머 에폭시 수지가 사용되었다.

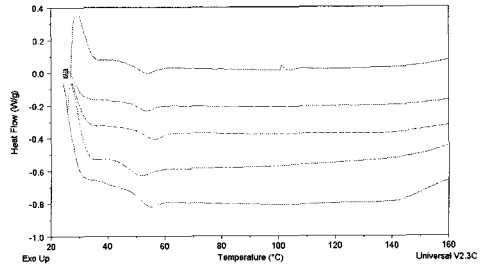


Fig. 7 DSC curves for isothermal cure of DGEBA with acid anhydride for epoxy I

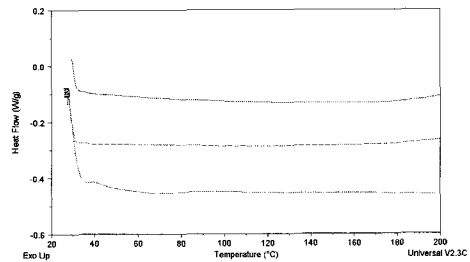


Fig. 8 DSC curves for isothermal cure of DGEBA with acid anhydride for epoxy II

Fig. 7과 8은 에폭시 I과 II에 대해 DSC를 이용하여 측정된 열전이온도의 결과이다. 여기서 우리는 같은 재료에서도 유리전이온도가 차이남을 알 수 있다. 이런 사실은 경화도의 차이에 의한 것이다. 여러 에폭시 I과 II 샘플에서 나타나는 유리전이온도의 차이는 경화반응 후 DGEBA 에폭시 그룹이 불완전한 경화 에폭시수지의 형성으로 인해 원래의 프리폴리머 분자들과 비스페놀 A 모노글리시들 에써(monoglycidyl ether)를 가지고 있음을 말해준다. Fig 7에서 볼 수 있듯이 미반응 그룹의 후경화(postcure)로 인해 발열반응의 피크가 등은 경화온도에서 시작된다. 등은 경화 속도 곡선에서 피크가 존재하는 것은 산무수물과 DGEBA의 경화반응에서 third-order kinetics가 우세함을 보여준다.

Table 4 Porosity and density results

Absolute density	5.25 g/cc
Open porosity	0.22 %

접착성은 표면접촉정도와 표면상태에 좌우되므로 HV 세라믹 커패시터의 경우, 기공률(porosity)과 기공 크기의 분포는 접착 고장 모드의 원인 중 하나이다. 이것은 접착

력이 세라믹 표면의 상태에 따라 증가될 수 있기 때문이다. Table 4는 아르키메데스(Archimedes)법을 사용하여 구한 기공률과 절대밀도를 보여준다. 이 수치들은 다른 여러 전해물질들 중의 하나인 BaTiO₃ 조합과 비교해볼 때 약간 낮다. 우리는 주사전자현미경(SEM)을 사용하여 미사용 커패시터에 도전성을 위해 금도금처리를 한 후 미세구조를 조사하였다. Fig. 9, 10과 같이 SEM을 사용하여 세라믹의 외부 및 내부를 관찰한 결과, 타원형의 입자들이 2-5 μ m사이의 기공들에 둘러쌓여 있음을 볼 수 있다. 이 기공들이 계면 박리점의 역할을 하고, 여기서 처음 발생된 크랙이 계면을 따라 전파됨을 예측할 수 있다. 세라믹과 에폭시 계면의 접착력은 정상작동 하에서 반복되는 응력에 의해 약해질 수 있다. 이 부분의 계면 크랙은 HV 세라믹 커패시터의 약해진 세라믹-에폭시 경계를 따라 전파된다. 세라믹-에폭시 경계에서의 큰 기공률과 기공 사이즈 분포는 접착성 고장을 유발할 수 있다.

3. 고장 메커니즘과 고장 모델

시험을 통해 손실과 정전용량의 증가, 절연저항의 저하, 그리고 회로의 단락 등이 고장 모드로 관측되었고,

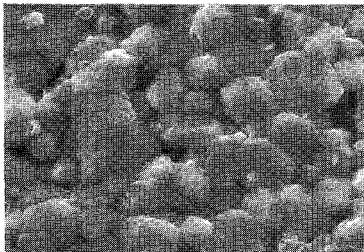


Fig. 9 SEM photograph of morphology of ceramic outer surface(2500X)

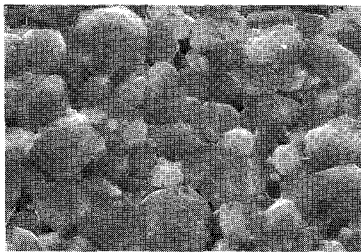


Fig. 10 SEM photograph of morphology of ceramic inner surface(2500X)

고장 분석을 통해 얻어진 고장 메커니즘으로는 마모고장 (wearout failure)에 의한 박리현상과 우발고장 (overstress failure)에 의한 유전체 절연파괴로 발생하는 일련의 아크 트래킹(arc tracking or combustion)현상으로 요약될 수 있다.

3.1. 아크 트래킹의 분석

경화율(rate of curing)과 경화도(degree of curing)는 촉매의 양 뿐만 아니라 시간과 온도에 좌우된다. 만약 세라믹과 에폭시 경계면에서 열팽창계수의 차이로 인한 반복피로응력이 가해진다면, 모노머에서 폴리머로 변환되는 다음 단계에서 재료의 부피 수축이 뒤따르게 되고, 이는 세라믹-에폭시 계면에 수축응력 또는 열잔류응력의 생성으로 이어져 최악의 경우 박리나 계면 파괴에 이르게 된다. 또한 작동 환경에서 세라믹 표면의 미세 구조와 거칠기는 접착력에 영향을 끼친다. 박리에 의한 아크 트래킹은 열사이클시험 후 시행된 절연전압시험에서 관측되었다. 이런 종류의 고장에서는 손실과 커패시터는 별 변화가 없지만 절연저항이 지나치게 감소하여 세라믹-에폭시 계면에서 누전이 일어나고 그 결과 절연파괴가 일어난다. 이와 같은 절연파괴 때문에 세라믹-에폭시 계면에서 아크 트래킹에 의한 회로의 단락이 일어나게 되는 것이다.

3.2. 아크 트래킹(arc tracking)의 물리적 현상

아크 트래킹의 시작과 전파는 절연 물질, 구성, 전력, 주파수의 종류와 온도, 압력, 습도 등의 환경요인에 좌우된다. 아크 트래킹[18]은 세라믹-에폭시 계면에서 박리 혹은 크랙과 같은 물리적 결함의 도전로(conducting path) 형성에 기인한다. 그리고 종종 수분, 먼지, 활성이온등의 상이한 물질에 과다하게 노출되어 있을 때 이것들과의 경계면에서도 관찰되어진다. 또한 도전로는 탄화 에폭시가 그래파이트(graphite) 에폭시 합성물로 변환될 때 가속될 수 있다. 한 번 섬광(scintillation) 이 일어나면 전기적인 아크가 세라믹-에폭시 계면과 근처 에폭시 수지를 따라 전파되고 영구적인 단락을 일으키게 된다. 세라믹-에폭시 사이의 높은 전류로 인한 발열에 의해 전도성을 가지게 되고, 섬광 등에 의해 세라믹이 파괴된 이후에도 과도 전류가 에폭시 수지로부터 유출된다. 아크 트래킹 현상은 Fig. 11에서와 같이 시각검사에 의해 관찰될 수 있다.

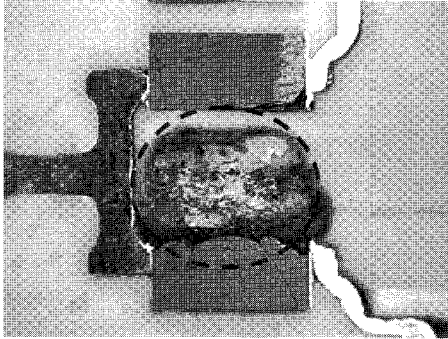


Fig. 11 Optical photomicrograph showing a sample failure due to arc tracking

3.3. 고장시간 예측을 위한 아크 트래킹의 고장물리 (physics of failure) 모델링

전자 조립 부품들의 기계적 응력은 결합 재료간의 열적 불균형과 강도의 불균일에 의해 발생한다. HV 세라믹 커패시터가 직면한 가장 중요한 문제들 중 하나가 열사이클(thermal cycle)로 인해 사용기간 중 계면 박리가 형성되는 것이다. 주요 온도 사이클이 세라믹-에폭시 계면에서 존재하고, 이러한 구조에서 접착계면의 자유 경계(free edge)에서는 높은 응력구배가 존재하게 되어 결국 계면 박리로 인한 크랙이 발생하게 된다[19]. 이런 장치들의 신뢰성을 보증하기 위해서 HV 세라믹 커패시터의 가속수명시험이 필요하다. 마모 고장 메커니즘을 이용하여 제품의 수명을 구하기 위해서는 가속수명시험 조건 하에서의 고장 분포와 실제 사용 조건 하에서의 고장분포에 관련된 가속계수(accelerating factor)를 계산하는 두 단계를 거쳐야만 한다. 이런 가속계수는 열화분석(degradation analysis)로 확인된 고장 메커니즘에 대하여 고장물리 모형을 사용하여 결정되고, 주요 고장 메커니즘을 변화시키지 않고 최대한 시험시간을 단축시키는 적절한 부하와 시험수준으로 구성된 가속수명시험 조건에서 커패시터에 대한 고장 분포를 결정한다.

열사이클에 의한 피로고장은 식 (2)와 같은 단순한 멱함수 관계로 나타낼 수 있다.

$$\Delta\sigma(N_f)^b = C \dots\dots\dots (2)$$

여기서 $\Delta\sigma$ 는 변형 혹은 응력 범위를, N_f 는 고장날 때까지의 사이클수를, b 와 C 는 재료 상수를 각각 나타낸다.

열응력과 열변형은 온도 사이클 범위에 직접적으로 비례하는 것으로 볼 때, 피로 멱함수 관계식은 아래 식 (3)과 같이 온도 변화 ΔT 에 대한 식으로 쓸 수 있다.

$$\Delta T(N_f)^b = C \dots\dots\dots (3)$$

여기서 ΔT 는 온도변화량을 의미한다. 시험시간의 단축과 관련된 가속계수는 재료의 피로 지수인 b 가 각 시험에서 변하지 않고 온도 조건이 동일하다고 가정할 때 식 (4)와 같이 표현될 수 있다. 수명데이터는 주어진 사이클 조건에서 누적 와이블(Weibull) 분포에 의해 가장 잘 설명되어질 수 있다.

$$AF = \frac{N_f(\text{field})}{N_f(\text{test})} = \left(\frac{\Delta T_{\text{test}}}{\Delta T_{\text{field}}} \right)^{\frac{1}{b}} \dots\dots\dots (4)$$

3.4. 유전체(Dielectric) 절연파괴의 분석

HV 세라믹 커패시터는 손상된 주변 부품들로부터 고압의 과도전류가 흘러드는 것을 막기 위한 잡음 억제기로, 혹은 회로에 잡음 또는 RF(radio frequency) 에너지가 전파되는 것을 막는 필터로 사용된다. 그러나 세라믹의 과도한 유전체 절연파괴 전압은 과도전압 에너지에 따라서 단락이나 잠재적인 누설 통로를 야기시켜 내부 파손을 발생시킬 수 있다. 유전체의 국부적인 방전으로 인한 유전체 절연파괴 고장이 절연전압시험에서 관찰되었다. 이런 종류의 고장에서 취약부분은 세라믹에 함유된 공동(void or pore)과 크랙이고, 이런 취약부분에서의 방전은 전기 절연파괴의 주요 원인이라고 생각되어진다. 따라서 공동과 크랙에서의 국부방전은 세라믹에서 유전체 절연파괴의 근본적인 원인이라고 하겠다.

3.5. 유전체 절연파괴 고장의 물리적 현상

세라믹에는 제조 기술의 한계로 인해 반드시 공동과 약간의 크랙에 의한 결함이 존재한다. 다공성 및 계면과 같이, BaTiO₃의 절연파괴 강도에 영향을 끼치는 몇몇 본질적인 요인들이 있을 수 있다[21, 22]. 그러나 일반적으로 절연된 세라믹에서 일어나는 유전체 절연파괴는 재료 안의 공동에서 발생하는 국부적인 방전에 의해 일어난다고 믿어진다[23]. 이러한 빈틈은 대개 BaTiO₃ 조합보다

절연 파괴 강도가 낮은 공기와 같은 가스로 채워져 있다. 더군다나 공기의 유전율은 BaTiO₃보다 훨씬 낮아서 공동 안에 BaTiO₃ 조합보다 훨씬 강한 전기장을 형성하게 된다. 높은 전기장에서 BaTiO₃의 높은 유전상수로 인해 BaTiO₃ 세라믹 빈틈 안에서의 전기장은 다른 절연 세라믹보다 더 강해질것이다. 그러므로 세라믹 커패시터의 작동 스트레스 하에서 공동에 걸린 전압은 아마도 가스의 절연파괴 값을 초과할 것이고, Paschen곡선에 따라 국부적인 방전이 시작될 것이다[24]. 이런 공동에서 틀림없이 발생하는 국부방전은 주위의 다른 공동에 과도전류에 의한 과응력을 형성시키고 연속적으로 방전이 일어나도록 만든다[25]. 만약 이런 현상이 고전압의 조건하에서 가속된다면 과도한 에너지가 특정 지역에 쌓이게 되고 급기야는 불시에 파괴 에너지로 분산된다. 이런 방전은 남아 있는 세라믹 유전체에 국부적인 가열이나 과응력을 일으키고 순식간에 절연파괴를 일으킨다. Fig. 12는 고장의 원인이 세라믹 안의 공동에 존재하는 시료의 파괴된 표면을 보여준다.

이런 종류의 고장은 HV 세라믹 커패시터에서는 좀처럼 관측되기 어렵다. 정상 동작조건하에서 특정 지역에 저장된 에너지가 충분히 작아서 분산되기 때문에 이렇게 고장날 확률은 극히 작다.

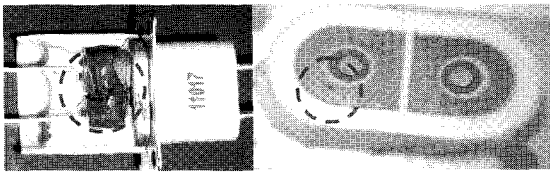


Fig. 12 Optical photomicrograph of an overstress site in a ceramic capacitor, resulting in localized dielectric breakdown. Fracture surface of a sample failed after withstanding voltage test. Failure analysis on these sample revealed that the voids are the main source of failure

3.6. 고장률 예측을 위한 유전체 절연파괴의 고장물리 모델링

적절한 위험수위에 대한 부하조건을 보증하기 위해 부품의 강도에 대한 디자인이 필요하다. 부품의 신뢰성을 모호화하기 위해 사용된 부하-강도 간섭 모델을 이용한 접근 방법(부하와 강도의 확률 분포 함수에 대한 지식에 기반을 둔)이 개발되었고 부품의 설계에 적용되었다. 평

균 강도가 일정한 상황을 고려해볼 때 시간에 따른 강도의 열화는 없다는 점을 주목해야 한다.

대부분의 제품에서 부하나 강도가 고정되어 있지는 않고 통계학적인 분포를 가지고 있다. 만약 두 분포가 겹치는 상황, 즉 강도 분포의 극히 약한 끝부분이 부하 분포의 아주 강한 끝과 만나면, 다시말해 두 분포의 '꼬리'가 겹치게 되는 상황이 일어나면 고장이 발생하게 된다. 안전여유(safety margin)는 부하와 강도의 평균값의 상대적인 분리이고 부하의 편차(roughness)는 부하의 표준편차이다. 둘 다 부하와 강도 분포가 결합된 표준편차에 비례한다. 만약 정규분포를 가지는 부하와 강도를 고려한다면, 불연속적인 부하가 가해질 때 부품의 신뢰도는 강도가 부하를 넘을 확률을 나타낸다.

$$R = \Phi \left[\frac{\bar{S} - \bar{L}}{(\sigma_s^2 + \sigma_L^2)^{1/2}} \right] = \Phi(SM) \dots\dots\dots (5)$$

여기서 \bar{S} 는 강도의 평균을, \bar{L} 는 부하의 평균을, σ_s 는 강도의 표준편차를, 그리고 σ_L 는 부하의 표준편차를 각각 의미한다. 신뢰도는 정규분포 표로부터 표준 누적 normal variable의 값을 구하는 방법을 이용해서도 결정될 수 있다.

4. 신뢰도 계산

3절에서 설명했듯이, HV 세라믹 커패시터의 고장은 일반적으로 아크 트래킹에 의한 고장과 유전체 절연파괴에 의한 고장의 두가지 타입으로 분류될 수 있다. 이 두가지 타입은 각각 독립적으로 발생한다고 여겨진다.

4.1. 아크 트래킹에 의해 발생하는 고장 시간의 추정

4.1.1. 실험적 연구

열사이클은 온도사이클 환경이나 파워사이클로 인해 발생하게 된다. 이런 환경에서는 세라믹-에폭시 경계면에서 계면 크랙이 일어나게 할 수 있는 충분한 인장응력과 전단응력이 발생할 수 있다. 실험적 연구는 기본적으로 열사이클 시험 전후에 아크 트래킹에 의한 HV 세라믹 커패시터의 고장 시간을 결정하는 것에 초점이 맞춰져있다. 이것은 단기 열사이클 시험이 모든 아크 트래킹을 가려낼 수 있는지의 여부에 달려있다. 가속수명시험에

는 정상시와 같이 생산된 DC 4000V, 500pF 급의 Y5U 타입 HV 세라믹 커패시터가 사용되었다. 시료들은 시험 전에 1kHz에서 정전용량, 손실, 그리고 절연저항이 각각 측정되었고, 그 결과 전기적 특성이 상이한 시료는 발견되지 않았다. 열사이클시험에는 30개의 HV 세라믹 커패시터가 사용되었다. 시험은 시료들이 전력이 공급되지 않은 상태로 섭씨 -20도에서 120도 사이의 온도 조건에서 각각의 사이클에 30분간 머무르고, 그 중 5분 이내에 최대 온도에 노출되도록 구성되었다. 절연전압시험은 매 24 사이클 후에 수행되었고 시험하는 동안 유전체 절연파괴가 일어나면 고장으로 분류되었다. 정전용량과 손실은 크게 변화하지 않았지만 절연저항은 과도한 값을 나타내었다. 열사이클시험에서 고장난 커패시터들은 고장분석 절차에 의해 분석되었다. 고장분석 절차는 주요 메커니즘과 고장 부분을 확인할 수 있게 해준다. 이것은 시험이 "필드에서의 조건" 혹은 예상되는 환경을 대표하는지를 보증하는데 결정적인 역할을 한다. 열사이클시험에서 고장난 커패시터 들 중 선별된 시료들이 에폭시로 마운팅되어 0.1-μm 알루미늄 분말을 이용하는 마지막 단계까지 연마 되었다. 이 시료들은 그 단면을 광학 현미경과 주사전자현미경을 사용하여 계면 크랙에 대해 약 5mm 각적으로 관찰되었다. Fig. 13에서 HV 세라믹 커패시터의 누적 와이블 분포를 볼 수 있다.

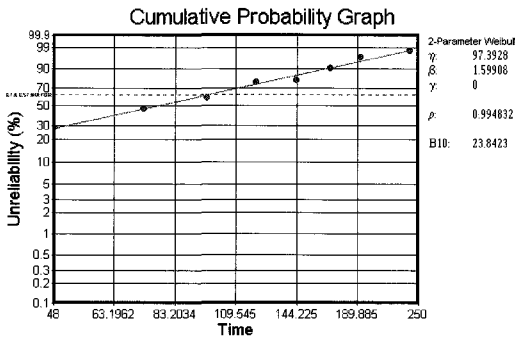


Fig. 13 Thermal cycling life distribution of HV ceramic capacitor resulting from TC test

4.1.2. 실험결과 및 고찰

고장분석 결과 Fig. 14에서와 같이 박리에 의한 계면 크랙 고장이 관찰되었다. 이 결과에서 우리는 시험에 의한 고장 메커니즘이 필드에서 고장난 샘플들로부터 얻어진 것과 매우 유사함을 볼 수 있고, 이는 두 고장 메커니

즘이 서로 동일함을 의미한다. HV 세라믹 커패시터에서 와이블 파라미터들은 시험 데이터들을 피팅함으로써 결정될 수 있고, 아래의 식 (6)과 같이 표현될 수 있다.

$$F(t) = 1 - \exp\left[-\left(\frac{t}{97}\right)^{1.599}\right] \dots\dots\dots (6)$$

여기서 t 는 random variable을 의미하고, 와이블 형상 모수는 1.599, 63.2%에서의 특성 수명은 97사이클이다. 그리고 B_{10} 수명은 23사이클이다. 여기서 B_{30} 수명은 사용자에게 의미가 없음을 알아두어야한다.

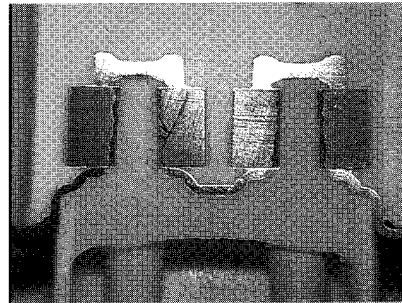


Fig. 14 Optical photomicrograph showing a sample failure due to arc tracking. Failure analysis on these sample revealed that the delaminations are the main source of failure

시장에서의 고장 데이터는 수명시간을 예측하기 위해 일년이 넘는 기간동안 수집 되었다. 이로부터 HV 세라믹 커패시터의 수명 분포가 식 (7)과 같이 만들어졌다.

$$F(t) = 1 - \exp\left[-\left(\frac{t}{2028}\right)^{1.557}\right] \dots\dots\dots (7)$$

여기서 t 는 random variable을 의미하고 와이블 (Weibull) 현상모수는 1.557, 63.2%에서의 특성 수명은 2028사이클 이다. 그리고 B_{10} 수명은 478사이클이다. 이것은 일년동안 수집된 시장 누적 고장 데이터의 그래프 계산 결과이다. 식 (7)은 Fig. 15로부터 얻어질 수 있다. 데이터 분포들의 형상 모수가 거의 동일함을 볼 때, 시장 수명 데이터와 실험 수명 데이터간에 좋은 상관관계가 있음을 볼 수 있다.

시험 수명과 시장 수명간의 관계를 판단하기 위해서 누적된 데이터들에 대한 가속계수를 적용할 수 있다. 주어진 고장 메커니즘에 대하여 시험 시간과 시장수명 사

이의 관계를 식 (8)과 같이 표현할 수 있다.

$$AF = \frac{t_f (field)}{t_f (test)} = \frac{B_{10} (field)}{B_{10} (test)} = \frac{478}{23} \approx 21 \dots\dots (8)$$

여기서 우리는 가속계수(AF)의 지수부분인 1/b값을 계산하기 위해 식 (8)을 식 (4)에 적용시킬 수 있다. ΔT_{test} 는 온도 사이클의 각 극값의 차이인 160도 이다. 여기서 ΔT_{field} 가 50도로 일정하다고 가정하면, 가속계수(AF)가 21일 때 가속계수의 지수부분인 1/b는 약 2.6이 된다.

전자레인지(MWO)의 작동시간에서 on-off 사이클 수가 연중 매일 30분이라고 가정하고, 300시간의 시험기간 중 어떤 고장도 발견되지 않았다고 한다면, 온도 사이클로 인해 발생된 HV 세라믹 커패시터 고장에 의한 전자레인지의 최소 수명시간은 약 34년으로 계산된다.

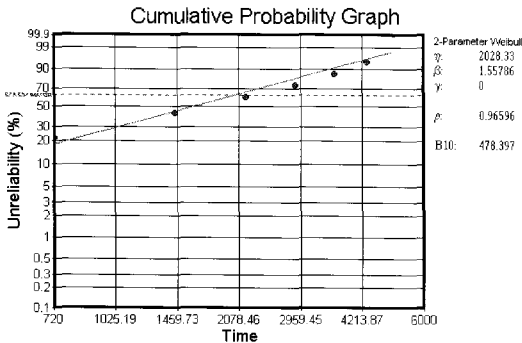


Fig. 15 Field cumulative failure distribution of HV ceramic capacitor

4.2. 유전체 절연파괴에 의한 고장을 추정

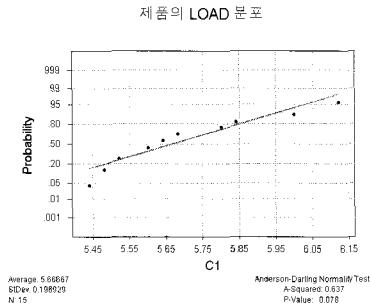
4.2.1. 실험적 연구

HV 세라믹 커패시터의 고장률은 부하-강도 간섭 모델을 이용하여 인가된 부하와 적절한 강도의 확률 분포 함수를 고려함으로써 명확하게 추정될 수 있다. 커패시터의 정격 전압은 통상 DC 4000V이고 설계 부하 역시 이와 같다. 주요 관심사는 전기적인 요인에 의한 우발고장이다. 제조사로부터 10개의 시료를 선택하여 절연 파괴전압, V_B 를 측정하였다. 통계패키지를 사용한 그래프 계산을 통해 절연 파괴 전압이 정규분포함을 알아냈다. 신뢰도를 계산하기 위해서는 loading roughness를 알아야 하므로, 작동 조건 하에서 커패시터에 걸리는 전압을 측정하였고, 그래

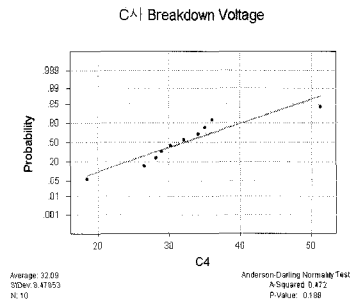
프 계산을 통해 부하가 평균 32,000V의 정규분포를 가짐을 알아냈다.

4.2.2. 실험결과 및 고찰

결과는 Fig. 16과 Table 5에서 볼 수 있다. 식 (5)와 같은 간단한 부하-강도 간섭모델을 사용하여 이후의 계산을 수행하였다. 정상 작동하에서 95%의 신뢰수준을 가지고 예측된 고장률이 Table 6과 7에 나타나 있다. Table 7의 결과는 loading roughness가 작으나 강도분포의 표준편차가 크기 때문에 안전여유가 낮은 상황임을 보여준다. 이 결과로부터 우리는 이 부품이 초기 과도 부하가 걸렸을 때 HV 세라믹 커패시터가 고장날 수 있다고 말할 수 있다. 지나친 부하가 걸리는 상황은 부품의 약한 부분에서 고장을 일으키게 한다. 전자 제품 생산공장에서 시각적으로나 기계적으로 100% 만족하는 검사가 불가능한 것처럼, 품질 관리 기법으로도 쉽게 강도 분포의 표준편차를 줄이지 못하는 것이 바로 이런 전형적인 예라고 하겠다.



(a) Load distribution (n=10)



(b) Strength distribution (n=10)

Fig. 16 Normal probability plot for measured load and strength of capacitor

Table 5 Normality test results

Manufacturer	Strength	Load	Remarks
A	0.188	0.078	P Value More than 0.005

Table 6 Estimated mean and variance for a HV ceramic capacitor

Distribution	Strength	Load
Number	n = 10	n = 10
Mean(X)	32.09	5.66
Variance(S ²)	71.74	0.038
Mean of population(μ)	26.5 $\leq \mu \leq$ 38.5 (Student t distribution)	5.5 $\leq \mu \leq$ 5.8 (Student t distribution)
Variance of population(σ^2)	33.9 $\leq \sigma^2 \leq$ 239 (Chi-square distribution)	0.018 $\leq \sigma^2 \leq$ 0.12 (Chi-square distribution)

Table 7 Estimated reliability for a HV ceramic capacitor

Manufacturing	A
SM(Safety Margin)	3.12
R(Reliability)	0.99902
Failure Rate	0.098 %

5. 결 론

HV 세라믹 커패시터의 고장 모드는 근본원인 고장 분석에 의해 손실의 증가와 절연저항의 열화 및 회로의 단락에 기인한다는 것이 입증되었다. 이런 고장모드들의 고장 메커니즘은 아크 트래킹이다. HV 세라믹 커패시터의 구성 물질, 구조, 그리고 제조공정과 관계되어 있는 이 고장 메커니즘은 실제 사용 환경하에서의 신뢰성에 더 많은 영향을 끼친다.

열사이클시험에 적용된 HV 세라믹 커패시터의 아크 트래킹에 의한 고장시간을 알아내기 위해서 멱함수 모델이 사용되었다. 분석 결과, 온도차가 세라믹-에폭시 계면 박리에 심각한 영향을 미침을 알 수 있었다. 이것은 상당한 기계적인 스트레스가 열사이클시험 동안 발생하였다는 것을 의미한다. 실험 결과를 바탕으로 HV 세라믹 커패시터의 아크 트래킹에 관한 와이블 모수들이 결정되었다. 실험결과와 필드에서의 결과가 일치함을 볼 수 있었고, 세라믹-에폭시 계면의 접착고장 수명에 대한 가속계수가 실험적인 방법으로 결정되었다. 아크 트래킹은 형상

모수 $\beta=1.5$ 인 누적 와이블분포로 설명될 수 있다.

부하-강도 간섭 모델은 HV 세라믹 커패시터 설계의 타당성을 입증하고 안전계수, 부하경감(derating rule) 등 기존의 접근 방법을 대체할 능력이 있음이 판명되었다. 이로써 부하-강도 간섭 모델은 우발고장 메커니즘의 고장률을 예측하는데 사용되어질 수 있다. 이상의 연구에서 유전체의 절연파괴 고장은 정규분포로 설명되어질 수 있다.

과피역학적인 접근은 전자 부품의 접착성에 관련된 신뢰성 문제에 적용될 수 있다. J-integral 분야는 폴리머 물질과 계면 접착의 특성을 나타내는데 주로 사용된다. 고장물리 모델을 이용한 과피역학적 접근 방법이 앞으로 수행되어야 한다.

후 기

이 연구는 국가지정연구실 사업으로 수행 되었다.

참고문헌

- [1] Ken Matsuda, et al., "Dielectric Breakdown of a Ceramic-Epoxy Resin Interface on a High Voltage Ceramic Capacitor," Proc. 21st Symposium on Electrical Insulation Material, pp. 307-310, (1988)
- [2] Hideo Akagami, et al., "Characteristics of AC Breakdown Voltage of high-Voltage Ceramic Condensers," Electrical Engineering in Japan, Vol. 110, No. 3, pp. 1-10, (1990)
- [3] J. M. Runge-Marchese, "Analysis and Characterization of interfacial Failures," Proc. 7th Electronic Materials and Proceeding Congress, pp. 23-29, (1992)
- [4] Liu Bin, et al., "Distribution Regularity of Breakdown Field Strength of High Voltage Ceramic Capacitor," Proc. 6th International Conf Properties and Applications of Dielectric Materials, pp. 1037-1040, (2000)
- [5] W. A. Schulze, et al., "Degradation of BaTiO₃ Ceramic Under High ac Electric Field," Journal of The American Ceramic Society, Vol. 63, pp. 83-87, (1980)

- [6] P. McCluskey, et al., "Reliability Assessment of Electronic Components Exposed to Long-Term Non-Operating Conditions," *IEEE Trans-CPMT-Part A*, Vol. 21, No. 2, pp. 352-360, (1998)
- [7] J. W. Evans and J. Y. Evans, *Product Integrity and Reliability in Design*, Springer, pp. 312-337, (2001)
- [8] J. W. Evans, et al., "Monte Carlo Simulation of BGA Failure Distribution for Virtual Qualification," *ASME Advances in Electronic Packaging*, Vol. 2, pp. 1191-1201, (1999)
- [9] J. W. Evans, et al., "Thermomechanical Failures in Microelectronic Interconnects," *Microelectronics Reliability*, Vol. 38, No. 4, pp. 523-529, (1998)
- [10] Lloyd, et al., "Comparison of Plastic and Hermetic Microcircuits Under Temperature Cycling and Temperature Humidity Bias," *IEEE Trans-CHMT*, Vol. 15, No. 5, pp. 640-650, (1992)
- [11] H. Domingos et al., "Breakdown in Ceramic Capacitors Under Pulsed High Voltage Stress," *Proc of the Electronics Components Conf*, pp. 199-203, (1979)
- [12] K. C. Kapur and L. R. Lamberson, *Reliability in Engineering Design*, John Wiley & Sons (New York, 1977), pp. 122-163
- [13] Patrick D. T. O'Connor, *Practical Reliability Engineering*, John Wiley & Sons (New York, 1992), pp. 95-109
- [14] Balbir S. Dhillon, "Mechanical Reliability: Interference Theory Model," *Proc Annual Reliability and Maintainability Symposium*, pp. 462-467, (1980)
- [15] NASA, "Capacitor Technologies, Applications and Reliability," *NASA Conference Publication 2186*, pp. 131-148, (1981)
- [16] M. Pecht, "Why the Traditional Reliability Prediction Models Do Not Work-Is There an Alternatives?" *Electronics Cooling*, Vol. 2, pp. 10-17, (1996)
- [17] K. Horie, et al., "Calorimetric Investigation of Polymerization Reaction. III. Curing Reaction of Epoxides with Amines," *Journal of Polymer Science-Part A-1*, Vol. 8, pp. 1357-1372, (1970)
- [18] 三根 久, 故障をゼロにする信頼性技術, *日科技連*, pp. 133~136, (1990)
- [19] Z.Q. Jiang et al., "Thermal Stresses in Layered Electronic Assemblies," *ASME Journal of Electronic Packaging*, Vol. 119, pp. 127-132, (1997)
- [20] J.M. Hu et al., "Role of Failure-Mechanism Identification in Accelerated Testing," *Journal of the IES*, pp. 39-45, (1993)
- [21] Robert Gerson and Thomas C. Marshall, "Dielectric Breakdown of Porous Ceramic," *Journal of Applied Physics*, Vol. 30, No 11, pp. 1650-1654, (1959)
- [22] R.W. Rice and R.C. Pohanka, "Grain-Size Dependence of Spontaneous Cracking in Ceramic," *Journal of The American Ceramic Society*, Vol. 62, pp. 559-563, (1979)
- [23] R.C. Buchnan, *Ceramic Materials for Electronics*, Marcel Dekker(New York, 1986), pp. 31
- [24] J.W. Burgess, et al., "On the Damage to Metallized Film Capacitors Caused by Electrical Discharge," *Electrocomponents Science and Technology*, Vol. 2, pp. 201-208, (1975)
- [25] B.C. Shin and H.G. Kim, "Dielectric Breakdown and Partial Discharge in BaTiO₃ Ceramics: Effect of Pore Size Distribution," *Ferroelectrics*, Vol. 89, pp. 81-86, (1989)