

論文2001-38SD-12-7

일반적인 연결선 구조의 해석을 위한 효율적인 행렬-벡터 곱 알고리즘

(An Efficient Matrix-Vector Product Algorithm for the Analysis of General Interconnect Structures)

鄭承鎬*, 白宗欽**, 金竣熙***, 金錫潤***

(Seung-Ho Jung, Jong-Humn Baek, Joon-Hee Kim, and Seok-Yoon Kim)

요약

본 논문은 이상적인 균일한 무손실 유전체를 갖는 일반적인 3차원 연결선 구조에서의 커패시턴스 추출 시, 널리 사용되는 일차 대조법(First-order collocation) 외에 고차 구적법을 결합하여 사용함으로써 정확성을 제고하고, 반복적 행렬-벡터의 곱을 효율적으로 수행하기 위한 알고리즘을 제안한다. 제안된 기법은 연결선에서 전기적 성질이 집중되어 있는 코너나 비아를 포함한 경우에 일차 대조법 대신에 구적법을 이용하여 고차로 근사함으로써 정확성을 보장한다. 또한, 이 기법은 경계 요소 기법에서 행렬의 대부분이 수치적으로 저차 계수(low rank)를 이룬다는 회로상의 전자기적 성질을 이용하여 모형차수를 축소함으로써 효율성을 증진한다. 이 기법은 SVD(Singular Value Decomposition)에 기반한 저차 계수 행렬 축소 기법과 신속한 행렬의 곱셈 연산을 위한 Krylov-subspace 차수 축소 기법인 Gram-Schmidt 알고리즘을 도입함으로써 효율적인 연산을 수행할 수 있다. 제안된 방법은 허용 오차 범위 내에서 효율적으로 행렬-벡터의 곱셈을 수행하며, 이를 기존의 연구에서 제시된 기법과의 성능 평가를 통하여 보인다.

Abstract

This paper proposes an algorithm for the capacitance extraction of general 3-dimensional conductors in an ideal uniform dielectric that uses a high-order quadrature approximation method combined with the typical first-order collocation method to enhance the accuracy and adopts an efficient matrix-vector product algorithm for the model-order reduction to achieve efficiency. The proposed method enhances the accuracy using the quadrature method for interconnects containing corners and vias that concentrate the charge density. It also achieves the efficiency by reducing the model order using the fact that large parts of system matrices are of numerically low rank. This technique combines an SVD-based algorithm for the compression of rank-deficient matrices and Gram-Schmidt algorithm of a Krylov-subspace iterative technique for the rapid multiplication of matrices. It is shown through the performance evaluation procedure that the combination of these two techniques leads to a more efficient algorithm than Gaussian elimination or other standard iterative schemes within a given error tolerance.

* 正會員, 三星電子 半導體研究所

(CAE team, Semiconductor R & D Division, Semiconductor Business, Samsung Electronics Co., LTD.)

** 正會員, 三星電子 컴퓨터시스템 事業部

(Computer System Division, Samsung Electronics Co., LTD.)

*** 正會員, 崇實大學校 大學院 컴퓨터學科

(Soongsil Univ. Dept. of Computing.)

※ 이 논문은 1999년도 한국학술진흥재단의 연구비에 의하여 지원되었음(KRF-99-041-E00239)

接受日字:2000年12月19日, 수정완료일:2001年11月7日

I. 서 론

반도체 제조 기술의 발달에 힘입어 회로가 고집적, 고속화되어감에 따라 정확한 회로의 검증만이 요구되는 칩의 성능을 충족시키게 되었다. 이때, 회로의 검증에 앞서 물리적인 형태의 레이아웃을 회로의 검증을 위해 전기적 특성의 회로 소자들로 추출하는 작업이 중요하게 되었다. 회로 내 소자들의 크기가 줄어들고 이로 인해 물리적인 변동이 실제 회로의 성능에 민감하게 대응되어 보다 정확한 추출만이 완성된 설계의 정확한 검증을 가능하게 해주고, 결과적으로 칩의 정확한 동작을 보장해 줄 수 있기 때문이다. 이때, 커패시턴스의 값을 정확하게 추출하여 모형화하는 연구들이 최근에 많이 진행되고 있다. Sakurai의 실험적인 결과로 얻어진 수식^[1]을 이용한 추출 방법부터 라이브러리를 사용한 값의 추출^[2]까지 다양한 방법이 모색되고 있다. 또한, 보다 빠르고 정확한 추출을 위해 수학적 기법이 사용되고 있다. 이러한 기법에는 유한 차분법(Finite difference method), 유한 요소법(Finite element method), 경계 요소법(Boundary element method), 다극자 알고리즘(Multipole algorithm)등의 기법이 널리 사용되고 있다.

주어진 시스템의 커패시턴스를 구하기 위해서는 $p=P \cdot q$ 의 선형시스템에서 전위 계수 행렬 P 를 풀어야 하는데, 이를 위한 전형적인 수학적 기법은 가우시안 소거법(Gaussian elimination)이나 Cholesky 분해를 사용하는 것이다. 하지만 이 방법은 도체 하나당 n 개의 패널(panel)로 분할한다고 할 때, $O(n^3)$ 의 시간 복잡도를 필요로 하기 때문에 보다 효율적인 수학적 기법이 요구된다. 따라서, 행렬을 효율적으로 계산하기 위해 GCR(Generalized Conjugate Residual) 알고리즘을 사용하여 도체의 수가 m 일 때, 시간 복잡도를 $O(mn^2)$ 로 줄이는 알고리즘이 GMRES^[3]에 소개되어 있으며, Spherical harmonics^[4]의 개념 및 전위의 지역성 개념을 이용한 다극자 확장(Multipole Expansion) 알고리즘과 GCR 알고리즘을 함께 사용하여 시간 복잡도를 $O(mn)$ 로 줄이는 알고리즘이 FastCap^[5]에 소개되었다. 이는 다극자-가속 경계 요소 기법(Multipole-accelerated BEM)^[6]으로서 복잡한 구조에 대한 효과적인 해석 방법으로 소개되었지만, 방사 형태의 개방된 영역에서 경계 조건을 결정하기에 어려운 문제가 있

며 상당한 메모리가 요구되는 단점이 있다. 또한, FastCap에서는 일차 대조법(First-order collocation)^[5,7]이나 Galerkin 방법^[8]이 사용되었지만, 이는 수학적 문제의 간략화를 위해 전하밀도가 균일 분포이거나 선형 분포이어야 한다는 가정 하에서 사용되었기 때문에 모서리(corner)나 비아(via)를 포함하는 일반적인 구조에 대해서는 커패시턴스 추출 시 정확성에 대한 보장이 미흡했다. 왜냐하면, 이러한 연결선의 경우에는 전하가 밀집되어 있는 전자기적 성질이 있기 때문에 위와 같은 가정 하에서의 수학적 해석은 커패시턴스 값의 추출 시 허용할 수 있는 오차 범위를 초과할 수 있게 된다.

본 논문에서 제시하는 방법은 이러한 연결선의 다양한 조건을 만족시키기 위해 고차 구적법(High-order quadrature method)^[9]을 통해 적분식을 만들어 유한 시스템을 효과적으로 축소하는 방법이다. 이는 단지 전하 부근에서만 세부적인 구적 분할을 허용함으로써 효율적으로 커패시턴스 값을 계산하는 것이다. 이러한 접근 방법은 매우 적은 비용으로 구적 분할을 할 수 있으며, 매우 빠른 수렴을 보장할 수 있는 장점이 있다. 또한, 본 논문에서는 제안한 고차 구적법에 추가하여 SVD(Singular Value Decomposition)에 기반한 행렬 압축 기법을 결합함으로써 기존의 일차 대조법과 비교 시 동일한 행렬의 크기를 가질 때 보다 정확한 값을 얻을 수 있으며, 동일한 정확성을 보장하는 범위에서는 보다 작은 크기의 행렬로 축소 연산이 가능함을 보인다.

본 논문의 구성은 다음과 같다. II장에서는 연결선의 커패시턴스 추출 기법에 대한 소개를 하고 III장에서는 일반적인 연결선 구조를 위한 구적법을 제안한다. IV장에서는 효율적인 행렬-벡터 곱셈을 위한 알고리즘을 제안하고, V장에서는 분할을 통한 연산 속도의 향상 방법을 제안하여 VI장에서는 제안한 알고리즘에 대한 실험 결과를 보인다. VII장에서의 결론을 끝으로 논문을 마친다.

II. 연결선의 커패시턴스 추출 기법

일반적으로 커패시턴스 값은 시스템의 도체가 이상적이라는 가정과 도체 사이 유전체의 유전율이 구역별로 상수(piecewise constant) 값을 갖는다는 가정을 통해서 구해진다. 이러한 가정 하에서 시스템에 존재하

는 도체의 상호 및 자체 커패시턴스 값을 구하기 위해 전하가 없는 유전체 영역(charge-free region)에 대한 도체의 전위를 경계 조건으로 하는 라플라스 방정식을 풀어야 한다^[10].

라플라스 방정식을 풀기 위한 경계 요소 기법^[11,12]은 전하가 주로 도체의 표면에 존재한다는 사실을 이용한 것으로서, 모든 도체의 표면을 n 개의 작은 2차원 패널(panel)로 분할한 다음, i 번째 패널에 q_i 만큼의 전하가 고르게(또는 선형적으로) 분포한다고 가정한다. 다음으로 라플라스 함수와 그린 함수(Green's function)를 이용하여 각 패널의 전하가 패널의 전위에 미치는 영향을 모두 더하여 그 값이 패널의 주어진 전위와 같다고 놓는다. 이러한 방법을 사용하면, n 개의 패널 전위 집합과 n 개의 패널 전하량과 관계된 $n \times n$ 전위 계수(potential coefficients) 행렬 P 가 생성된다. 각 패널의 전위는 도체의 전위가 주어져 있으므로 알 수 있고, 전위 계수 행렬 P 또한 시스템의 기하 구조로부터 구할 수 있는 값이므로, 이 관계식을 풀면 각 패널에서의 전하량을 구할 수 있다. 각 패널에서의 전하량을 구했으면, 각 도체에 속하는 패널들의 전하량을 더함으로써 도체 상호 간의 커패시턴스 행렬 C 를 구할 수 있다.

즉, 도체의 표면은 등전위면을 형성하므로 기하 구조와 전위가 주어진 도체의 표면 전하 밀도를 알기 위해서는 다음의 적분 방정식을 풀어야 한다.

$$\phi(x) = \int_{\text{all conductor}} G(x, x') \sigma(x') dx' \quad (2.1)$$

여기에서 ϕ 는 도체의 전위, σ 는 전하가 분포하는 도체 상의 점 x' 에서의 전하 밀도 함수, dx' 은 적분 표면적의 증가분, 그리고 $G(x, x')$ 은 자유 공간에서 $1/\|x-x'\|$ 으로 표현되는 그린 함수이다.

도체의 표면 전하에 관한 시스템 방정식을 세우는 가장 전형적인 방법은 일차 대조법이나 Galerkin 방법이다. 이 방법들은 자유 공간상의 도체 표면을 분할한 n 개의 2차원 패널에 대해서, 임의의 i 번째 패널 중심의 전위와 모든 패널의 전하 분포가 i 번째 패널의 중심 전위에 미치는 영향에 대한 관계식을 세운다.

$$\phi(x_i) = \sum_{j=1}^n \left(\int_{\tau_j} \frac{\sigma(x_j)}{\|x_i - x_j\|} dx' \right) \quad (2.2)$$

여기서 x_i 는 i 번째 패널 중심, x_j 는 j 번째 패널

상의 위치, $\phi(x_i)$ 는 i 번째 패널 중심의 전위, $\sigma(x_j)$ 는 j 번째 패널 상의 표면 전하 밀도이다.

식 (2.2)를 n 개의 패널에 대해 적용하여 패널 n 개의 각 전위에 대한 전위 계수 행렬을 P 라고 하면 다음의 식이 성립한다.

$$p = P \cdot q \quad (2.3)$$

이때,

$$P \in R^{n \times n}, \quad q, p \in R^n$$

이고 q 와 p 는 도체의 전하와 전위 벡터들(\hat{p}, \hat{q})이 아니라 패널 전하와 전위 벡터들임을 주의하여야 한다. 식 (2.3)은 주어진 패널의 전위로부터 패널의 전하량을 구하는 식이다.

III. 일반적인 연결선 구조를 위한 구적법

기존의 일차 대조법은 그림 1에서 보는 바와 같이 모서리나 비아를 포함하는 일반적인 연결선 구조에서는 수식 전개 시 정확히 모형화 할 수 없게 되어 커패시턴스 추출 시 정확성에 영향을 주게 된다. 따라서, 모서리나 비아를 포함하는 일반적인 연결선 구조에서 커패시턴스 추출 시 일차 대조법의 부정확성을 보완하기 위해서 보다 섬세한 분할이 필요하고 이를 위한 고차 구적법이 요구된다.

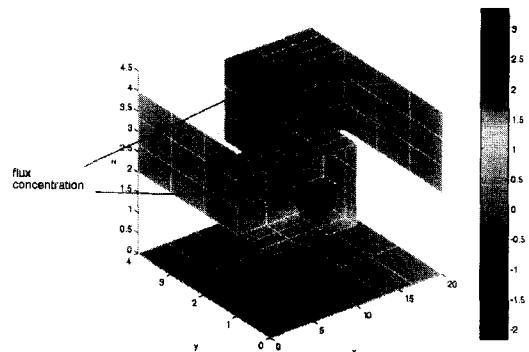


그림 1. 코너를 포함하는 연결선에서의 전속 집중 예
Fig. 1. Example of electric flux concentration in interconnect including corners.

1. 고차 구적법

고차 구적법으로 사용되는 Nystrom 방법^[9]은 공간 R

에서의 선택된 점 $\{x_1, x_2, \dots, x_n\}$ 에 대하여 함수 σ 와 ϕ 에 관한 적분식

$$\phi(x) = \int_R G(x, x') \sigma(x') dx' \quad (3.1)$$

을 구적에 관한 적분식

$$Q(f) = \sum_{j=1}^k w_j f(x_j) \quad (3.2)$$

으로 대체하는 것이며, x_j 는 구적 노드들이고 w_j 는 가중치이다.

오차는

$$\int_R f(x) dx = Q(f) + E(f) \quad (3.3)$$

로 주어지며, $E(f)$ 는 구적 또는 절단(truncation) 오차이다. 이러한 방법을 사용함으로써 한정된 임의의 점들에서 함수 f 를 근사할 수 있다. 각각의 점 x_i 에 대해서 구적법에 의해 적분식으로 표현하면,

$$\sum_{j=1}^n w_{ij} G(x_i, x_j) \sigma(x_j) = \phi(x_i), \quad i=1, \dots, n. \quad (3.4)$$

의 선형시스템이 된다.

2. 일반적인 연결선 구조의 모형을 위한 구적법

커패시턴스를 추출하기 위한 전형적인 방법은 3차 공간 R^3 에 대해 2차원의 사각형의 패널로 분할하는 경우와 삼각형 T_k 들의 메쉬 구조로 표현하는 방법이 있다. 본 절에서는 모서리나 비아를 포함하는 연결선에 대해 구적법을 적용하기 위해 삼각형들의 메쉬 구조로 모형을 하고 R 은 모든 삼각형들의 집합이며 편의상 삼각형은 $x-y$ 평면상에 놓여있다고 가정한다. 이때, 일반적인 가우시안 구적법과 특수한 고차 구적법을 결합하기 위해서, 분할된 삼각형 T_k 는 그림 3과 같이 두 가지 유형으로 나눠서 다룬다.

1. 만일 주어진 점 x 이 T_k 로부터 $|x - x'| > c$ 이면, 일반적인 가우시안 구적법을 사용^[13].
2. 주어진 점 x 이 T_k 로부터 $|x - x'| \leq c$ 이면, 특수한 고차 구적법을 사용.

이 때 x' 는 분할된 삼각형 T_k 의 중심 좌표이다. 그림 3-2에서 검은 점은 일반적인 가우시안 구적법을 적용하는 경우이고, 하얀 점은 특수한 고차 구적법이 필

요한 경우이다. 본 절에서는 관심 있는 두 번째 경우에 대해서 다루고자 한다.

주어진 x 이 T_k 로부터 $|x - x'| \leq c$ 인 경우에 대해서는 전자기적 성질이 집중되어 있는 상황이므로 보다 더 정확하게 모형화 하여야 한다.

먼저 미지의 가중치(weighting) $\{v_1^k, v_2^k, \dots, v_p^k\}$ 를 가지는 선형 시스템을 구성한다.

$$a_{ij} = G(x, x_j^k) \psi_i^k(x_j^k), \quad i, j=1, \dots, p \quad (3.5)$$

각각의 기저 함수와 가중치를 결합하면

$$\sum_{j=1}^p a_{ij} v_j^k = \int_{T_k} G(x, x') \psi_i^k(x') dx', \quad (3.6)$$

가 된다. 가중치 v_j^k 는 $p \times p$ 행렬 a_{ij} 의 LU 분해로 얻을 수 있으며 그런 함수를 포함하는 기저 함수와의 선형 결합으로 이루어진다. 이때, $|x - x'| \leq c$ 인 경우 주위의 소수의 삼각형 패널로 구성되므로 가중치의 크기는 크지 않다.

따라서, 주어진 점으로부터 근접($|x - x'| \leq c$)인 경우와 원점($|x - x'| > c$)인 경우를 결합하여 수식을 형성하면

$$\sum_{near T_k} \sum_{i=1}^p v_i^k G(x, x_i^k) + \sum_{far T_k} \sum_{i=1}^p w_i^k G(x, x_i^k) \quad (3.7)$$

로 두 가지 경우에 대하여 구성할 수 있다.

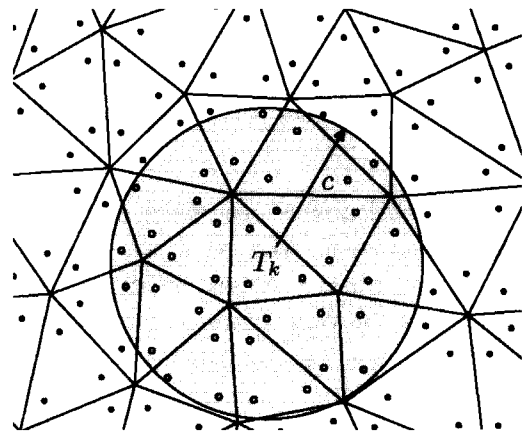


그림 2. 삼각형 패널에 대한 두 가지 구적법의 적용 예
Fig. 2. Example of applying two quadrature approximations on triangular panel.

IV. 효율적인 행렬-벡터 곱셈을 위한 알고리즘

앞장에서 커패시턴스를 구하기 위한 수식에서 설명한 $p=P \cdot q$ 꼴의 선형시스템을 계산하기 위한 방법으로 소개되어진 가우시안 소거법은 $O(n^3)$ 의 메모리 저장과 $O(n^3)$ 의 시간 복잡도가 요구되므로 현재의 반도체 개발 시에 요구되어지는 긴박한 time-to-market 상황에서는 적용하는 것이 불가능하므로 효율적인 수학적 방법이 요구된다. 이를 수학적 방법으로 공식화하기 위해 3차원 구조의 연결선이 갖는 전자기적 성질을 이용하는 것이 필요하다.

1. 전자기적 성질을 이용한 저차 계수 행렬의 구성

그림 3-2에서 보는 것처럼 연결선을 일정한 기준으로 의해서 삼각형 패널로 나누고 어떤 특정한 점 전하를 소스 노드로 하여 각각의 패널에 대한 커패시턴스의 값을 추출 할 때 $p=P \cdot q$ 의 선형 시스템을 계산하여야 한다. 이를 직접 곱셈을 수행하게 되면 $O(n^2)$ 의 시간 복잡도가 요구되지만, c 가 매우 큰 경우, 즉 두 집합들간의 거리가 먼 경우에 대해서는 상호 커패시턴스의 영향을 무시할 수 있으므로 커패시턴스의 값을 추출하기 위한 행렬을 구성할 때 구분된 범위에 대해서만 원소의 값이 존재하는 sparse 행렬의 형태로 구성할 수 있다. 또한, 소스 노드 주위의 점 전하에 대해서도 유사한 영향을 가지게 되므로 행렬 P 열들은 거의 선형 종속(linearly independent) 관계에 있게 된다. 이러한 sparse 행렬의 수치적 계수(rank)는 n 의 개수보다 훨씬 적게 나타나게 된다. 이를 바탕으로 선형 종속 관계에 있는 열들의 개수가 많아지는 원리를 이용하여 저차 계수를 가지는 rank-deficient 행렬을 SVD^[14]를 통해 축소하여 근사할 수 있다.

2. SVD에 의한 rank-deficient 행렬의 근사화

주어진 $n \times n$ 행렬 A 는 $n \times n$ 열 직교(column orthogonal) 행렬 U 와 양수이거나 영 원소들(singular values)의 $n \times n$ 대각행렬 S , 그리고 $n \times n$ 직교행렬의 전치행렬인 V^T 의 곱으로 표현된다.

$$A = U \begin{bmatrix} s^1 & & & \\ & s^2 & & \\ & & \dots & \\ & & & \dots \\ & & & & s^n \end{bmatrix} V^T \quad (4.1)$$

이때, $U \cdot U^T = V \cdot V^T = I$ 이며 I 는 단위 행렬(identity matrix)이다.

계수 r 을 가지는 $n \times n$ 행렬 A 는 가중치 요소인 특이치 s_k 를 가지는 U 와 V^T 의 행들의 외적의 합으로 근사할 수 있다.

$$A_{ij} = \sum_{k=1}^r s_k U_{ik} V_{jk} \quad (4.2)$$

가령, 주어진 행렬에 대해서 SVD를 수행하게 되면 계수의 수만큼 상대적으로 값이 매우 큰 특이치와 나머지 영에 가까운 특이치가 나오게 된다. 이들 중 가장 큰 계수의 수만큼을 제외한 나머지 값들은 영으로 한다. 따라서, 특이행렬에서 SVD를 이용하여 영공간과 치역의 개념을 통한 직교 기저들(bases)을 구성하게 된다. 특히, S 의 s_j 와 동수의 영이 아닌 원소를 가지는 행렬 U 의 열들은 치역을 생성(span)하는 기저 벡터의 직교집합이 되고 S 의 s_j 와 동수의 영 원소를 가지는 행렬 V 의 열들은 영공간에 대하여 직교 기저를 이룬다.

즉, $A \cdot \bar{x} = b$ 의 일반화된 꼴에서 벡터 b 가 A 의 치역에 포함되면 특이해의 집합은 \bar{x} 를 해로 가진다. 왜냐하면 영공간에 있는 임의의 벡터는 선형 결합(linear combination)을 통해 표현할 수 있기 때문이다. 또한 벡터 b 가 A 의 치역에 포함되지 않으면 해는 없게 된다. 하지만 $r = |A \cdot \bar{x} - b|$ 을 최소화하는 근사화된 해 \bar{x} 를 얻을 수 있다. 그림 4-1에서 이에 대한 도식적인 설명을 하였다. (a)에서는 비특이 행렬 A 가 같은 차원의 벡터 공간에 사상(map)되는 경우로서 벡터 \bar{x} 는 $A \cdot \bar{x} = b$ 를 만족하는 벡터 b 에 사상이 되는 것을 도식화하고 (b)에서는 특이행렬 A 가 차원보다 작은 벡터 공간에 사상된다. 즉, $A \cdot \bar{x} = d$ 의 해들은 영 공간과 평행한 벡터 공간에서 영에 가장 근접한 해를 찾아서 치역을 구성한다.

SVD는 이러한 값을 찾아내서 치역을 벗어나는 c 점에서 $A \cdot \bar{x} = c$ 의 해를 보간한다. 따라서, sparse 행렬의 저차 계수의 성질을 이용하면 약간의 U 와 V 의 열(columns)로써 식 (4.2)과 같이 근사할 수 있으며 행렬의 계수가 차원보다 훨씬 작은 경우 ($r \ll n$)에 보다 효율적으로 연산 속도를 개선할 수 있다. 이와 같이 SVD를 사용하면 특이치나 특이치 벡터에 대해 다루기가 편해지며 계수 줄이기와 정규화 방법을 도입하기에 용

이하므로 $O(n^2)$ 대신 $O(2nr)$ 의 시간 복잡도로 계수 r 을 가지는 행렬 A 와 벡터와의 곱을 수행할 수 있다.

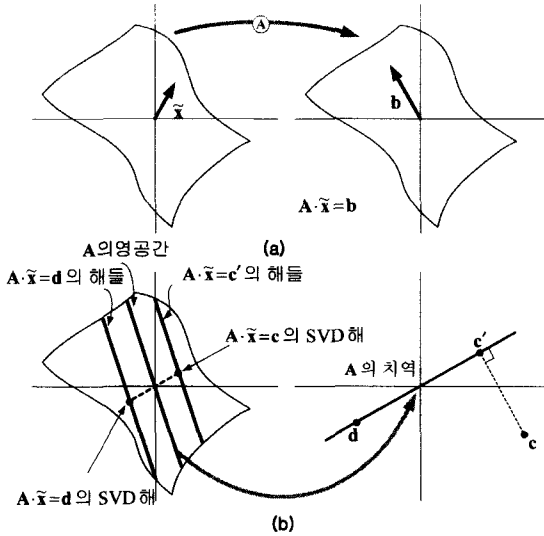


그림 3. SVD의 도식화 (a) 사상 (b) 치역을 통한 보간
Fig. 3. Scheme of SVD (a) mapping (b) interpolation through range.

V. 분할을 통한 연산 속도의 향상

앞 장에서 설명한 저차 계수 행렬에 대한 SVD 방법을 보다 더 개선하기 위해서 행렬을 분할하여 하부 행렬로 만들게 되면 보다 저차 계수 행렬이 생성될 수 있는 확률이 커지게 되고, 각각의 저차 계수 하부 행렬에 대해서 SVD에 기반한 행렬-벡터의 곱 (식 (4.2))을 통해서 전체적인 행렬-벡터의 곱을 줄일 수 있다. 이는 원래의 행렬이 완전 차수 계수(full rank) 행렬이라 할 지라도 분할을 하게 됨으로써 훨씬 효율적인 연산을 할 수 있음을 의미한다.

행렬 A의 UV 분해는 먼저 pivoted Gram-Schmidt 알고리즘^[14]을 통해서 행렬 A의 열 공간을 생성(span)하는 $n \times r$ 직교 행렬 U를 계산하고, 행렬 A에 대해 U^T 을 사영(projection)함으로써 V를 얻을 수 있다.

$$A = U \cdot V^T \tag{5.1}$$

따라서, 식 (5.1)에서 계수 r 을 가지는 $n \times n$ 행렬 A는 둘 중 하나가 직교하는 $n \times r$ 행렬들로 분해된다.

1. 저차 계수 행렬의 효율적인 직교 분해

계수 r 을 가지는 $n \times n$ 행렬 A는 계수 r_1, r_2, r_3, r_4 를 가지는 $n/2 \times n/2$ 하부행렬 A_1, A_2, A_3, A_4 4개로 분할한다. 이때, A를 부모 행렬, 각각의 A_1, A_2, A_3, A_4 하부행렬을 자식 행렬이라고 하자. 각 자식 행렬에 대해서는 UV 분해를 수행하면

$$A_i = U_i \cdot V_i^T \tag{5.2}$$

이며, V_i 는 직교 행렬 ($i=1, \dots, 4$)이다.

최종적으로 부모 행렬의 직교 UV 분해는 각각의 자식행렬들의 직교 UV 분해를 합병(merge)함으로써 얻을 수 있다.

알고리즘 5.1 : 합병(merging) 알고리즘

Step. 1 : {자식 행렬 A_1 과 A_2 에 대한 수평 합병 (horizontally merging)}

$n/2 \times (r_1 + r_2)$ 행렬 $X=[U_1 U_2]$ 구성

이는 Gram-Schmidt Algorithm을 이용하여 계수 r_{12} 를 가지는 X에 대한 $n/2 \times r_{12}$ 부분공간(subspace) 직교 행렬 U_{12} 를 얻는다.

$r_{12} \times n/2$ 행렬 $V_{12}^T = U_{12}^T \cdot [U_1 \cdot V_1^T \ U_2 \cdot V_2^T]$ 를 계산하면 $[A_1 \ A_2] = U_{12} \cdot V_{12}^T = A_{12}$ 로 합병된다.

Step. 2 : {자식 행렬 A_3 과 A_4 에 대한 수평 합병 (horizontally merge)}

$n/2 \times (r_3 + r_4)$ 행렬 $X=[U_3 \ U_4]$ 구성

이는 Gram-Schmidt Algorithm을 이용하여 계수 r_{34} 를 가지는 Y에 대한 $n/2 \times r_{34}$ 부분공간 직교 행렬 U_{34} 를 얻는다.

$r_{34} \times n/2$ 행렬 $V_{34}^T = U_{34}^T \cdot [U_3 \cdot V_3^T \ U_4 \cdot V_4^T]$ 를 계산하면 $[A_3 \ A_4] = U_{34} \cdot V_{34}^T = A_{34}$ 로 합병된다.

Step. 3 : {중간 자식 행렬 A_{12} 와 A_{34} 에 대한 수직 합병 (vertically merge)}

$n \times \max(r_{12} + r_{34})$ 행렬 $Z=[V_{12} \ V_{34}]$ 구성

이는 Gram-Schmidt Algorithm을 이용하여 계수 r 을 가지는 Z에 대한 $n \times r$ 부분공간 직교 행렬 V를 얻는다.

$r \times n$ 행렬 $U=[U_{12} \cdot V_{12}^T \ U_{34} \cdot V_{34}^T]$ 를 계산

하면 $A=U \cdot V^T$ 로 최종적으로 합병된다.

따라서, 전체 알고리즘을 위한 시간 복잡도는 $O(nr^2)$ 이다. 만일, $n \times n$ 행렬 A 가 저차 계수를 가질 때 직접 Gram-Schmidt 알고리즘을 사용하여 UV 분해에 요구되는 시간 복잡도는 $O(n^2r)$ 이지만 합병 알고리즘을 사용해서 수행하게 되면 시간 복잡도는 $O(nr^2)$ 이다. 특히, 이는 ($r \ll n$) 일 때의 sparse 행렬에서는 더욱 효율적임을 알 수 있다.

2. 행렬의 분할 시의 최적 조건

주어진 행렬을 분할할 때 부모 행렬에서의 UV 분해와 자식 행렬에서의 UV 분해에 대한 최적 조건이 필요하다.

최적 조건 : 계수 r 을 가지는 $n \times n$ 부모 행렬 A 가 각각 계수가 r_1, r_2, r_3, r_4 인 $n/2 \times n/2$ 자식 행렬 A_1, A_2, A_3, A_4 로 분할된다. 이때 UV 분해를 통해 행렬-벡터 곱셈 시 부모 레벨에서 하는 것이 효율적인지, 자식 레벨에서 하는 것이 효율적인지의 기준은

$$r < \frac{1}{2}(r_1 + r_2 + r_3 + r_4) \quad (5.3)$$

이면 부모 레벨에서의 UV 분해가 보다 효율적이고 그렇지 않으면 자식 레벨에서의 UV 분해가 보다 효율적이다.

증명 : $n \times n$ 부모 행렬 A 에 대한 UV 분해의 시간 복잡도는 $O(nr)$ 이고 4개로 분할된 $n/4 \times n/4$ 자식 행렬에 대한 전체 UV 분해 시간 복잡도는 $O((n/2 \cdot r_1) + (n/2 \cdot r_2) + (n/2 \cdot r_3) + (n/2 \cdot r_4))$ 이므로 정리하면 $O(n/2(r_1 + r_2 + r_3 + r_4))$ 의 시간 복잡도를 가진다.

3. 효율적인 행렬-벡터의 곱셈 연산을 위한 알고리즘

효율적인 행렬-벡터의 곱셈 연산을 위해서 앞에서 설명했던 행렬의 분할을 트리 구조를 통해 계층적으로 적당한 단계(최적 조건 참조)까지 구성한 후, 두 가지 단계에 의해 곱셈 연산을 수행한다.

첫 번째 단계에서는 트리 구조의 말단(leave) 노드인 하부 행렬부터 UV 분해를 하여 행렬을 변환시키는 전

처리(Preprocess) 과정을 수행한다. 두 번째 단계에서는 말단 노드인 하부 행렬에서부터 전처리 단계에서 수행한 UV 분해를 SVD를 수행한 다음에 합병 알고리즘(알고리즘 5.1 참조)을 수행하여 부모 행렬로 복원한다.

알고리즘 5.2 빠른 행렬-벡터의 곱셈 연산을 위한 알고리즘

<전처리 단계>

Step. 1. : 입력 - 차원 n , 행렬 A , 허용오차 ϵ , 행렬의 차원 k_{base} 을 선택한다.

시간 복잡도 : $O(1)$.

Step. 2. : 하부 레벨에서의 A 분해 수행.

Gram Schmidt algorithm을 통해 하부 레벨인 $k=k_{base}$ 에서 모든 하부 행렬의 UV 분해를 수행한다.

시간 복잡도 : $O(n^2)$.

Step. 3. : 더 이상 자식 행렬을 가지는 않는 말단 행렬에서부터 UV 분해를 수행한다. 각각의 레벨 k 에서의 모든 적절한 하부 행렬의 UV 분해를 수행한다.

시간 복잡도 : $O(n^2)$.

Step. 4. : 현재의 레벨에서의 하부 행렬이 고차 계수인 경우 재분할 여부와 곱셈이 필요한지를 판단한다.

최적 조건의 기준에 의해

if

{자식 행렬의 레벨 $k_{base}/2$ 에서 행렬-벡터의 곱이 더 효율적이다.}

{ $k_{base}/2$ 레벨에서의 UV 분해 결과를 곱셈을 하기 위해 메모리에 저장한다.}

else

{다음 레벨에서 다시 재분할을 하기 위해 현재 단계의 UV 분해 결과를 저장한다.}

시간 복잡도 : $O(n)$.

Step. 5. : 재 순환 여부를 결정한다.

if

{ $k_{base}=n$ }

{현재의 상태에서 종료하고 UV 분해된 행렬을 리턴 한다}

else

(k_{base} 를 2kbase로 재 세팅하고 step 3에서 부터 step5를 재 수행한다
 시간 복잡도 : $O(n)$.

<곱셈 수행 단계>

Step. 6. : 순차적으로 곱셈(Multiplication) 수행

이전의 전처리 step(step 1 ~step 5)를 수행한 후 행렬은 순차적으로 UV분해되어 저장되고 저차 계수 하부 행렬은 UV분해에 의해서 빠른 곱셈을 수행하고 고차 계수 하부 행렬은 직접적으로 곱셈을 수행한다.
 시간 복잡도 $O(n \log n)$.

따라서 SVD를 효과적으로 수행하기 위한 전처리 단계에서의 초기 비용은 곱셈 수행 단계에서 $O(n \log n)$ 의 시간 복잡도로 연산 할 수 있으므로 보상받을 수 있다.

VI. 실험결과

본 장에서는 첫 번째 실험 결과로 주어진 $p = P \cdot q$ 꼴의 선형 시스템의 해를 얻기 위한 행렬-벡터 곱셈 연산 시간을 FastCap과 비교한다. 두 번째 실험 결과로 고차 구적법과 일차 대조법을 결합한 경우의 실험 결과를 FastCap과의 연산시간과 추출된 커패시턴스 값 측면에서 비교하여 성능 평가를 한다.

1. 행렬-벡터 곱 연산 시간의 비교

균일한 1×1 과 3×3 의 버스 교차(bus crossing)구조에 대해서 실험을 하였으며 이때 분할되는 삼각형 패널의 크기는 일정하게 하고 분할된 패널은 FastCap을 통해 얻어진 결과를 사용한다. $m \times n$ 행렬 A의 차원이 n 이고 계수가 r 일 때 FastCap의 GCR 알고리즘과 허용할 수 있는 오차 범위 내에서 본 논문에서 제시한 UV 분해를 이용했을 때의 연산 시간에 대한 실험 결과를 비교한다. 절대 기준 값은 Ansoft사의 Maxwell^[15]을 사용하여 얻은 커패시턴스 값과 비교한다. 오차는 $\|C_{Maxwell[15]} - C_{each\ method}\| / \|C_{Maxwell[15]}\|$ 로 정의한다.

표 1에서 보는 것처럼 패널의 개수가 많아지면 행렬의 크기가 커짐으로 전기적 성질이 적극 반영되어 저차 계수 행렬이 구성될 확률이 높다. 따라서, 제안된 방법이 기존의 방법보다 허용 오차 범위 내에서 연산시

간을 비교할 때 훨씬 효과적임을 알 수 있다. 표 2에서는 3×3 버스 교차 구조를 가지는 경우에서 첫 번째 컨덕터에서의 커패시턴스의 값을 나타내었으며 FastCap과 비교할 때 표1에서 보는 것처럼 허용 오차 범위 내에서 커패시턴스를 추출해낼 수 있음을 보인다.

표 1. 회로에서 추출한 임의의 차원을 가지는 커패시턴스 행렬에서의 연산시간을 통한 성능 비교 (단위: 초)

Table 1. Performance comparison for matrix with random dimension.

연결선 구조 예	제안된 방법		FastCap	평균 오차
	패널의 개수	연산시간	연산시간	
1×1 버스 교차구조	512개	8.6	12.5	0.24%
	1024개	18.9	49.7	0.22%
	2048개	29.8	152.3	0.18%
3×3 버스 교차구조	512개	47.9	69.2	0.63%
	1024개	98.2	240.4	0.43%
	2048개	138.1	628.1	0.39%

표 2. 3×3 버스 교차 구조를 가지는 경우에서 첫 번째 컨덕터에서의 커패시턴스의 값을 통한 성능 비교 (단위: [F])

Table 2. Performance comparison by capacitance values at the first conductor for 3×3 cross at bus structure.

컨덕터 1에서의 커패시턴스	제안된 방법	FastCap
C11	8.3921e-10	8.3893e-10
C12	-2.3473e-11	-2.2983e-11
C13	-0.3297e-11	-0.3309e-11
C14	-1.3594e-11	-1.2874e-11
C15	-1.1453e-11	-1.2073e-11
C16	-1.0342e-11	-1.0838e-11
Ctotal	7.7705e-10	7.76853e-10

2. 혼합 근사 기법과의 비교

두 번째 실험 결과로서 모서리를 포함하는 연결선에 대해서 1차 근사와 3차 구적법을 결합해서 근사했을 경우의 실험 결과와 일차 근사에 해당하는 FastCap과의 비교를 아래 표 3에 나타내었다 (오차는 Maxwell에 대한 상대 오차임). 이때, 표 3에는 FEM방식을 사용하는 Maxwell 도구는 수 시간의 연산시간이 요구되므로

표 3. 모서리부분에서의 커패시턴스 추출 시 FastCap과 혼합(1차와 3차)근사 기법과의 성능 비교 (연산시간 단위: 초)

Table 3. Performance comparison of mixed approximation method to FastCap when extracting capacitances at the corners(operation time unit : seconds).

패널 개수	FastCap[5]			혼합 근사(1차와 3차)			Maxwell[15]
	연산시간	커패시턴스	오차	연산시간	커패시턴스	오차	커패시턴스
1000	614.6	1.5912e-11	5.98%	281.4	1.636e-11	3.31%	1.6924e-11
2000	2893.3	1.6478e-11	4.25%	938.6	1.704e-11	2.65%	1.7209e-11
3000	7831.5	1.6915e-11	2.92%	2592.5	1.717e-11	1.42%	1.7424e-11
4000	15445.5	1.7344e-11	2.25%	3982.9	1.7543e-11	1.13%	1.7743e-11

연산시간은 표시하지 않았다.

위의 표 3에서의 커패시턴스 값은 자체 커패시턴스와 상호 커패시턴스 값의 합이다. 실험결과에서도 보듯이 주어진 삼각형 패널 T_k 에 대해 일정한 거리를 기준으로 두 가지 경우로 나뉘서 1차와 3차 구적법을 결합 사용 할 때 행렬 차수 축소 기법에 의해 연산 시간을 단축시킬 수 있으며, 오차 한계도 FastCap보다 두 배 가까이 줄어드는 것을 알 수 있다.

VII. 결론

회로가 고집적화, 고속화됨으로써 회로 내에서의 연결선 커패시턴스의 비중은 더욱 증대되었고, 이로 인한 영향은 회로의 성능과 신호의 충실성을 결정하는 중요한 요소가 되었다. 따라서 커패시턴스의 값을 정확히 예측하기 위한 다양한 수학적 기법들이 소개되었지만, 연결선에 대한 선형 함수를 계산하는데 있어서 직접적인 방법은 많은 연산시간을 필요로 하기 때문에 보다 빠르고 정확한 기법이 요구된다.

본 논문에서는 회로의 연결선에서의 커패시턴스의 값을 예측할 때, 전기적 성질을 이용하여 SVD에 기반한 행렬의 차수 축소 기법을 소개하였다. 제시된 기법은 허용 오차 범위 내에서 효과적인 행렬-벡터 곱셈을 하기 위한 고속 알고리즘으로 이전의 연구에서 제시된 기법과의 성능 평가 시 우수한 성능을 가진다.

또한, 전자기적 성질이 집중되어 있는 모서리나 비아를 포함하는 일반적인 연결선 구조에서 커패시턴스의 값을 예측할 때 정확한 근사를 위해 기존의 일차 대조법과 고차 구적법을 결합하여 사용함으로써 정확성을 높였으며, 이때의 연산 시간도 SVD 알고리즘을 적용함으로써 줄일 수 있었다. 특히, 각각의 단계에서 UV 분해

값들이 저장되어 재 사용되므로 많은 행렬-벡터의 곱을 수행 시 결과적으로는 이러한 부가적 비용을 보상 받을 수 있으며, 수많은 반복적 연산이 필요한 칩 전체의 커패시턴스 추출 과정에서 큰 성능향상을 보일 것으로 기대된다.

참고 문헌

- [1] T. Sakurai and K. Tamaru, "Simple formulas for two and three dimensional capacitance," *IEEE Trans. Electron Devices*, 1993.
- [2] Narain D. Llanda M. Richardson, "Modeling and extraction of interconnect capacitances for multilayer VLSI circuits," *IEEE Trans. Computer-Aided Design*, Vol. 15, pp. 58-67, January, 1996.
- [3] Y. Saad and M. H. Schultz, "GMRES: A generalized minimal residual algorithm for solving nonsymmetric linear systems," *SIAM J. Sci. Stat. Comput.*, Vol. 7, No. 3, pp. 856-869, July 1986.
- [4] J. D. Jackson, *Classical Electrodynamics*, New York: Willy, 1975.
- [5] Keith Nabors and Jacob White, "FastCap: A multipole Accelerated 3-D Capacitance Extraction Program," *IEEE Trans. on Computer-Aided Design*, Vol. 10, No. 11, Nov. 1991.
- [6] Keith Nabors and Jacob White, "Multipole-accelerated 3-D capacitance extraction algorithms for strutures with conformal

- dielectrics," *Proc. 29th DAC*, pp. 710-715, 1992.
- [7] S. Kapur and D. E. Long, "IES3 : A fast integral equation solver for efficient 3-dimensional extraction," *Proc. 1997 ICCAD*, 448-455.
- [8] X. Cai, K. Nabors, and Jacob White, "Efficient Galerkin techniques for multipole-accelerated capacitance extraction of 3-D structures with multiple dielectrics," In *Proceedings of the 16th Conference on Advanced Research in VLSI*, Chapel Hill, NC, March 1995.
- [9] S. G. Michlin, *Integral Equations and their Applications to Certain Problems in Mechanics, Mathematical Physics, and Technology*. Pergamon Press, New York, 1957.
- [10] S. V. Marshall, R. E. Dubroff, and G. G. Skitek, *Electromagnetic Concept and Applications*, 4th-edition, Prentice Hall International, Inc. 1996.
- [11] S. Rao, T. Sarkar, and R. Harrington, "The electrostatic field of conducting bodies in multiple dielectric media," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-32, pp. 1441-1448, Nov. 1984.
- [12] A. Ruehli and P. A. Brennan, "Efficient capacitance calculations for three-dimensional multiconductor systems," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-21, pp. 76-82, Feb. 1973.
- [13] A.H. Stroud. *Gaussian Quadrature Formulas*. Prentice-Hall, New York, 1966.
- [14] James W. Demmel, *Numerical Linear Algebra*, University of California Berkeley Press, 1996.
- [15] Ansoft, Inc, Santa Clara, CA. *Maxwell 3D Reference Manual*, 1999.

 저 자 소 개

鄭 承 鎬(正會員) 第 37 卷 SD編 第11號 參照

2001년 2월 숭실대학교 대학원 석사과정 졸업. 현재 삼성전자 반도체 연구소 CAE팀. 관심분야 : 신호 충실성, 신호 연결선 해석

白 宗 欽(正會員) 第 37 卷 SD編 第11號 參照

2001년 8월 숭실대학교 대학원 박사과정 졸업. 현재 삼성전자 컴퓨터 시스템 사업부



金 俊 熙(正會員)

1997년 2월 호서대학교 컴퓨터공학과 학사. 1999년 2월 숭실대학교 컴퓨터학과 석사. 1999년 3월~현재 숭실대학교 컴퓨터학과 박사과정. 주관심분야는 설계 자동화, VLSI 회로해석 및 설계

金 錫 潤(正會員) 第 37 卷 SD編 第11號 參照

현재 숭실대학교 컴퓨터학부 조교수