

論文2001-38SD-12-3

능동 MMIC mixer에 관한 연구

(A study for active MMIC)

金英起*, 白旻植*, 金赫*, 尹信榮*

(Young-Gi Kim, Kyoung-Sik Baek, Hyuk Kim, and Yoon Shin Young)

요 약

본 논문에서는 1.9 GHz대의 down converting 믹서를 능동 cascode 구조의 MMIC로 상용 설계 틀을 이용하고 일반적인 증폭기의 설계 방법을 응용한 시뮬레이션을 통하여 설계, 제작, 측정 및 분석하였다. 본 연구에서는 특히 능동 믹서의 설계과정 및 측정 결과를 자세히 기술하였다. 본 연구에서 사용된 능동소자는 Gate Length 0.5 μm , Gate Width 300 μm 인 GaAs MESFET이다. 개발된 회로는 3V의 전원의 7.5 mA의 전류를 소모하는 저전력소모의 MMIC 능동믹서로 변환 이득이 6.63 dB 이고 최저 잡음지수는 5.06 dB이며 Output 3rd Order Intercept Point는 6.4 dBm 이다. 제작된 칩의 크기는 가로 1.86 mm 세로 1.28 mm 이다.

Abstract

An active MMIC L-band down converting mixer was designed by using GaAs FET with 0.5 μm gate length and 300 μm gate width. Main circuit topology was cascoded two active FETs. It consumed only 7.5 mA with 3V DC voltage supply. Conversion gain of 6.63 dB, minimum noise figure of 5.06 dB and Input 3rd Order Intercept Point of 6.4 dBm were obtained. The chip size is 1.86 mm \times 1.28 mm.

I. 서 론

무선통신을 위한 초고주파 수신단을 구성할 때 능동 믹서를 사용할 경우 수동믹서에 발생하는 최소한 5~6 dB 정도의 변환 손실 대신에 변환 이득 5~6 dB 이상이 가능하고, 소요 면적이 적어서 MMIC로 제작이 용이하며, 우수한 isolation 특성을 얻을 수 있다. 능동믹서에서는 0 dBm 이하의 LO 신호전력으로도 우수한 변환 성능이 보장된다. 반면에 수동 믹서는 능동 믹서보다 inter-modulation 특성이 나은 것으로 보고되고 있다.^[1]

수동 다이오드 믹서를 사용할 경우 shot noise 를 줄이고, 충분한 변환이득을 얻기 위하여 17 dBm 정도까지의 큰 LO 신호전력을 가한다.^[2] 다이오드의 비선형 특성을 이용하여 수동믹서는 구성할 수 있는데, 다이오드의 직렬 저항, surface imperfection, 영상 전하, edge effects, tunneling등의 원하지 않는 특성으로 인하여 믹서로서의 사용이 제한되어 있다. 초고주파용 수동믹서에는 주로 Schottky 다이오드를 사용된다. Schottky 다이오드는 우수한 Schottky 접합을 위한 표면의 낮은 도핑 부분과 낮은 직렬 저항을 위한 높은 도핑의 부분으로 도핑 profile이 구성되어 있다. 여기서 역 바이어스에서 depletion영역을 충분히 유지하기 위하여는 낮은 도핑 부분의 길이가 충분히 길어야 한다. 그러나 직렬 저항을 줄이기 위하여는 이 낮은 도핑의 길이가 짧아야 한다.^[3] 이렇게 믹서의 최적 동작을 위하여는 요구 사양에 적합한 믹서의 최적 동작에 해당하는 doping profile이 필요

* 正會員, 安養大學校 情報通信工學科

(Department of Data Communication, Anyang Univ.)

※ 이 논문은 1999년도 안양대학교 학술연구비의 지원을 받아 연구되었음

接受日字:2001年7月25日, 수정완료일:2001年10月31日

하나 상용적으로 제공되는 MMIC 공정에서는 믹서를 위하여 별개의 doping profile을 기대하기 어렵다. 다이오드를 사용한 믹서의 잡음지수는 5~10 dB(SSB) 정도로 능동 믹서보다는 약간 저하 된다.^[4]

GaAs Metal Semiconductor Field Effect Transistor (MESFET)는 GaAs의 높은 전자의 이동도로 인하여 우수한 저잡음 특성을 가진 초고주파 회로에 적합한 소자이다. 또한 이온주입형(ion-implanted)의 MESFET는 doping 의 균일성이 우수하여 양산용 MMIC (Monolithic Integrated Circuit)에 적합하다. FET는 trans-conductance의 제곱의 특성과 비선형성으로 인하여 효율적인 능동믹서로 많이 활용되어 왔다.

dual-gate FET를 사용한 믹서는 LO 신호와 RF신호를 각각 서로 다른 gate에 인가하여 balanced 구조나, 필터를 사용하지 않은 단순한 single-gate FET 믹서보다 isolation(LO-to-RF) 성능과 변환 이득 특성이 우수하다.^[5-7]

dual-gate FET를 사용한 믹서는 두개의 게이트 간의 coupling때문에 RF단과 LO단간의 간섭이 있으나, 2개의 single-gate FET를 이용한 cascode 믹서를 사용하면 이 coupling효과를 줄일 수 있어서 isolation이 dual-gate FET를 사용한 믹서보다 우수하다. cascode 구조의 회로에서는 바이어스 전류를 두개의 FET가 공유하기 때문에 전류의 소모가 적고 3V의 전원전압으로도 정상적인 동작이 가능하다. cascode 구조의 feed back GaAs MESFET 증폭 회로는 광대역 증폭특성이 우수하고 입력 출력 정합이 용이하다.^[8]

FET를 수동으로 동작시키는 resistive FET 믹서는 능동 FET 믹서보다 잡음지수가 높고, LO 구동 LO 전력은 높은 단점이 있는 반면에 inter-modulation 특성은 양호하다.^[9]

출력 단의 LO 신호를 억제하기 위하여 balun을 이용한 balanced 구조를 사용하면 IF 주파수가 낮더라도 LO 신호가 상쇄되고 inter-modulation과 대역폭이 향상되는 장점은 있으나 소모전류가 증가하고 낮은 전원 전압으로 구동 시키기 어려우며 필요한 회로소자가 증가하여 칩의 면적이 증가하고 수율이 감소하게 된다.^[10-12]

본 연구에서와 같이 LO 주파수와 RF 주파수의 간격이 커서 IF 주파수가 충분히 큰 경우에는 unbalanced 믹서로 L·C 정합 회로를 이용하여 LO 신호를 감쇄할 수 있다. 또한 unbalanced 믹서의 구조에서는 잡음지수를 최소화 할 수 있다.

GaAs는 유전율이 높아서 Monolithic Microwave Integrated Circuit (MMIC)의 기판으로 이상적이며, 마이크로 스트립 선과 via hole 에 대한 모델이 상당히 정확하게 확립되어 있어서 연결 및 접지에 의한 기생성분을 정확하게 예측하여 MMIC 회로 개발시 정확성을 기할 수 있다.

2 GHz대의 MMIC에서는 transmission line을 이용한 정합 회로사용은 너무 면적을 많이 차지한다. 따라서 lumped element를 사용한 정합 회로를 선호한다. 능동 소자를 이용하여 정합 회로를 구성하면 회로의 소요 면적을 줄일 수 있으나 소모전력이 증가하고 inter-modulation 특성이 저하되어 수동 소자를 선호하고 있다.^[13]

본 논문에서는 위와 같은 사항을 고려하여 3V 전원에도 동작되고 lumped element의 정합을 이용한 저전력, 저잡음 GaAs MESFET MMIC 능동 cascode down converting 믹서를 설계하여 제작하고 그 과정을 기술하였다.

II. MMIC 믹서의 설계

single-gate MESFET 2개를 그림 1과 같이 cascode 로 연결하여 상단 FET에는 LO 신호 $V_{LO}\cos\omega_{LO}t$ 를 인가하고 하단의 FET에는 RF $V_{RF}\cos\omega_{RF}t$ 신호를 인가하면 하단의 FET는 V_{GS} 와 V_{DS} 가 매우 적은 선형(포화) 영역에서 동작점이 설정되므로 LO의 신호는 V_{DS} 를

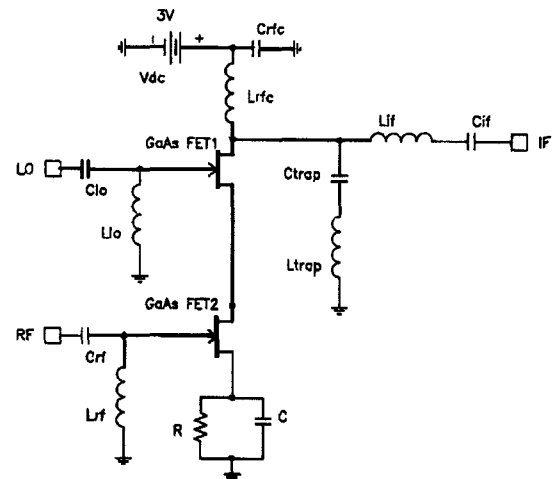


그림 1. 능동 GaAs FET cascode 믹서의 회로도
Fig. 1. The schematic circuit of cascode FET mixer.

변화시켜 마치 전원을 스위치로 변화시키는 역할을 한다. 따라서 상단의 FET는 switching pulse를 하단 FET에 제공하는 switching 믹서로 해석할 수 있다.

이때 하단 FET의 drain에 흐르는 전류는

$$i_{D1} = I_{D1} + g_m V_{RF} \cos \omega_{RF} t \quad (1)$$

이고, switching pulse를 다음과 같이 나타낼 수 있다.

$$S_{LO} = \frac{1}{2} + \frac{2}{\pi} \cos \omega_{LO} t + \dots \quad (2)$$

(1) 과 (2)의 곱으로 나타나는 상단 FET의 drain전류는

$$\begin{aligned} i_{D2} = i_{D1} S_{LO} &= \frac{I_{D1}}{2} + \frac{g_m V_{RF}}{2} \cos \omega_{RF} t + \frac{2I_{D1}}{i} \cos \omega_{LO} t \\ &+ \frac{2g_m V_{RF} I_{D1}}{\pi} \cos \omega_{LO} t \cos \omega_{RF} t + \dots \\ &= \frac{I_{D1}}{2} + \frac{g_m V_{RF}}{2} \cos \omega_{RF} t + \frac{2I_{D1}}{\pi} \cos \omega_{LO} t \\ &+ \frac{g_m V_{RF}}{\pi} \cos (\omega_{LO} - \omega_{RF}) t \\ &+ \frac{g_m V_{RF}}{\pi} \cos (\omega_{LO} + \omega_{RF}) t + \dots \quad (3) \end{aligned}$$

로 두 주파수 신호의 상향 변환된 주파수 신호와 하향 변환된 주파수 신호를 얻을 수 있다.

본 cascode 구조의 믹서회로는 바이어스를 위한 추가의 저항 사용이 필요하지 않으므로 구조가 간단하고, 이 바이어스용 저항에 의한 잡음 원을 캐패시터로 제거 시키므로 잡음지수 특성이 다른 구조에 비해 비교적 양호하다.

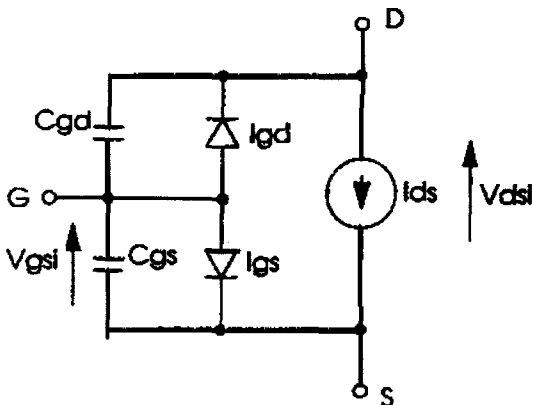


그림 2. Triquant Owned Model (TOM)의 등가 회로도
Fig. 2. The schematic circuit of Triquant Owned Model.

본 회로의 설계에서는 그림 2에 도시된 것과 같이 GEC Marconi의 Library에서 제공하는 0.5 μm Gate Length와 300 μm Gate Width를 갖는 GaAs FET의 Triquant Owned Model (TOM)을 사용하였다. 이 모델은 Scaling이 용이하고 최근 여러 응용 분야에서 상당히 정확한 모델로 보고되고 있다. 본 회로의 설계에 사용된 TOM 모델에 대한 자세한 기술은 부록 1에 있다.

그림 1과 같이 두개의 FET가 cascode로 연결되어 상측 FET에는 LO를 인가하고 하측 FET에는 RF를 인가하여 상측 FET의 drain단에서 IF를 얻고 IF 단에 인가된 LO 성분이나 RF성분을 IF에서 직렬 공진회로로 단락 시킨 topology로 하였다. 또한 하단 FET에 저항을 연결하여 이 저항 양단에 흐르는 전류에 의한 전압 강하로 하단 FET의 source 가 양의 전위를 갖고 이 하단 FET의 gate가 직류적으로 접지되어서 음의 VGS 가 유지되도록 하였다. 이 저항은 또 negative feedback 역할을 하여 회로를 안정화 하는 역할도 하고 있다. 이 저항에 대 용량의 캐패시터를 병렬로 연결시켜 교류적으로는 단락 시켜 교류 신호 전력의 소모를 줄이고 이 저항으로 인한 잡음지수의 저하를 줄였다. 이 저항은 바이어스 역할을 하기 때문에 신뢰도가 중요하고 또 그 저항값이 작으므로 온도에 대한 변화가 적은 NiCr저항을 사용하였다. 한편 상단의 FET의 gate역시 직류적으로 단락되어서 하단 FET의 drain-source의 전압 강하와 저항 양단의 전압 강하를 합한 만큼의 직류전압이 상단의 FET의 gate와 source간에 인가되어서 이 상단 FET를 선형 포화 영역으로 유지하게 하였다. I-V 특성 곡선상에서 trans-conductance가 최대인 동작 점을 우선 선정한다. FET의 바이어스를 설정할 때 RF단의 FET는 전압 전류 곡선상의 선형 영역과 비선형 영역 사이의 중간 부분(knee)에 설정하고, LO단의 FET는 포화 영역 (saturation region)에 설정하였다. 여기서 LO단 FET의 포화 부분 하단의 경우는 등 전류 선의 간격이 촘촘하여 증폭이 약하나 상단의 경우는 증폭 효과가 크다. 그러나 상단으로 올라갈수록 gate와 source사이의 역방향 전압이 감소하며 Schottky 접합의 depletion 영역이 줄어들어 이로 인한 접합 정전 용량이 증가하므로 입력 임피던스가 감소한다. 그러므로 입력 임피던스와 증폭이 서로 상쇄되어 이득이 최대가 되는 점에서 바이어스를 정한다. 위와 같은 고려로 3V의 직류 전압 공급으로 직류 전류 7.5 mA를 소모하도록 설계하였다. 반사에 의한 손실을 줄여서 변환 효율을 높이고 반사되어 재 발생되

는 원하지 않는 신호를 최소화 하고 대역폭을 최대로 하기 위하여 정합 회로를 구성하였다. 한편 2 GHz 이하에서는 transmission line을 MMIC에 사용하기에는 크기가 너무 커서 부적합하므로 lumped element를 이용하되 가능하면 인덕터 보다는 Q가 높고 칩 면적을 덜 차지하는 캐패시터를 이용하여 정합 하였다. 기존의 선형 증폭기에서 확립된 안정화 방법을 응용하기 위하여 시뮬레이션상에서 50 ohm의 저항으로 종단하여 그림 3. 과 같이 LO, RF, IF port의 해당 반사 계수 $|S_{ij}|$ 의 값이 -10 dB 이하로 하여 VSWR가 1.22 이하가 되도록 정합 하였다.

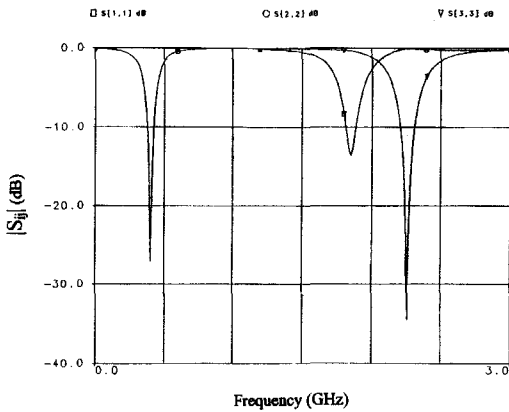


그림 3. 50 ohm 저항으로 종단한 시뮬레이션한 LO, RF, IF단의 해당 반사 계수 $|S_{ij}|$ 의 그래프
Fig. 3. The simulated reflection coefficient at each ports.

능동 회로를 설계할 경우 안정도는 중요한 항목이다. 특히 cascode 구조의 능동 회로는 근본적으로 불안정하여 질 우려가 크다.

2 port 의 선형 증폭기에서 Stability Factor K는

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|}$$

여기서 $\Delta = S_{11}S_{22} - S_{12}S_{21}$

로 정의 되고, 복소수 평면상에서 반사계수의 크기가 1인 Stability Circle의 반경(r_s) 과 중심(C_s)는

$$r_s = \left| \frac{S_{12}S_{21}}{|S_{11}|^2 - |\Delta|^2} \right|$$

$$C_s = \frac{(S_{11} - \Delta S_{22}^*)}{|S_{11}|^2 - |\Delta|^2}$$

로 주워진다.^[14]

2 port 의 선형 증폭기에서 위와 같이 정의 되는 Stability Circle과 Stability Factor K를 3 port 비선형 변환 회로인 믹서에 응용하기 위하여 한 개의 port를 50 ohm으로 단락 시켜 2 port 회로로 변형하여 선형 안정화 설계 시뮬레이션을 수행하였다. 원래 선형 증폭기에서의 안정도 기준인 Stability Circle과 Stability Factor K를 비선형 회로인 믹서에 적용하고, 믹서로서의 실제 동작 할 경우에는 펌핑에 의해 임피던스가 변화하는 것을 무시하여 LO port를 단순한 50 ohm으로 단락 시킨 것이므로 여유를 두고 충분히 고려 하여야 한다.

증폭기에서 잡음지수는 저항에서의 열 잡음에 의한 입력 가용 잡음 전력 P_{N_i} 에 대한 출력에서의 총 가용 잡음 전력 P_{N_o} 의 비로 다음과 같이 정의 한다.

$$F = \frac{P_{N_o}}{P_{N_i}G_A} \tag{4}$$

여기서 G_A 는 가용 전력 증폭도 이다.^[14] 이 식에서 이득이 증가하면 잡음지수가 줄어드는 것을 알 수 있는데, 시뮬레이션상에서 정합을 향상시켜 이득을 증가시키면 잡음지수가 감소하는 현상이 나타났으며 실제로 믹서의 측정에서도 높은 IF주파수에서 이득이 증가하였고 잡음지수는 줄어들었다. 능동 믹서의 잡음지수는 비선형 주파수 변환된 잡음이 작용하기 때문에 선형 증폭기에서와 같이 정확하게 시뮬레이션으로 예측하기는 어렵다. 상용 설계 툴을 이용하여 시뮬레이션한 Single Side Band(SSB) 잡음지수는 4.4 dB 였다.

일반적으로 증폭기에서는 전달 함수의 1 승 항을 발생시키는 원하는 신호 f_1 과 대역폭 내에 원하지 않는 신호를 발생시키는 f_2 가 입력되어 전달 함수의 3승 항을 발생시키는 $2f_2 - f_1$ 로서 3rd order Intercept Point (IP₃)를 정의한다. 그러나 믹서의 원하는 동작인 $f_2 - f_{LO}$ 를 발생시키는 것은 전달 함수의 2승 항이고 대역폭 내에 발생하는 원하지 않는 intermodulation의 주파수는 $2f_2 - f_1 - f_{LO}$ 로 전달 함수의 4승 항에서 발생된다. 그러나 위와 같은 증폭기의 연관성 때문에 4승 항에서 발생하는 $2f_2 - f_1 - f_{LO}$ 과 2승 항에서 발생하는 $f_1 - f_{LO}$ 의 관계를 믹서의 IP₃로 명칭하고 있다. 여기서 증폭기와 믹서의 IP₃에 관한 공통점은 원하는 신호를 발생시키는 항과 대역폭 내에 원하지 않는 신호를 발생시키는

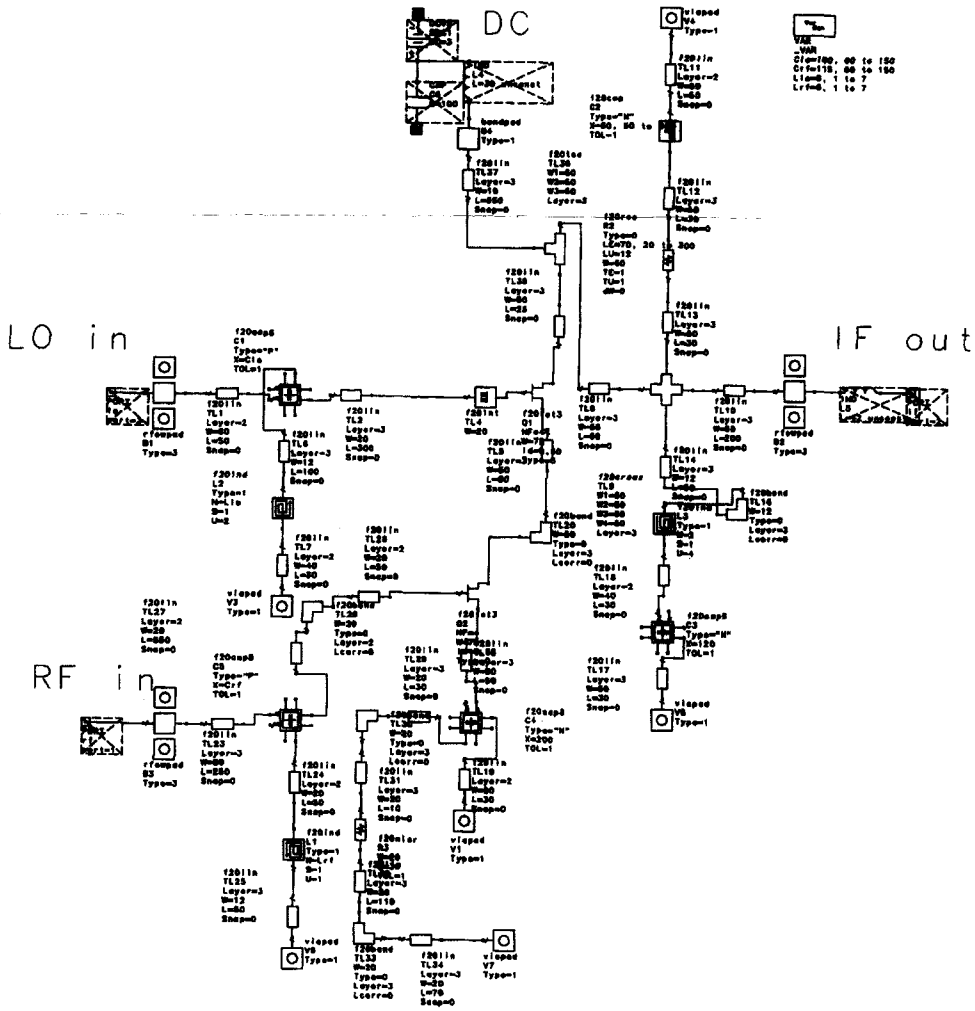


그림 4. Micro-strip Line의 Layout효과를 넣은 Layout 회로도
 Fig. 4. The schematic layout circuit with layout parasitic effects.

항의 차이가 2승인 것이다. 본 시뮬레이션에 사용된 모델은 FET의 물리적인 해석에 의한 것이 아니고 전구간에 대한 curve fitting에 의한 것이고 $2f_2 - f_1 - f_{LO}$ 주파수 항의 intermodulation은 전달 함수의 4승 항에 의해 발생되므로 harmonics의 차수를 네 개로(NH=4) 시뮬레이션하여 Input 3rd Order Intermodulation Intercept Point (IIP₃)의 값을 0.993 dBm 로 결과를 얻었다. 입력 신호의 크기가 미세한 상태에서 회로의 동작이 거의 선형일 때, 이 동작에 포함된 아주 미세한 비선형성에 의해 intermodulation이 생기는 것이기 때문에 고차 harmonics 차수에 영향이 크며 이에 대한 계산을 하려면 매우 오랜 시뮬레이션 시간이 요구된다. Stephen A.

Mass와 Davad Neilson은 비교적 단순한 초월함수를 이용한 모델로 Third-order Intermodulation(IP₃)를 1dB 이내로 수렴시키기 위하여 11개의 harmonics를 사용하여 Sun 4/260 컴퓨터로 30분 정도 계산하였다.^[15]

위의 과정들을 대략적으로 설계한 lumped element의 회로에 micro-strip line의 layout 효과를 고려하여 이전의 과정들을 반복 시뮬레이션 하면서 회로의 값을 조정하여 그림 4. 와 같은 Layout 회로도를 작성하였다. RF 입력에 1.855 GHz, -20 dBm의 신호를 인가하고 LO 단에는 2.255 GHz, 0 dBm의 전력으로 펌핑 하는 것을 Harmonic Balance 방법을 이용하여 IF의 출력 주파수에서 harmonics에 따른 전력, 잡음지수 등을 시뮬레이

선 하였다.

Lumped Element로만 설계 하였을 때는 안정화를 이룰 수 없었으나 Layout효과가 종합적으로 합하여 졌을 때는 기생 저항성분이 복합적으로 작용하여 안정화가 가능하여 K 값을 1보다 크게 할 수 있었다. 본 설계에서는 Smart Library를 이용하였기 때문에 비교적 용이하게 Layout를 실현하였다. 이득을 증가 시키면 불안정 요인이 늘어나고 시뮬레이션상에서 능동 믹서의 안정도를 정확하게 예측하기 어려우므로, 동작 주파수보다 월등히 넓은 대역에서 K의 값을 "1" 보다 훨씬 크게 하고 변환 이득을 너무 크지 않게 하는 것이 안전하다. 그림 5와 같이 20GHz 까지 K의 값이 1 이 되도록 회로소자의 값을 조절하였다.

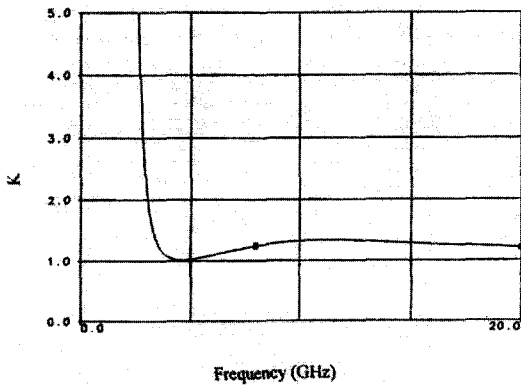


그림 5. 0 Hz에서 20GHz 까지 Stability Factor K의 그래프
Fig. 5. The simulated stability factor v.s. frequency up to 20 GHz.

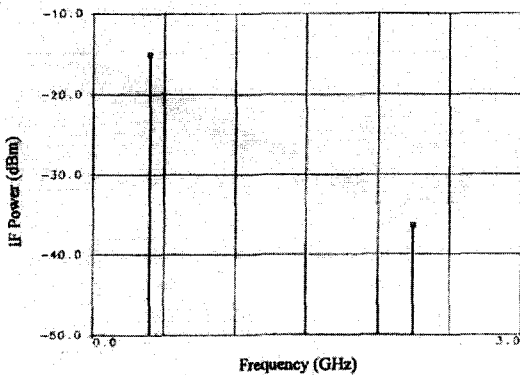


그림 6. Harmonic Balance시뮬레이션에 의한 변환 이득 그래프
Fig. 6. The conversion gain simulated by Harmonic Balance.

입력에 그림 6의 Harmonic Balance시뮬레이션 결과에 나타난 것 같이 변환 이득이 +5.9 dB 가 되는 회로를 설계하였다. Trap 인덕터, RF Choke 인덕터 및 Decoupling 캐패시터는 그 크기가 너무 커서 외부에 연결하도록 하였다.

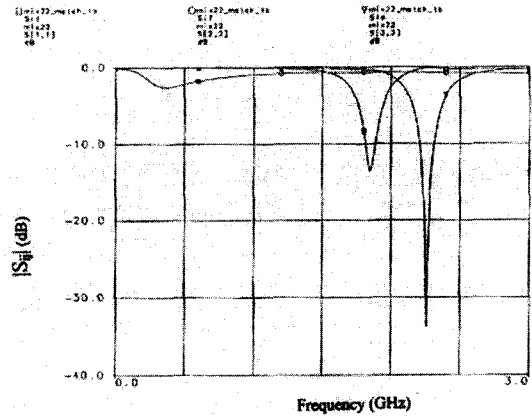


그림 7. 외부 연결 소자가 없는 상태에 대해 시뮬레이션한 LO, RF, IF단의 반사 계수 $|S_{ij}|$ 의 그래프
Fig. 7. The simulated reflection coefficient at each ports without external components of the circuit

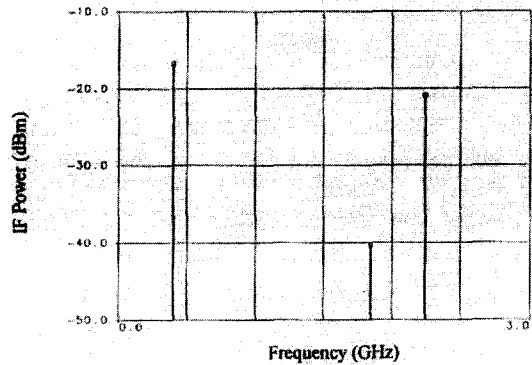


그림 8. 외부 연결 소자가 없는 상태의 Harmonic Balance시뮬레이션 결과 그래프
Fig. 8. The simulated conversion gain simulated by Harmonic Balance without external components.

반도체 제작 공정을 마무리하고 웨이퍼 상에서 Probe Station으로 테스트를 할 수 있도록 외부 Trap 인덕터, RF Choke 인덕터, 및 Decoupling 캐패시터가 없는 상태에 대한 S_{RF} , S_{LO} , S_{IF} 의 크기를 그림 7과 같이 시뮬레

이선 하였다. 또 이에 대한 변환 이득도 그림 8과 같이 시뮬레이션 하였다. 이 두개의 그림을 이전의 그림 3이나 그림 6과 비교하면 정합이 불량하여 저서, 변환이득이 감소한 것을 알 수 있다. 이러한 과정은 반도체 공정과 시뮬레이션과의 일치의 정도를 확인하고 또 반도체 공정이 불안정하여 원래의 설계에서 벗어 날 경우 외부에 연결하는 소자의 값을 조절하기 위함이다.

III. 제작 및 측정 · 분석

GaAs FET MMIC foundary 공정을 이용하여 본 MMIC 믹서 칩을 제작하였다. 사용된 능동소자는 gate recess 구조의 표준 depletion mode GaAs MESFET 로 gate length 가 $0.5 \mu\text{m}$ 이고 gate width 는 $300 \mu\text{m}$ 이다. 웨이퍼를 이용하여 RIE 에칭으로 VIA hole을 형성하였고 3 인치 웨이퍼의 두께를 $200 \mu\text{m}$ 로 얇게 하였다. 제작된 칩은 그림 9와 같으며, 크기는 가로가 1.86 mm, 세로가 1.28 mm이다.



그림 9. 제작된 GaAs MMIC 믹서 Chip의 사진
Fig. 9. The photograph of the fabricated chip.

웨이퍼상에서 probe station으로 외부 trap 인덕터, RF choke 인덕터, 및 decoupling 캐패시터가 없는 상태에서 소모전류, 반사계수, 이득 등을 측정하여 이들의 값을 설계 치와 비교하여 외부연결소자의 값을 정하는데 참고로 하였다. bare chip 43개의 소모전류를 측정하여 그 분포를 그림. 10 에 도시하였다. 이 중 4개에 대해 측정된 RF 의 반사 계수 S_{11} 의 절대값의 그래프는 그림 11과 같다. 여기서 S_{11} 는 앞에서 예측한 시뮬레이션과 잘 일치함을 알 수 있다. 또 40개의 Bare Chip에서 측정된 변환 이득이 그림 12에 도시되었다.

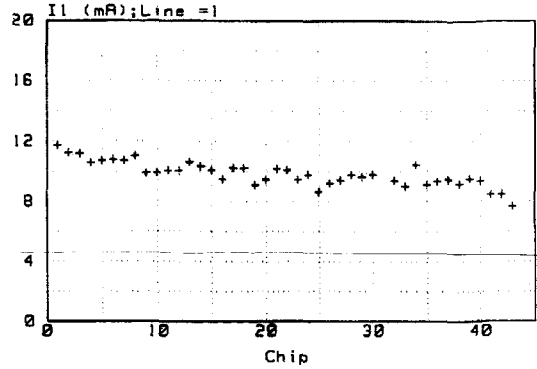


그림 10. bare chip상태로 측정된 43 개의 MMIC 칩에 대한 직류전류 분포 그래프
Fig. 10. The distribution of the DC currents for 43 sampled MMIC chips.

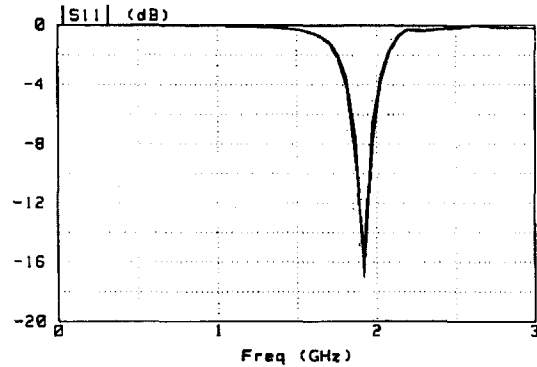


그림 11. bare chip상태로 측정된 4 개의 MMIC 칩에 대한 RF단의 반사 계수 그래프
Fig. 11. The RF matching of the sampled 4 pieces of bare chips without external components.

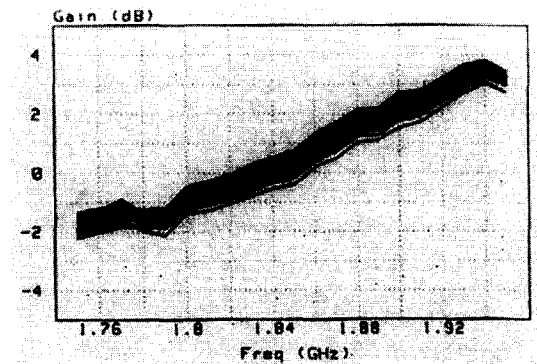


그림 12. bare chip상태로 측정된 40 개의 MMIC 칩에 대한 변환 이득 그래프
Fig. 12. The conversion gains of the sampled 4 pieces of bare chips without external components.



그림 13. MMIC 믹서를 패키징하여 부착시킨 테스트 지그의 사진

Fig. 13. The photograph of the test jig.

위에서 측정된 MMIC 칩들 중에 소모 직류전류가 설계값에 가까운 값을 갖는 칩들에 대하여 gold wire bonding으로 세라믹 패키지에 장착하여 패키지 외부에 FR4 PCB를 이용하여 trap 인덕터, RF coupling 인덕터, 및 coupling 캐패시터를 납땜으로 부착하여 테스트 지그로 그림 13과 같이 제작하였다. 이 제작한 후 Hp 83712A(CW Generator), Hp 8971C(Noise Figure Test Set), Hp 8970B(Noise Figure Meter), Hp 8510B(Network

Analyzer), Hp 8516A(S-parameter Test Set), Hp 83732(Signal Generator), Hp 8560E(Spectrum Analyzer)등의 측정 장비를 이용하여 측정을 실시하였다. 3 V의 직류전원에서 측정된 직류전류는 7.5 mA로 설계값에 잘 근사 되었다.

각 단계 정합상태를 측정된 결과는 그림 14와 같다. 여기서 최적의 정합인 주파수는 반도체 공정의 제작 오차로 인하여 60 MHz 만큼 이동되었다. 정합이 최적인 IF 주파수 460 MHz의 0 dBm의 펄핑으로 -20 dBm의 RF 입력 전력을 인가하여 low-pass filter 통과 후 측정된 이득과 잡음지수를 RF 주파수의 1.75 GHz에서 2.05 GHz까지 변화에 대하여 그림 15에 도시하였다. 변환 이득이 8.2 dB로 최대의 값을 갖는 RF 주파수 1.92 GHz 근처에서 잡음지수도 최소의 값은 5.0 이었으며, 이는 시뮬레이션에서도 같은 추세의 현상이 나타난다. 시뮬레이션상의 설계한 정합 조건인 1.855 GHz의 RF 주파수와 2.255 GHz의 LO 주파수에서 측정된 변환 이득은 6.44 dB 였고 잡음지수는 5.98 dB 였다. 믹서의 선형성 및 inter-modulation을 측정된 결과는 그림 16과 같다. 여기서 RF 입력 신호 1.855 GHz의 -25 dBm과 1.8559 GHz의 -25 dBm을 LO 신호 2.255 GHz의 0 dBm으로 펄핑하였다. 1 dB Compression Input Point (P1dBIN)는 -10 dBm 이고 1 dB Compression Output Point (P1dBOUT)는 -3.83 dBm 이었다. 또 IIP3는 -0.8 dBm 이었다.

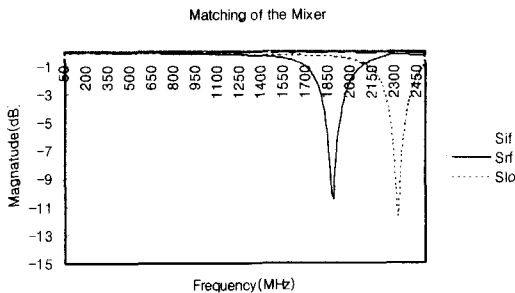


그림 14. 테스트 지그상에서 측정된 LO, RF, IF단의 반사 계수 $|S_{ij}|$ 의 그래프

Fig. 14. The matching of the whole circuit.

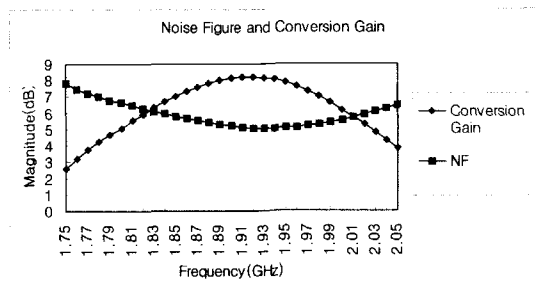


그림 15. 테스트 지그상에서 측정된 이득과 잡음지수 (SSB) 그래프

Fig. 15. The conversion gain and single side noise figure(SSB) of the whole circuit.

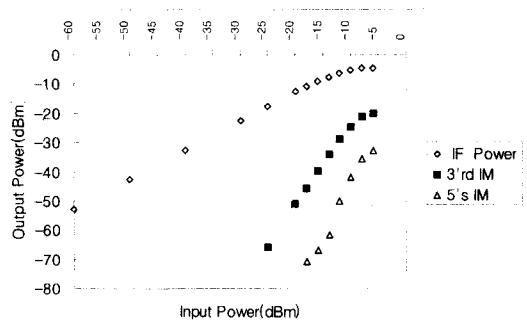


그림 16. 측정된 믹서의 IF 출력 전력, 3rd order inter-modulation, 5th order inter-modulation 값의 비교 그래프

Fig. 16. The output power and 3rd and 5th order inter-modulation.

IV. 결론 및 고찰

본 연구 기술의 목적의 능동 MMIC 믹서를 설계, 제

표 1. 믹서의 특성 비교표

Table 1. The comparison of the performances of the mixer circuits.

	시뮬레이션 값	측정 값	KGF1531공표 값	비고
변환 이득(dB)	5.9	6.63	12	
NF (dB)	4.4 (SSB)	5.06-5.98(SSB)	5.0	
P-1 dB(dBm)		-3.83		
Input 3 rd Order Intercept Point (IIP ₃)	0.993(NH=4) (@f ₁ - f ₂ =900KHz)	-0.8 (@f ₁ - f ₂ =900KHz)	0.5 (@f ₁ - f ₂ =1000KHz)	NH=4일 때 측정치에 근사.
Output 3 rd Order Intercept Point (OIP ₃)	6.6(NH=4) (@f ₁ - f ₂ =900KHz)	6.4 (@f ₁ - f ₂ =900KHz)	12.5 (@f ₁ - f ₂ =1000KHz)	
IF주파 (MHz)	400	400	350	
RF주파수(GHz) / Power(dBm)	1.855GHz / -20	1.855GHz / -20	1.9GHz / -20	
LO주파수(GHz) / Power(dBm)	2.255GHz / 0	2.255GHz / 0	1.65GHz / 0	
전원전압 (V)	3	3	3	
소모전류(mA)	7.5	7.5	8	
Isolation: LO to IF (dB)		33(@P _{RF-In} = -40dbm)	28	
Isolation: LO to RF(dB)		16(@P _{RF-In} = -40dbm)	15	
Isolation: RF to IF(dB)		13(@P _{RF-In} = -40dbm)	22	본 MMIC는 RF Trap과 LO Trap을 공통으로 사용하였음

주) KGF1531 는 반복적 측정 및 개선으로 최적의 조건을 이용한 Dual Gate GaAs FET hybrid 믹서인 반면, 본 연구 의 믹서는 MMIC 회로로 공정상의 오차가 포함되어 최적의 조건이 아니다.

작, 측정 및 분석을 하여 차후 이와 유사한 연구에 도움을 주기 위하여 믹서의 개발과정을 자세히 기술하였다. 본 연구의 믹서의 주요한 특성을 시뮬레이션 값과, 측정 값 그리고 dual gate GaAs FET를 hybrid로 제작하여 유사한 특성을 갖는 OKI사의 상용 PCS용 믹서 KGF1531^[16] 를 함께 표 1에 종합하여 나열하였다.

한편 시뮬레이션과 측정값과의 오차의 관점에서 믹서의 변환 이득은 1dB 이내로 잡음지수는 15dB 이내로 OIP₃는 1 dB 정도의 오차로 시뮬레이션과 측정값이 상당히 일치하여 유사한 설계에서도 비슷한 정도의 예측이 가능하다. 최적 정합이 되는 주파수는 MMIC의 제작 공정에 의해 원래 설계한 중심 주파수에서 60 MHz 정도 바뀌어 졌다. 믹서의 정합과 변환 이득과 잡음지수는 매우 밀접한 관계가 있으므로 가능하면 각 port 에서 정합을 양호하게 하기 위하여 MMIC 제작 공정의 오차를 고려하여 대역폭을 늘이는 것이 바람직하다. 이를 위하여는 feedback 을 충분히 하여 저항성분의 양을 늘여서

변환이득을 양보하는 대신 대역폭을 늘이는 것이 바람직 할 것이다.

또한 본 논문에서는 IF 주파수가 충분히 높은 경우 GaAs MESFET를 이용한 MMIC cascode 구조의 mixer로 3V의 전원 에 7.5mA 의 저전류 소모와 0 dBm 의 저전력 LO 신호로 6.63 dB의 우수한 변환 이득이 가능함을 입증하였다.

부록 1.

Triquant Owned Model(Intrinsic)
4*75 μm GaAs FET에 대한 다음과 같은 Triquant Owned Model(Intrinsic)의 파라미터 값을 사용하였다.

- VTO=-1.77
- VTOSC=0
- ALPHA=1.40
- CGDSO=2.73E-14
- DELTA1=0.32
- DELTA2=2

BETA=1.44E-02	FC=0.80
GAMMA=5.84E-02	VBR=13
GAMMADC=5.84E-02	RG=1.20
Q=2.00	RD=4.50
DELTA=0.56	RS=2.33
VBI=2	ROMET=0
IS=3.78E-10	KF=0
N=1.84	AF=1
RIS=4.67	TMON=27
RID=0	XTI=3
TAU=3.00E-12	EG=1.1
CDS=5.35E-14	VTOTO=0
RDS=500	BETACE=0
CGS=1.00E-11	FFE=1
DGS0=4.26E-13	

또한 $L_g=0.0046\text{nH}$, $L_d=0.090\text{nH}$, $L_s=0.010\text{nH}$ 도 추가로 사용하였다.

참 고 문 헌

- [1] Stephen A. Maas, *Microwave Mixers*, 2nd edition, Artech House, 1993.
- [2] Ulrich L. Rohde and David P. Newkirk, *RF/Microwave Circuit Design for Wireless Applications*, John Wiley & Son, 2000).
- [3] George D. Vendelin, Anthony M. Pavio and Ulrich L. Rode, "Microwave Circuit Design Using Linear and Nonlinear Techniques," Wiley, 1990.
- [4] I. D. Robjrtson, "MMIC Design," IEE, 1995.
- [5] S.C. Cripps, O. Nielsen, D. Parker, J. A. Turner, "An experimental evaluation of X-band GaAs FET mixers using single and dual-gate devices," *IEEE MTT-S Int. Microwave Symp. Dig.*, 1977, pp. 285-287.
- [6] Christos Tsironis, Roman Merierer, and Rainer Stahlman, "Dual-Gate MESFET Mixers," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-32, pp. 248-254, Mar. 1984.
- [7] Christos Tsironis, Rainer Stahlmann, and Frederik Ponse, "A self-oscillating dual gate MESFET X-band mixer with 12 dB conversion gain," *Conf. Proc. 9th Euro. Microwave Conf.*, 1979, pp. 321-325.
- [8] William T. Colleran and Asad A. Abidi, "A 3.2 GHz, 26 dB Wide-Band Monolithic Matched GaAs MESFET Feedback Amplifier Using Cascodes," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-36, pp. 1377-1385, Oct. 1988.
- [9] Stephen A. Maas, "A GaAs MESFET Mixer with Very Low Intermodulation," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-35, pp. 425-429, April 1987.
- [10] Yuhki Imai, Masami Tokumitsu, and Akira Minakawa, "Design and Performance of Low-Current GaAs MMIC'S for L-Band Front-End Applications," *IEEE Trans. Microwave Theory Tech.*, Vol. MTT-39, pp. 209-215, Feb 1991.
- [11] Barrie Gilbert, "The MICROMIXER: A highly Linear Variation of the Gilbert Mixer Using a Bisymmetric Class-AB Input Stage," *IEEE J. Solid State Circuits*. Vol. 32, pp. 1412-1423, Sep.1997.
- [12] Gunter Grau, Ulrich Langmann, Wolfgang Winkler, Dieter Knoll, Jorg Osten, and Klaus Pressel, "A Current-Folded Up-Conversion Mixer and VCO with Center-Tapped Inductor in a SiGe-HBT Technology for 5-GHz Wireless LAN Applications," *IEEE J. Solid-State Circuits*, Vol. 35, pp. 1345-1352, Sep. 2000.
- [13] M. Devlin, B. J. Buck, J. C. Clifton, A. W. Dearn, A. P. Long, "A 2.4 GHz Single Chip Transceiver," *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symposium*, pp. 23-26, 1993.
- [14] Guillermo Gonzalez, "Microwave Transistor Amplifiers Analysis and Design," 2nd edition, Prentice Hall Inc., 1997.
- [15] Stephen A. Mass and David Neilson, "Modeling MESFET's for Intermodulation Analysis of Mixers and Amplifiers," *IEEE Trans. Microwave Theory Tech.*, Vol. 38, pp. 1964-1971

Dec. 1990.

[16] OKI Electronic Components KGF1531 Manual.

저 자 소 개



金 英 起(正會員)

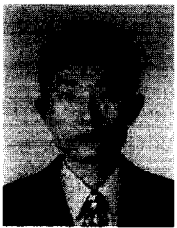
Young-Gi Kim was born in Seoul, Korea. He received B.S. and M.S. degree in Electronics Engineering from Hanyang University in 1983 and 1984, respectively. He received his Ph.D from the University of

Texas at Arlington in 1993. From 1986 to 1997, he was with Korea Telecom Research Laboratory, where he was engaged with long distance optical fiber communication and developed Monolithic Microwave Integrated Circuits for wireless application. In 1996, he moved to Anyang University, where he is currently an Assistant Professor in the Department of Data Communication Engineering. His research interests are included Radio Frequency Integrated Circuits and Devices



金 赫(正會員)

1974년 1월 20일생, 2000년 2월 안양대학교 정보통신공학과 (공학사)를 졸업하였으며, 학부과정 에서 부터 MMIC 개발 프로젝트에 참가하여 MMIC회로설계를 수행하였다. 현재 한양대학교 정보통신 대학원 광전자직접회로 연구실에 있으며, 관심분야는 MMIC 설계 및 광모듈이다



白 晷 植(正會員)

1971년 8월 15일생. 1998년 2월 안양대학교 정보통신공학과 (공학사)를 졸업하였으며, 학부과정 에서부터 MMIC 개발 프로젝트에 참가하여 MMIC회로설계를 수행하였다. 2001년 2월 동교에서 석사학위 취득하였

고 (주)에이에스비에서 개발업무에 주력하고 있으며 주관심 분야는 단일 고주파 집적회로(MMIC : Monolithic Microwave Integrated Circuits)와 communication systems이다



尹 信 榮(正會員)

2000년 2월 안양대학교 정보통신공학과 (공학사)를 졸업하였으며, 학부과정 에서부터 MMIC 개발 프로젝트에 참가하여 MMIC회로설계를 수행하였다. 2000년 3월부터 현재 광운대학교 전파공학과 석사과정에 재

학중이다. 주 관심 분야는 선형 전력 증폭기 및 RF 회로 설계, MMIC 설계등이다