

論文2001-38SD-8-8

CMOS 이미지 센서의 영상 개선을 위한 실시간 전처리 프로세서의 설계

(Design of Real-Time Preprocessor for Image Enhancement of CMOS Image Sensor)

丁胤豪*, 李俊煥*, 金在錫*, 林元培**, 許峰壽**,
姜文基**

(Yun Ho Jung, Joon Hwan Lee, Jae Seok Kim, Won Bae Lim, Bong Soo Hur, and Moon Gi Kang)

요약

본 논문은 CMOS 이미지 센서에서 획득한 영상의 품질을 개선하기 위한 실시간 전처리 프로세서의 설계를 제시한다. CMOS 이미지 센서는 기존 IC와의 통합, 저전력소모, 저가격화등의 다양한 이점을 갖지만, 기존의 CCD 소자로부터 획득한 영상에 비해 열등한 품질의 영상을 제공하는 단점이 있다. CMOS 이미지 센서의 이러한 물리적 한계를 극복하기 위해 본 논문에서 제안하는 전처리 프로세서에는 색상 보간, 색상 보정, 감마 보정, 자동 노출 조정 등의 기본적인 전처리 알고리즘 외에 공간 가변적 대비 향상 알고리즘이 포함되었다. 여기에서 제안하는 전처리 프로세서는 이러한 알고리즘을 효율적으로 구현하기 위한 하드웨어 구조를 가지며, VHDL 언어를 이용하여 설계 및 검증되었다. 설계된 전처리 프로세서는 합성 결과 약 19K의 논리 게이트를 포함하였으며, 이는 저가격의 PC 카메라 구현에 적합하다. 제안된 전처리 프로세서의 실시간 동작 여부를 검증하기 위해 설계된 전처리 프로세서는 Altera사의 Flex EPF10KGC503-3 FPGA 칩으로 구현되었으며, 성공적으로 동작함을 확인하였다.

Abstract

This paper presents a design of the real-time digital image enhancement preprocessor for CMOS image sensor. CMOS image sensor offers various advantages while it provides lower-quality images than CCD does. In order to compensate for the physical limitation of CMOS sensor, the spatially adaptive contrast enhancement algorithm was incorporated into the preprocessor with color interpolation, gamma correction, and automatic exposure control. The efficient hardware architecture for the preprocessor is proposed and was simulated in VHDL. It is composed of about 19K logic gates, which is suitable for low-cost one-chip PC camera. The test system was implemented on Altera Flex EPF10KGC503-3 FPGA chip in real-time mode, and performed successfully.

* 正會員, 延世大學校 電氣 電子工學科 情報通信用 ASIC設計 研究室

(Dept. of Electrical and Electronic Engineering, Communication ASIC Design Lab., Yonsei Univ.)

** 正會員, 延世大學校 電氣 電子工學科 超解像度 映像處理 研究室

(Dept. of Electrical and Electronic Engineering Superresolution Image Processing Lab., Yonsei Univ.)

接受日字:1999年12月13日, 수정완료일:2001年7月21日

I. 서론

개인용 컴퓨터(PC)의 대중화, 디지털 전송 기술의 발전, 고화질 디스플레이 장치 실현 및 메모리 디바이스의 저가격화 등에 따라 가전의 개념이 영상이라는 정보 매체를 중심으로 급속히 변화되고 있다. 이는 소비자들에게 영상이 주는 정보 전달 효과가 가장 크다는 사실을 반영하는 것으로서 이에 관련한 영상 처리 기

술 개발에 대한 요구는 점점 증가하고 있는 실정이다.

영상 처리 기술은 일반적으로 이미지 센서에 의해 획득된 영상의 전처리 기술. 전송을 위한 영상 압축 기술, 즉 부호화 및 복호화 기술과 후처리를 위한 영상 복원 기술로 나눌 수 있다. 이들 중 영상 압축 부호화 및 복호화의 경우 현재 여러 분야에서 많은 인력들이 기술 개발에 힘쓰고 있으며 여러 가지 응용 분야에서 표준화가 활발히 이루어지고 있다. 이러한 표준화는 산업 현장에서의 응용과 제품화를 용이하게 하지만, 새로운 기술의 도입 및 연구 개발의 활성화에 제약을 주는 단점을 가지고 있다. 반면 전처리 및 후처리의 경우, 전송을 위한 표준화의 필요성이 적기 때문에 그러한 제약이 따르지 않으므로 구현이 효율적이고 성능 향상을 위한 여러 가지 시도가 가능하다. 특히 전처리의 경우, 사용하고자 하는 센서에 최적화된 알고리즘을 개발하고 구현하는 것이 관건이라고 할 수 있다.

우수한 성능의 영상 취득 소자를 사용하는 것은 고성능 영상 취득 장치 개발에 있어서 필수적이다. 그러나, 이러한 소자는 영상 해상도의 증가에 따라 기하급수적으로 비용이 상승하며, 특히 어느 정도 이상으로는 물리적인 특성을 향상시킬 수 없는 단점이 있다. 이러한 문제점을 디지털 영상 처리 기법을 이용하여 보완할 수 있다면, 비용의 상승을 최대한 억제하면서 고성능의 영상 취득 시스템을 구현할 수 있다. 특히 최근 기존의 CCD(Charge Coupled Device) 소자를 대체할 수 있는 영상 취득 소자로 주목받고 있는 CMOS (Complementary Metal Oxide Semiconductor) 센서 소자의 경우, CCD에 비해 상대적으로 열세인 성능을 디지털 영상 처리 기법으로 보완함으로써 저가, 저전력 및 주변 회로와의 집적으로 인한 원칩화(one-chip) 등 CMOS 소자의 여러 가지 이점을 효과적으로 활용할 수 있을 것이다^[1~3].

Wen-Hsin Chan 등의 연구에 CCD 소자를 기반의 디지털 카메라를 위한 몇몇 영상 개선 알고리즘들이 제시되어 있다^[4~7]. 그러나, 이러한 알고리즘들은 CCD 소자를 위해 개발되고 최적화되었기 때문에 CMOS 이미지 센서를 위하여 변형될 필요가 있다. 본 논문에서는 CMOS 이미지 센서의 열등한 성능을 극복하기 위해 기본적인 전처리 알고리즘 외에 공간 가변적 대비 향상 알고리즘을 포함시켰으며 CMOS 이미지 센서에 최적화를 유도하였다.

본 논문은 다음과 같이 구성된다. II장에서는 전처리

프로세서를 위한 알고리즘들이 기술되고, 이의 하드웨어 구현을 위한 효율적인 구조가 III장에서 제안된다. IV장에서는 FPGA (Field Programmable Gate Array) 구현과 모의 실험 결과를 제시하며, 마지막으로 V장에서 결론을 맺는다.

II. 전처리 알고리즘

본 논문에서 CMOS 이미지 센서를 위해 개발된 전처리 알고리즘은 크게 색상 보간(color interpolation), 색상 보정(color correction), 감마 보정(gamma correction), 공간 가변적 대비 향상(spatially adaptive contrast enhancement), 자동 노출 조정(automatic exposure control) 알고리즘으로 구성된다. 그림 1은 전처리 알고리즘의 전체 기능 블록도를 보여준다.

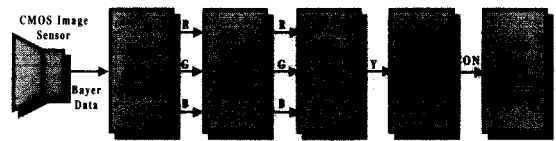


그림 1. 제안된 전처리 알고리즘의 전체 기능 블록도
Fig. 1. Functional diagram of the proposed preprocessing algorithm.

CMOS 이미지 센서는 Bayer 형태의 칼라 필터 어레이(Bayer format color filter array)를 갖고 있으므로 입력 데이터로부터 RGB 픽셀(pixel) 데이터를 생성해야 한다. 따라서 전처리 알고리즘의 첫 번째 단계는 색상 보간 과정이다. 색상 보간 과정에 이어 색상 보정 과정이 수행된다. 이 과정을 통해 생성된 RGB 픽셀 데이터는 실제 색에 가깝도록 재생된다. 세 번째 과정은 감마 보정 과정이다. 이 과정은 입력되는 데이터의 크기를 실제 영상의 세기(intensity)에 비례하도록 함으로써 CRT(Cathode Ray Tube)와 실제 영상간이 차이를 보정한다. 네 번째로 공간 가변적 대비 향상 과정이 이어진다. 이 과정을 통해 영상의 품질(quality)과 대조도(contrast)가 향상된다. 마지막으로 자동 노출 조정 과정을 통해 최종 출력 영상은 일정한 밝기(brightness) 성분을 갖게 된다.

1. 색상 보간 알고리즘

CMOS 이미지 센서는 Bayer 형태의 RGB 칼라 필터 어레이를 갖고있기 때문에, 각 어레이 당 R, G, B 중

단지 하나의 색 성분(color component)만을 제공한다. 따라서, 전처리 프로세서는 주변 이웃(nearest neighbor) 픽셀값으로부터 다른 색 성분들을 얻어내야 한다^[8].

그림 2는 CMOS 이미지 센서의 칼라 필터 어레이를 보여준다. X, Y 축의 각 수들은 입력 성분의 위치를 나타낸다. G와 B 성분은 짝수 줄에 교차적으로 위치하며, R과 G 성분은 홀수 줄에 위치한다. G 성분의 수가 R과 B 성분 수의 2배이므로, G 성분이 다른 성분에 비해 영상의 해상도에 더 큰 영향을 미친다. 따라서, G 성분의 보간은 R과 B 성분의 보간과 다른 형태를 갖는다^[9].

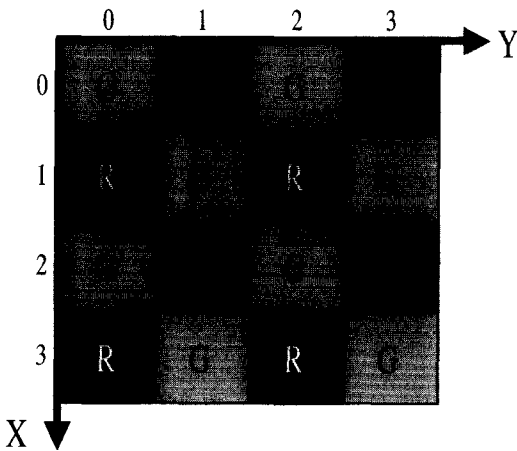


그림 2. RGB 칼라 필터 어레이 구조
Fig. 2. RGB Color filter array cells.

R 위치 또는 B 위치에서 G 성분의 값은 각 위치에서의 주변 4개 G 성분들의 평균을 취함으로써 얻어질 수 있다. 예를 들면, G(1, 2)과 G(2, 1)은 식 (1)과 같은 방법으로 구해진다.

$$G(1,2) = \text{Average}(G(0,2), G(1,1), G(1,3), G(2,2)) \quad (1a)$$

$$G(2,1) = \text{Average}(G(1,1), G(2,0), G(2,2), G(3,1)) \quad (1b)$$

R과 B 성분은 각 줄에 교차적으로 위치하기 때문에 이의 보간은 G 성분의 보간과 달라야 한다. 예를 들면, R 성분은 G 성분의 좌측, 우측 또는 상단, 하단에 위치하거나, B 성분의 좌측 상단, 우측 상단, 좌측 하단, 우측 하단에 위치한다. 그러므로, 홀수 줄 G 위치에서의

R 성분은 좌측, 우측 R 성분들의 평균을 취함으로써 얻을 수 있고, 짝수 줄에서는 상단, 하단 R 성분들의 평균을 취함으로써 얻을 수 있다. 또한 B 위치에서는 주변 4개 R 성분들의 평균을 취함으로써 보간을 수행할 수 있다. 식 (2)는 이러한 과정을 보여준다.

$$R(1,1) = \text{Average}(R(1,0), R(1,2)) \quad (2a)$$

$$R(2,0) = \text{Average}(R(1,0), R(3,0)) \quad (2b)$$

$$R(2,1) = \text{Average}(R(1,0), R(1,2), R(3,0), R(3,2)) \quad (2c)$$

B 성분의 보간은 R 성분의 보간과 유사하다. 식 (3a)에서의 같이 홀수 줄에서 G 성분 위치인 경우, B 성분은 상단, 하단 B 성분의 평균을 취함으로써 구해질 수 있고, 짝수 줄인 경우에는 좌측, 우측 값의 평균을 취함으로써 얻을 수 있다. R 성분의 위치인 경우에는, 식 (3b)에서처럼 좌측 상단, 우측 상단, 좌측 하단, 우측 하단 값의 평균을 취함으로써 B 성분을 얻어낼 수 있다.

$$B(1,1) = \text{Average}(B(0,1), B(2,1)) \quad (3a)$$

$$B(2,2) = \text{Average}(B(2,1), B(2,3)) \quad (3b)$$

$$B(2,1) = \text{Average}(B(0,1), B(0,3), B(2,1), B(2,3)) \quad (3c)$$

2. 색상 보정 알고리즘

색상 보간 과정을 거쳐 생성된 RGB 픽셀 데이터는 단지 주변값들의 평균을 통해 얻어졌으므로 색상 보정 과정을 통해 실제 색을 재생해내야 한다. 보간된 색상 $C(r_1, g_1, b_1)$ 와 보정된 색상 $C'(r_1, g_1, b_1)$ 사이의 관계는 식 (4)와 같이 표현될 수 있다^[10].

$$C' = f(A, C, K) = A \cdot C + k \quad (4)$$

현재의 색상 행렬 C는 변환 행렬 A에 의해 새로운 색상 행렬 C'로 변환된다. 본 논문에서는 CMOS 이미지 센서로부터 취득한 영상에 대한 많은 모의 실험을 통해 식 (5)와 같은 변환 행렬을 얻어내었고, 이를 색상 보정 과정에 이용하였다.

$$\begin{bmatrix} R' \\ G' \\ B' \end{bmatrix} = \begin{bmatrix} +1.2840 & -0.1132 & -0.1197 \\ -0.1164 & +1.3908 & -0.1283 \\ -0.1390 & -0.1487 & +1.3550 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad (5)$$

3. 감마 보정 알고리즘

일반적으로 CRT는 입력 전압에 비례하는 영상의 세기 성분을 만들어 내지 못하므로, 모니터상의 영상은 실제 영상과 다르게 된다. 오히려 CRT에 의한 영상의 세기는 입력 전압의 감마승에 비례하기 때문에, 다음과 같은 수식을 통해 감마 보정을 수행할 수 있다^[11].

$$R_{gc} = 255 \times \left(\frac{R}{255} \right)^{\frac{1}{\gamma_{red}}} \quad (6a)$$

$$G_{gc} = 255 \times \left(\frac{G}{255} \right)^{\frac{1}{\gamma_{green}}} \quad (6b)$$

$$B_{gc} = 255 \times \left(\frac{B}{255} \right)^{\frac{1}{\gamma_{blue}}} \quad (6c)$$

여기서, γ_{red} , γ_{green} , γ_{blue} 는 각각 R, G, B 성분의 감마 값을 나타낸다. CMOS 이미지 센서로부터 얻은 영상에 대한 모의 실험을 통해, 식 (7)과 같은 감마값들을 얻어내었으며, 이 값들은 하드웨어 구현을 위해 사용되었다.

$$\gamma_{red} = 1.6 \quad \gamma_{green} = 1.6, \quad \gamma_{blue} = 1.67 \quad (7)$$

4. 공간 가변적 대비 향상 알고리즘

CMOS 이미지 센서에 의해 취득된 영상이 CRT를 통해 보여질 때, 영상은 CRT와 영상간의 동적 영역(dynamic range) 차이로 인해 낮은 대조도를 갖는 세부요소(details)를 포함할 수 있다. 일반적으로 큰 동적 영역을 갖는 영상 정보가 제한된 동적 영역을 갖는 표시 장치(display)를 통해 보여질 때, 국소 영역(local area)의 낮은 대조도를 갖는 세부요소는 인식되지 않을 수 있다. 그러므로 영상의 동적 영역을 표시 장치에 알맞도록 축소시키는 반면, 국소 영역의 대조도를 가변적으로 향상시키기 위해 공간 가변적 대비 향상 알고리즘이 필요하다.

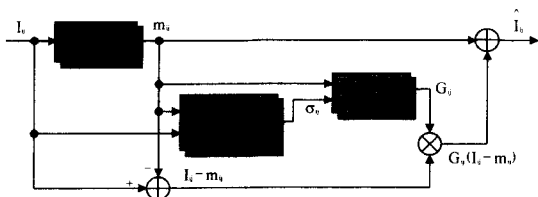


그림 3. 공간 가변적 대비 향상 알고리즘의 기능 블록도
Fig. 3. Functional diagram of the spatially adaptive contrast enhancement algorithm.

가변적으로 대조도를 향상시키기 위해, 저주파(low frequency)의 배경 성분은 전체 평균에 가깝게 이동시키며, 고주파(high frequency)의 국소 변화는 눈으로 식별할 수 있도록 대조도 감응 임계값(contrast sensitivity threshold) 이상으로 증가시켜 준다^[12]. 그림 3은 공간 가변적 대비 향상 알고리즘의 기능 블록도를 보여준다.

각 픽셀 위치에서 영상의 세기 성분은 국소 영역 즉, 3×3 윈도우(window) 내에서 측정된 평균(M_{ij})과 표준편차(σ_{ij})에 의해 변환된다. 변환된 세기 성분은 식 (8)과 같이 나타낼 수 있다.

$$\hat{I}_{ij} = G_{ij} (I_{ij} - M_{ij}) + M_{ij} \quad (8)$$

여기서, G_{ij} 는

$$G_{ij} = \begin{cases} G_{min.} & x < x_1 \\ \frac{x - x_1}{x_2 - x_1} \cdot G_{max} + \frac{x_2 - x}{x_2 - x_1} \cdot G_{min.} & x_1 \leq x < x_2 \\ G_{max.} & x \geq x_2 \end{cases} \quad (9)$$

이며, x , I_{ij} , $G_{min.}$, $G_{max.}$ 는 각각 평균과 표준편차의 비, 위치 (i, j)에서 픽셀의 세기, 가변적 이득(gain) G_{ij} 의 최소값과 최대값을 나타낸다. 또한, x_1 과 x_2 는 가변적 이득이 x 에 비례하는 영역의 양 끝값을 나타낸다. 먼저 국소 영역의 평균이 영상의 모든 점에서 감소된다. 이어 가변적 이득이 국소 변화를 증폭시키기 위해서 감소된 결과에 승산된다. 그리고 영상의 주관적인 화질을 복원시키기 위해서 국소 영역 평균이 다시 가산된다. 가변적 이득은 평균에 비례하도록 하고, 작은 표준 편차를 갖는 부분에 더 큰 이득을 주기 위해서 표준편차에 반비례하도록 한다. 큰 평균과 작은 표준 편차를 가진 지역에 비정상적으로 큰 이득이 승산되는 경우를 방지하기 위해서 식 (9)에서와 같이 이득의 값을 제한하였다.

5. 자동 노출 조정 알고리즘

일반적으로 영상의 밝기는 노출시간에 비례하므로 전처리 프로세서는 자동 노출 조정 과정을 통해 일정한 밝기를 갖는 영상을 생성해 낼 필요가 있다. 자동 노출 조정 알고리즘은 우선, 입력 영상의 중간값(median)을 구함으로써 시작된다. 구해진 중간값을 적절한 임계값과 비교한 후, 만일 중간값이 임계값보다 작다면 밝기 성분이 낮은 즉, 어두운 영상에 해당되므

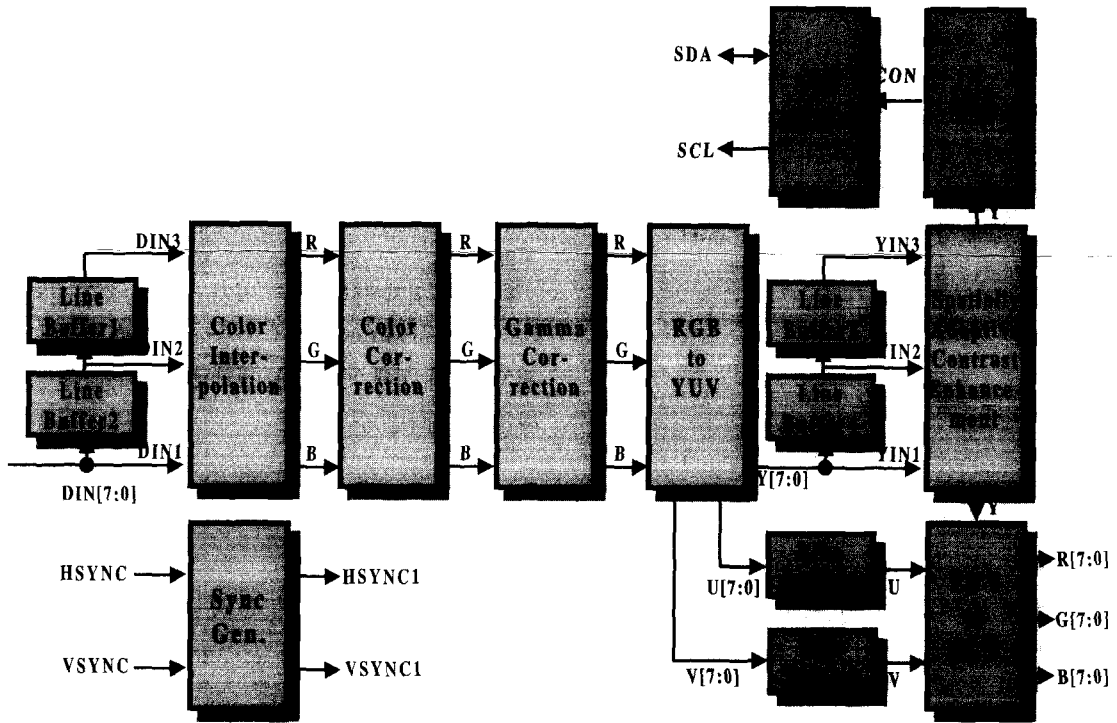


그림 4. 제안된 전처리 프로세서의 블록도

Fig. 4. Block diagram of the proposed preprocessor.

로 노출 시간을 늘려주고, 크다면 반대로 노출 시간을 줄여준다. 임계값은 8 Bit 입력 데이터의 전체 범위(0~255) 중 중간에 해당하는 128로 결정되었다. 보통의 CMOS 이미지 센서는 내부에 노출시간 조정 레지스터(exposure time control register)를 가지고 있으므로, 별도의 I2C 버스 마스터(bus master) 모듈을 통해 이 레지스터의 값을 설정하도록 함으로써 자동 노출 조정 알고리즘을 구현하였다^[13].

III. 전처리 프로세서의 하드웨어 구조 설계

그림 4는 설계된 전처리 프로세서의 전체 구조 블록도를 보여준다. 전처리 과정은 다음과 같이 진행된다. 우선 8 Bit의 입력 데이터는 RGB 픽셀 데이터를 생성하기 위해 색상 보간된다.

이어서 각각의 픽셀 데이터는 영상 개선을 위해 색상 보정 및 감마 보정되고, 영상의 휘도성분을 이용하기 위해 YUV 형식으로 변환된다. 공간 가변적 대비 향상 알고리즘이 적용된 후 마지막으로, I2C 버스 마스터를 통해 노출 시간이 자동적으로 조정된다.

1. 색상 보간 모듈

색상 보간 과정은 2. 1에서 언급된 것처럼 주변 색상 성분들의 평균을 취함으로써 원하는 성분들을 얻어내는 방식인 nearest neighbor interpolation 알고리즘을 이용하였다. 따라서, 이 보간 알고리즘을 구현하기 위해서는 3×3 윈도우 내의 8개의 주변 성분들이 필요하다. 그러므로, 색상 보간 모듈은 이전의 성분들을 저장하기 위한 2개의 라인 버퍼(line buffer)와 평균을 취하는 방식을 결정해주는 평균값 선택기(mean selector), 평균값을 구하는 데이터 발생기(data generator)로 구성되어진다.

그림 5는 색상 보간 모듈의 블록도를 보여준다. 2개의 라인 버퍼와 6개의 레지스터는 보간된 RGB 픽셀 데이터를 생성하기 위한 3×3 윈도우 내의 데이터들을 발생시킨다.

평균값 선택기는 입력되는 각 성분의 위치에 따라 적절한 평균 방식(2-component average 또는 4-component average)을 결정한다. 예를 들면, (1, 1) 위치의 G 성분이 입력되는 경우, 색상 보간 모듈은 R과 G 성분을 생성해내야 한다. 2. 1에서 설명된 것처럼, R(1, 1)은 주변의 2개의 성분, 즉 R(1, 0)와 R(1, 2)의

평균을 취함으로써 생성되고, B(1, 1)은 B(0, 1)과 B(2, 1)의 평균을 취함으로써 구해진다. 식 (10)은 이러한 과정을 보여준다.

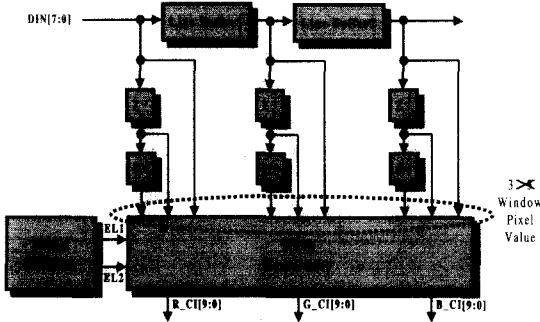


그림 5. 색상 보간 모듈의 블록도
Fig. 5. Block diagram of the color interpolation module.

$$R(1,1) = \text{Average}(R(1,0), R(1,2)) : \quad (10a)$$

2 component average

$$B(1,1) = \text{Average}(B(0,1), B(2,1)) : \quad (10b)$$

2 component average

R(1, 2) 성분이 입력되는 경우, 이번에는 G(1, 2)와 B(1, 2)를 생성해내야 한다. 이들은 각각 식 (11)과 같이 생성된다.

$$G(1,2) = \text{Average}(G(0,2), G(1,1), G(1,3), G(2,2)) : \quad (11a)$$

4 component average

$$B(1,2) = \text{Average}(B(0,1), B(0,3), B(2,1), B(2,3)) : \quad (11b)$$

4 component average

평균값 선택기는 입력되는 성분의 위치와 평균 방식에 대한 정보를 데이터 발생기에 전달한다. 데이터 발생기는 평균값 선택기로부터의 정보를 이용하여 10 bit의 보간된 데이터를 발생시킨다. 10 Bit 중 최상위 bit은 부호(sign) bit이고 다음 bit은 오버플로우(overflow) 체크를 위한 것이며, 하위 8 bit은 실제 데이터이다.

2. 색상 보정 모듈

2.2에서 설명된 것처럼, 색상 보정 알고리즘은 식 (5)와 같은 행렬 연산을 통해 구현된다. 일반적인 행렬 연산은 곱셈기(multiplier)와 덧셈기(adder)를 통해 이루어진다. 본 논문에서는 고정소수점 모의실험(fixed point simulation)을 통해 행렬의 각 원소(element)를 다음과 같이 수정함으로써 하드웨어의 복잡도

(complexity)를 줄이고자 하였다.

$$\begin{bmatrix} R' \\ G' \\ B' \end{bmatrix} = \begin{bmatrix} +1.28125 & -0.109375 & -0.11719 \\ -0.109375 & +1.390625 & -0.125 \\ -0.1328125 & -0.1484375 & +1.34375 \end{bmatrix} \begin{bmatrix} R \\ G \\ B \end{bmatrix} \quad (12)$$

이와 같이 수정된 행렬 연산은 덧셈기와 레프트 또는 라이트 쉬프트(left or right shifter)를 통해 구현될 수 있다. 예를 들면,

$$1.28125 = 1 + 0.25(2 \text{ Bit Right Shift}) + 0.03125(5 \text{ Bit Right Shift})$$

$$0.0109375 = 0.0625(4 \text{ Bit Right Shift}) + 0.03125(5 \text{ Bit Right Shift}) + 0.015625(6 \text{ Bit Right Shift})$$

$$0.11719 = 0.0625(4 \text{ Bit Right Shift}) + 0.03125(5 \text{ Bit Right Shift}) + 0.015625(6 \text{ Bit Right Shift}) + 0.007815(7 \text{ Bit Right Shift})$$

이러한 연산 과정이 그림 6에서 보여진다.

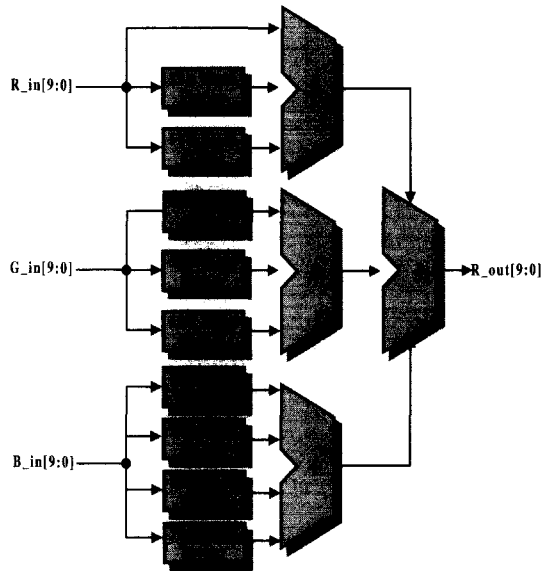


그림 6. 색상 보정 모듈의 블록도
Fig. 6. Block diagram of the color correction module.

3. 감마 보정 모듈

감마 보정 알고리즘은 식 (14)와 같이 정의된다.

$$R_{gc} = 255 \times \left(\frac{R}{255} \right)^{\frac{1}{\gamma_{red}}} \quad (14)$$

모의 실험에 의해 최적의 감마값은 1.6으로 측정되었으므로 식 (14)는 다시 식 (15)와 같이 변형될 수 있다.

$$\begin{aligned}
 R_{gc} &= 255 \times \left(\frac{R}{255}\right)^{\frac{1}{1.6}} \\
 &= 255^{\frac{3}{8}} \times (R)^{\frac{5}{8}} \\
 &\cong 8 \times (R)^{\frac{5}{8}}
 \end{aligned}
 \tag{15}$$

식 (15)는 입력 데이터에 5/8승을 취한 후 8배를 하는 연산이므로, 3 Bit 레프트 쉬프트와 롬 테이블(ROM table)을 통해 구현될 수 있다. G 성분과 R 성분의 감마값이 1.6으로 같기 때문에 두 성분의 감마 보정 과정은 동일하다. 그러나, B 성분의 경우 실험에 의한 감마값이 1.67로 R 또는 G성분의 보정과는 달라야 하지만, 하드웨어 복잡도를 줄이기 위해 B 성분의 감마값 역시 1.6으로 변형되었다. 이러한 변형은 고정소수점 모의실험을 통해 성능의 차이가 거의 없음을 확인한 후 이루어졌다. 그림 7은 감마 보정 모듈의 블록도를 보여준다.

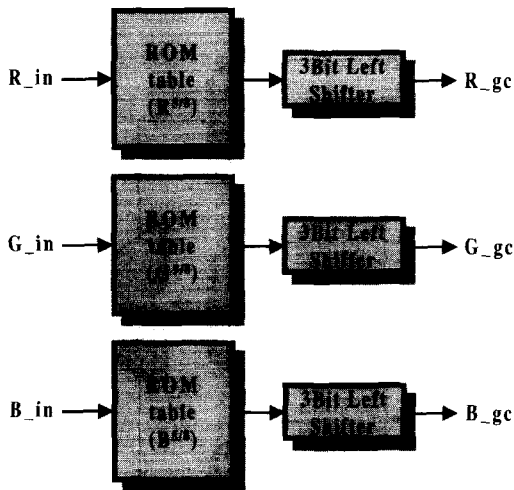


그림 7. 감마 보정 모듈의 블록도
Fig. 7. Block diagram of the gamma correction module.

4. 공간 가변적 대비 향상 모듈

그림 8은 공간 가변적 대비 향상 모듈의 블록도를 보여준다. 3. 1에서처럼 2개의 라인 버퍼와 레지스터들은 3×3 윈도우 내의 데이터를 발생시키기 위해 필요하다.

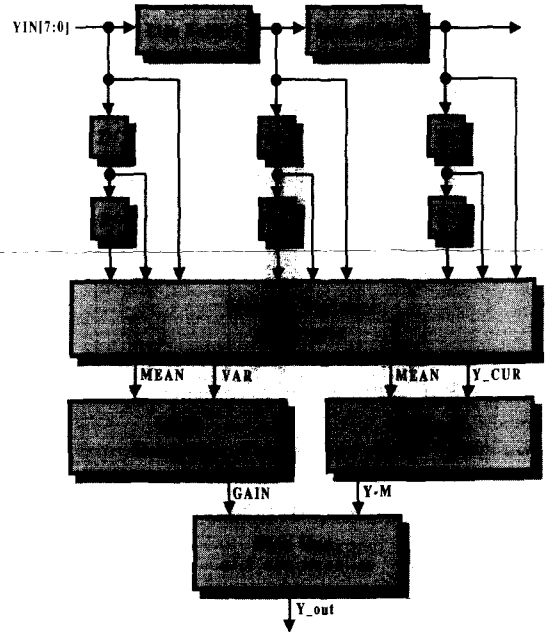


그림 8. 공간 가변적 대비 향상 모듈의 블록도
Fig. 8. Block diagram of the spatially adaptive contrast enhancement module.

평균 & 분산 발생기(mean & variance generator)는 3×3 윈도우 내의 평균값과 분산값을 구해낸다. 이득 발생기(gain generator)는 구해진 평균값과 분산값의 비를 이용하여 식 (9)를 통해 가변적 이득을 발생시킨다. 데이터 발생기는 이득 발생기로부터의 정보를 이용하여 식 (16)과 같이 대비 향상된 데이터 Y_out을 발생시킨다.

$$Y_{out} = G \times (Y - mean) + mean \tag{16}$$

5. 자동 노출 조정 모듈

자동 노출 조정 모듈을 구현하기 위해서는 각 입력 영상 프레임(frame)의 중간값을 구해내야 한다. 그러나, 중간값을 구해내기 위해서는 프레임내의 모든 데이터를 비교해야하므로, 하드웨어의 복잡도가 크게 증가하게 된다. 따라서, 본 논문에서는 중간값을 구하는 블록을 2개의 계수기(counter)로 대체함으로써 하드웨어의 복잡도를 줄이고자 하였다. 우선 하나의 계수기는 입력되는 데이터의 세기가 165 이상인 경우의 수를 세고, 다른 계수기는 85 이하인 경우의 수를 센다. 165 이상인 경우의 수가 전체 픽셀 수의 1/2 이상이면, 어두운 영상에 해당되므로 자동 노출 조정 모듈을 통해 노출

시간을 줄여주고, 반대로 85 이하인 수가 1/2 이상이면, 밝은 영상에 해당되므로 노출 시간을 늘려준다. 이와 같은 과정을 통해 일정한 밝기를 갖는 영상을 얻어낼 수 있다. 그림 9는 자동 노출 조정 모듈의 블록도를 보여준다.

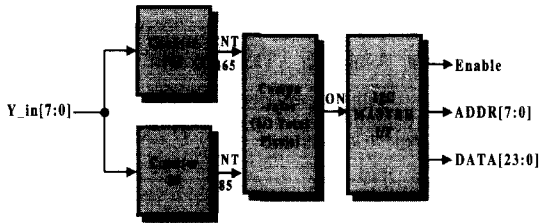


그림 9. 자동 노출 조정 모듈의 블록도
Fig. 9. Block diagram of the automatic exposure control module.

자동 노출 조정 모듈은 I2C 버스 마스터를 통해 노출 시간을 조정한다. 그러므로, 노출 조정 모듈은 인에이블 신호(enable signal), 노출 시간 조정 레지스터의 어드레스(address), 그리고 설정될 데이터 값을 I2C 버스 마스터에 전달한다.

IV. 구현 및 실험 결과

제안된 전처리 프로세서는 VHDL 언어를 이용하여 설계 및 검증되었다. 0.6 μ m의 CMOS 공정을 이용하여 합성한 결과, 약 19K의 논리 게이트로 구현되었다. 또한 실시간의 동작 여부를 검증하기 위해 설계된 전처



그림 10. 설계된 전처리 프로세서의 검증을 위한 테스트베드의 모습
Fig. 10. Picture of the testbed for verification of the designed preprocessor.

리 프로세서는 Altera사의 Flex EPF10KGC503-3 FPGA 칩으로 구현되었으며, 약 30 frames/sec.로 동작함을 확인하였다. 그림 10은 검증을 위한 테스트베드(testbed)의 모습을 보여준다. 설계된 전처리 프로세서는 CMOS 이미지 센서로부터 8 Bit의 입력 데이터를 받아 전처리 과정을 수행한 후, 최종 RGB 픽셀 데이터를 발생시킨다. 발생된 결과 데이터는 인터페이스카드(interface card)를 통해 PC로 입력되고, 검증을 위해 CRT로 디스플레이(display)된다. 인터페이스카드는 인텔(Intel)사의 8255 칩을 이용하여 ISA방식으로 구현하였으며, 칩의 구동은 별도의 구동 소프트웨어를 제작함으로써 이루어졌다.

그림 11은 전처리 프로세서의 검증을 위해 사용된 테스트 영상이다. 그림 2에 제시된 것처럼 Bayer 형태의 칼라 필터 어레이를 갖고 있으며, 최종 결과 영상에 비해 상대적으로 낮은 해상도를 보인다. 또한 G 성분의 어레이 수가 R 또는 B 성분의 2배이므로 전체적으로 녹색(green) 계열의 색을 보임을 관찰할 수 있다.

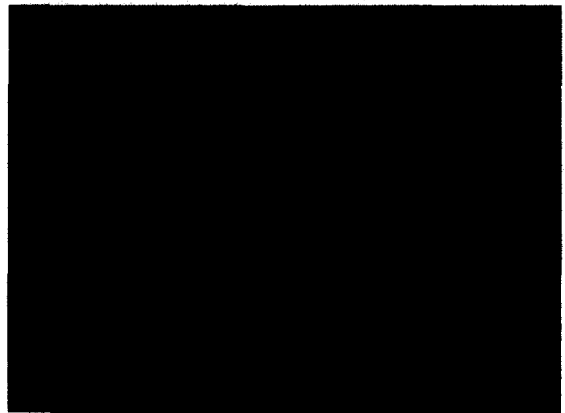


그림 11. 검증을 위해 사용된 입력 테스트 영상
Fig. 11. The input image used for the verification.

그림 12는 최종 결과 영상을 보여 준다. 우선 색상 보간과 색상 보정 결과, 영상의 해상도가 크게 증가하였으며, 전체적으로 R, G, B 성분의 수가 동일해짐으로써 실제 영상에 가깝게 재생되었음을 알 수 있다. 또한 감마 보정에 의해, 이전의 색상 보정된 영상에서 구별이 힘들었던 청색(blue) 계열의 색들이 더 선명해져 구별이 용이해졌음을 관찰할 수 있다. 마지막으로 공간 가변적 대비 향상 과정을 통해 전체적으로 국소 영역의 대조도가 향상되었으며, 결과적으로 경계 부분이 선명해졌음을 확인할 수 있다.

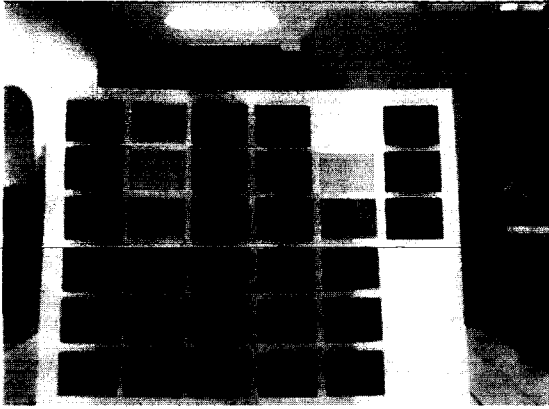


그림 12. 최종 결과 영상

Fig. 12. The final output image.

V. 결 론

본 논문은 CMOS 이미지 센서의 영상 개선을 위한 전처리 프로세서의 효율적인 하드웨어 구조 설계를 제안한다. CMOS 이미지 센서의 열등한 성능을 극복하기 위해 공간 가변적 대비 향상 알고리즘이 도입되었으며 이 외에도 CMOS 센서를 위해 최적화된 전처리 알고리즘이 포함되었다. 제안된 구조는 VHDL언어를 통해 설계 및 검증되었고, 합성 결과, 약 19K의 논리 게이트를 포함하였다. 이는 저가의 원칩(one-chip) PC 카메라 구현에 적합하리라 여겨진다. 실시간의 동작 여부를 검증하기 위해 제안된 전처리 프로세서는 Altera사의 Flex EPF10KGC503-3 FPGA 칩으로 구현되었으며, 전처리 프로세서를 통한 최종 결과 영상은 만족할만한 성능을 보임을 확인할 수 있었다.

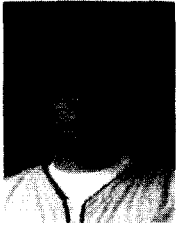
참 고 문 헌

- [1] Eric R. Fossum, "CMOS Image Sensors: Electronic Camera-On-A-Chip", IEEE Trans. On Electron Devices, Vol. 44, No. 10, October 1997, pp. 1689-1698.
- [2] Eric R. Fossum, "Digital Camera System On A Chip", IEEE micro, Vol. 18, No. 3, May 1998, pp. 8-15.
- [3] Yawcheng Lo, "Solid-state image sensor: technologies and applications", Part of the SPIE Conference on the Input/Output and Imaging Technologies, Vol. 3422, July 1988, pp. 70-80.
- [4] Wen-Hsin Chan and Ching-Twn Youe, "Video CCD Based Portable Digital Still Camera", IEEE Trans. On Consumer Electronics, Vol. 41, No. 3, August 1995, pp. 455-459.
- [5] Tetsuya Kuno, Hiroaki Sugiura, Narihiro Matoba, Yoshinori Kakuta, Shosuke Oka, and Katsumi Asakawa, "Development Of Card-size Digital Still Cameras", IEEE Trans. On Consumer Electronics, Vol. 43, No. 3, August 1997, pp. 717-724.
- [6] Norihiko Nakano, Ryuji Nishimura, Hiroto Saito, Akihito Niishizawa and Hiroyuki Komatsu, "Digital Still Camera System for Megapixel CCD", IEEE Trans. On Consumer Electronics, Vol. 44, No. 3, August 1998, pp. 581-586.
- [7] Hiroshi Mori, Takashi Hanagata, Hitoshi Nakada, Naoyasu Gamou, Yoshihiro Osawa, Harutomi Miyazaki, Masaki Sato, Shinya Yamamoto, and Yoshio Nara, "A Digital Color Camera LSI Chip Set for Multiple application", IEEE Trans. On Consumer Electronics, Vol. 43, No. 3, August 1997, pp. 725-731.
- [8] Tadashi Sakamoto, Chikako Nakanishi and Tomohiro Hase, "Software Pixel Interpolation for Digital Still Cameras Suitable for a 32-Bit MCU", IEEE Trans. On Consumer Electronics, Vol. 44, No. 4, November 1998, pp. 1342-1352.
- [9] Hansoo Kim, Joung-Youn Kim, SeungHo Hwang, In-Cheol Park, and Chong-Min Kyung, "Digital Signal Processor with Efficient RGB Interpolation and Histogram Accumulation", IEEE Trans. On Consumer Electronics, Vol. 44, No. 4, November 1998, pp. 1389-1395.
- [10] Jen-Chuan Wang, Der-Song Su, Den-Jen Hwang, and Ji-Chien Lee, "A Single Chip CCD Signal Processor for Digital Still Cameras", IEEE Trans. On Consumer Electronics, Vol. 40, No. 3, August 1994, pp. 476-483.
- [11] <http://www.vtisan.com/~rwb/gamma.html>
- [12] Patrenahalli M. Narendra, and Robert C. Fitch, "Real Time Adaptive Contrast Enhancement",

IEEE Trans. On Pattern Analysis and Machine Intelligence, Vol. PAMI-3, No. 6, November 1981, pp. 655-661.

[13] G. De Graaf, F. R. Riedijk, and R. F. Wolffenbuttel. "Color-sensor system with a frequency output and ISS or I2C bus interface". Sensors and Actuators A: Physical, Vol. 61, No. 1-3, June 1997, pp. 441-445.

저 자 소 개



丁 胤 豪(正會員)

1975년 2월 5일생. 1998년 2월 연세대학교 전자공학과 졸업(공학사). 2000년 8월 연세대학교 전자공학과 대학원 졸업(공학석사). 2000년 9월~현재 연세대학교 전기 전자공학과 박사과정 재학중. 주관심 분야는

영상 처리 및 초고속 광대역 유·무선 통신 시스템용 ASIC 설계



林 元 培(正會員)

1973년 4월 4일생. 1999년 2월 연세대학교 전자공학과 졸업(공학사). 2001년 2월 연세대학교 전자공학과 대학원 졸업(공학석사). 2001년 3월~현재 삼성 전자 근무중. 주관심 분야는 초고해상도 영상 복원 및 영

상 신호 처리



李 俊 煥(正會員)

1971년 3월 2일생. 1999년 2월 연세대학교 전자공학과 졸업(공학사). 2001년 2월 연세대학교 전자공학과 대학원 졸업(공학석사). 2001년 3월~현재 LG 전자 근무중. 주관심 분야는 영상 처리용 ASIC 설계



許 峰 壽(正會員)

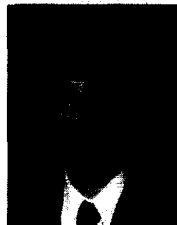
1974년 3월 15일생. 1999년 2월 연세대학교 전자공학과 졸업(공학사). 2001년 2월 연세대학교 전자공학과 대학원 졸업(공학석사). 2001년 3월~현재 삼성 전자 근무중. 주관심 분야는 영상 신호 처리



金 在 錫(正會員)

1955년 10월 1일생. 1977년 2월 연세대학교 전자공학과 졸업(공학사). 1979년 2월 KAIST 전기 전자 공학과 졸업(공학석사). 1988년 Rensselaer Polytechnic Institute (RPI NY, USA) 졸업(공학박사).

1988년~1993년 AT&T Technical Staff. 1993년~1996년 ETRI. 1996년~현재 연세대학교 전기 전자공학과 교수. 주관심 분야는 통신용 ASIC 설계, 고성능 DSP 설계, CAD S/W 및 영상 처리용 ASIC 설계



姜 文 基(正會員)

1963년 6월 9일생. 1986년 2월 서울대학교 전자공학과 졸업(공학사). 1988년 2월 서울대학교 전자공학과 대학원 졸업(공학석사). 1994년 2월 Northwestern University 졸업(공학박사). 1994년 10월 Northwestern

University Research Fellow, 1997년 2월 University of Minnesota, Duluth 조교수, 1997년 3월~현재 연세대학교 전기 전자공학과 부교수. 주관심 분야는 초고해상도 영상 복원 및 디지털 비디오 신호처리