

論文2001-38SD-8-1

# MFSFET 소자를 이용한 Adaptive Learning Circuit 의 설계

## (Design of the Adaptive Learning Circuit by Employing the MFSFET)

李國杓\*, 姜聲俊\*\*, 張東勳\*, 尹英燮\*

(Kook Pyo Lee, Seong Jun Kang, Dong Hoon Chang, and Yung Sup Yoon)

### 요 약

본 연구에서는 MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자의 모델링을 바탕으로 adaptive learning 회로를 설계하고 그 수치적인 결과를 분석하였다. Adaptive learning 회로에서 출력주파수는 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 보여주었다. Short pulse 수에 따른 포화드레인 전류곡선은 강유전체의 분극반전 특성과 유사함을 확인할 수 있었고, 이는 강유전체 분극이 MFSFET 소자의 드레인 전류조절에 핵심적인 요소로 작용한다는 사실을 의미한다. 다음으로 MFSFET 소자의 소스-드레인 저항으로부터 dimensionality factor 와 adaptive learning 회로의 펄스 수에 따른 출력주파수 변화를 분석하였다. 이 특성으로부터, adaptive learning 회로의 주파수변조 특성 즉, 입력펄스의 진행에 따라 출력펄스의 점진적인 주파수 변화를 의미하는 adaptive learning 특성을 명확하게 확인할 수 있었고, 뉴럴 네트워크에서 본 회로가 뉴런의 시냅스 부분에 효과적으로 사용될 수 있음을 입증하였다.

### Abstract

The adaptive learning circuit is designed on the basis of modeling of MFSFET (Metal-Ferroelectric-Semiconductor FET) and the numerical results are analyzed. The output frequency of the adaptive learning circuit is inversely proportional to the source-drain resistance of MFSFET and the capacitance of the circuit. The saturated drain current with input pulse number is analogous to the ferroelectric polarization reversal. It indicates that the ferroelectric polarization plays an important role in the drain current control of MFSFET. The output frequency modulation of the adaptive learning circuit is investigated by analyzing the source-drain resistance of MFSFET as functions of input pulse numbers in the adaptive learning circuit and the dimensionality factor of the ferroelectric thin film. From the results, the frequency modulation characteristics of the adaptive learning circuit are confirmed. In other words, adaptive learning characteristics which means a gradual frequency change of output pulse with the progress of input pulse are confirmed. Consequently it is shown that our circuit can be used effectively in the neuron synapses of neural networks.

\* 正會員, 仁荷大學校 電子材料工學科

(Dept. of Electronic Materials &amp; Device Engineering, Inha Univ.)

\*\* 正會員, 麗水大學校 半導體·應用物理學科

(Dept. of Semiconductor and Applied Physics, Yosu National Univ.)

接受日字:2000年11月13日, 수정완료일:2001年7月20日

### I. 서론

사람의 두뇌와 같이 정보처리를 구현할 수 있는 뉴럴 네트워크는 새로운 미래 정보시스템으로 많은 주목을 받고 있다. 이러한 뉴럴 네트워크는 인공위성에서의 사진촬영, 우주선 조정 시스템, 우주비행 경로 시뮬레이션 등과 같은 미래 우주연구사업과 목적물 추적장치,

이미지 신호처리와 같은 고부가가치 미래산업에 그 활용가능성이 매우 크다.<sup>[1-3]</sup>

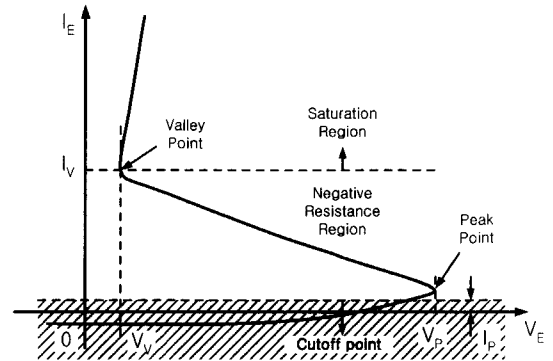
뉴럴 네트워크에서 뉴런 사이의 시냅스 부분은 비휘발성 “memory” 와 “learning” 특성을 가지고 있어서, 신호를 저장하고 저장된 정보를 인식, 발전 (learning) 시키는 adaptive learning 특성을 담당하고 있다. 여기서, “adaptive learning” 은 소자가 수 차례의 일반적인 신호를 처리한 후에 소자특성이 변화하는 것으로 정의된다. 그러나, 시냅스 부분의 이러한 adaptive learning 특성은 floating-gate 소자를 사용한 뉴럴 네트워크에 대한 많은 연구에도 불구하고 웨이트 조절능력과 조절 시간 등에 관련한 부분이 아직 확실하게 해결되어 있지 않은 실정이나 최근에, MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자를 이용한 새로운 개념의 neuro-device 의 도입이 제안되면서 새로운 도약기를 맞이하고 있다. 이 방식은 기존의 floating-gate 소자에 비해 10<sup>12</sup> 이상의 “write” 동작, 점진적인 learning 특성, 전기장의 유동에 대한 견고성 등의 우수한 장점을 가지고 있다.<sup>[4]</sup> 그러나, MFSFET 소자를 이용한 neuro-device 의 경우 MFSFET 소자의 확실한 동작모델과 설계회로에서 adaptive learning 에 관한 수치적 분석이 아직 타당성 있게 검증되지 않아 실용화에는 아직 많은 제약이 있다.

따라서, 본 연구에서는 MFSFET 소자의 모델링을 바탕으로 adaptive learning 회로를 설계하고, 그 수치적인 결과를 분석하였다. Adaptive learning 회로를 구현하기 위해, MFSFET 소자와 UJT (Uni-Junction Transistor) 소자를 사용한 oscillation trigger 회로를 설계하여, MFSFET 소자의 게이트에 short pulse 를 인가함에 따라 나타나는 소스-드레인 저항의 변화를 출력주파수 변조에 활용하였다. Adaptive learning 회로는 MFSFET 소자의 강유전체 게이트에 short pulse 를 인가함에 따라 점진적으로 분극반전이 나타나는 특성을 응용한 것으로서 분극반전에 따른 MFSFET 소자의 채널형성 과정을 파악하여 소스-드레인 저항을 유도하는 과정이 필요하다. 그 과정은 square-law FET 모델로부터 얻은 MFSFET 소자의 드레인 전류 방정식과 J. F. Scott 등<sup>[5]</sup>이 논증한 스위칭 분극반전 관계식을 결합하여 표현하였다. 마지막으로 MFSFET 소자의 소스-드레인 저항을 oscillation trigger 회로에 적용하여 출력펄스를 얻었고, 소스-드레인 저항의 변화에 따라 주파수 변조가 발생함을 확인하여 본 연구에서 설

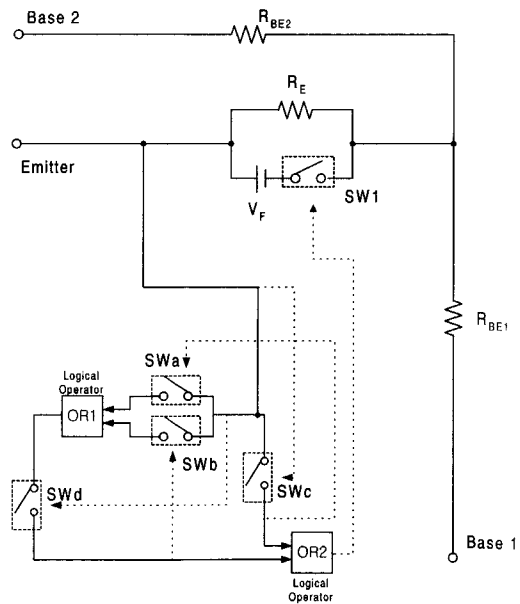
계한 회로가 adaptive learning 특성을 효과적으로 나타낼 수 있음을 입증하였다.

### II. 모델링

본 연구에서는 MFSFET 소자와 UJT 소자를 활용하여 adaptive learning 회로를 구현하였다.



(a)



(b)

그림 1. (a) UJT 소자의 전류-전압 특성 (b) Matlab simulink 시뮬레이션을 사용한 UJT 의 등가회로

Fig. 1. (a) Current-voltage characteristics of UJT device.

(b) The equivalent circuit of the UJT used in the matlab simulink simulation.

Thyristor 계열의 UJT (Uni-Junction Transistor) 소자는 conductivity modulation 에 의해서 높은 임피던스 OFF 상태와 낮은 임피던스 ON 상태를 나타내는 소자로서 에미터 정선과 두 개의 베이스 ohmic contact 으로 구성된다. UJT 소자는 Fig. 1 (a) 에 보듯이 에미터 전압-에미터 전류 특성에서 peak point 와 valley point 를 나타내어, peak point 의 전류  $I_p$  보다 적은 전류에서는 cut-off 영역으로서 OFF 상태를 갖는다. 반면에, peak 와 valley 전압 사이에서는 전압의 감소에 따라 전류가 증가하는 negative resistance 상태이며, valley point 의 전류  $I_v$  보다 큰 포화 영역에서 ON 상태를 나타낸다.<sup>[6]</sup>

Fig. 1 (a) 와 같은 특성을 나타내는 등가회로를 구현하기 위해 OR 연산자, 전압조절 스위치, 저항, DC 전압원으로 구성된 UJT 등가회로를 Matlab Simulink tool 을 이용, 설계하여 Fig. 1 (b) 에 나타내었다. UJT 소자의 동작은 에미터 전압이 Fig. 1 (b) 부분에 있는 스위치 SWc 와 SWd 를 조절하게 되는데, 스위치 SWd 는 에미터 전압이 valley 전압 ( $V_v$ ) 보다 클 때 동작되고, SWc 는 에미터 전압이 UJT 의 peak 전압 ( $V_p$ ) 보다 클 때 동작된다. SWc 의 동작에 따라 스위치 SWa 가 동작되고, OR1 과 SWd 의 동작에 따라 스위치 SWb 가 동작된다. 또, OR2 가 동작하게 되면, 스위치 SW1 이 동작하게 되어 에미터에서 베이스 으로서 많은 전류가 흐르는 반면, SW1 이 동작되지 않을 경우는 고저항 ( $R_E$ ) 를 통하여 작은 전류가 흐르게 된다.

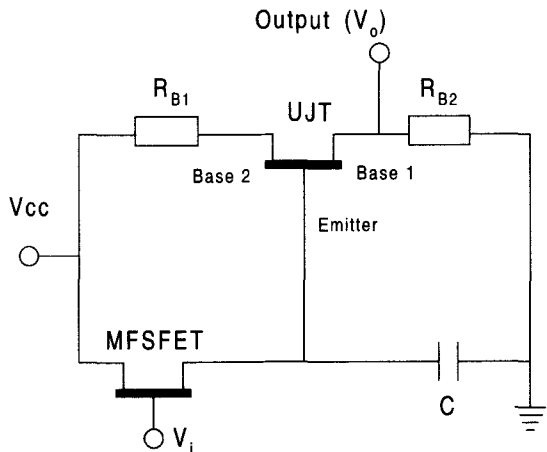


그림 2. MFSFET 와 UJT 를 사용한 oscillator trigger 회로

Fig. 2. Oscillator trigger circuit using the MFSFET and the UJT.

Fig. 2 는 UJT 와 MFSFET 소자가 연결된 PFM (pulse frequency modulation) 시스템으로서 adaptive learning 특성을 나타내도록 고안된 oscillation trigger 회로이다. 이 회로에서, UJT 의 에미터 전압은 DC 바이어스  $V_{cc}$  에 의해 충전되는 캐패시터에 의해 peak 전압까지 증가하게 된다. 에미터 전압이 peak 전압 일 때, 많은 에미터 전류가 베이스 단자로 흐르게 되고, 이 때 캐패시터의 전하는 급격하게 방전되면서 에미터 전압은 valley 전압 이하까지 떨어지고, 적은 양의 에미터 전류가 베이스 단자로 흐르게 된다. 그 후, 다시 캐패시터가 충전되고, 많은 에미터 전류가 흐르게 된다. 이러한 과정은 캐패시터의 시상수에 의해 주기적으로 반복되는데, 이에 따라서 출력전압은 일정한 주파수를 갖는 펄스 파형을 나타내게 된다. 또한, Fig. 2 에서 보듯이, MFSFET 소자의 소스-드레인 저항에 의해서도 출력펄스의 변화가 일어난다. DC 바이어스  $V_{cc}$  가 MFSFET 소자의 소스-드레인 저항에 의해 전압강하 후, 캐패시터에 충전되므로 소스-드레인 저항에 따라 캐패시터의 충전속도와 출력펄스의 주파수가 변하게 된다. 따라서, 캐패시턴스와 MFSFET 소자의 소스-드레인 저항에 따라 Fig. 2 의 adaptive learning 회로에서 출력주파수를 조절할 수 있다.

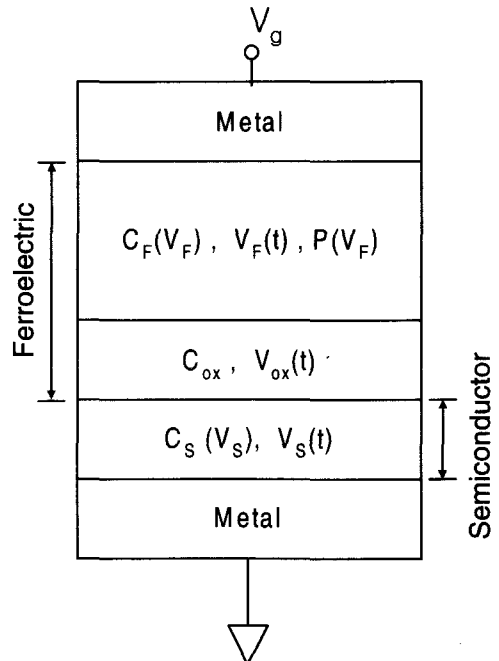


그림 3. MFDS 캐패시터의 구조

Fig. 3. MFDS capacitor structure.

MFSFET 의 모델링에 기반이 되는 강유전체 박막의 이력특성 (P-V 특성) 은 식 (1) 과 (2) 로 표현되는 field-dependent polarization 모델<sup>[7~8]</sup>을 사용하여 효과적으로 시뮬레이션 할 수 있다.

$$P_d = P_S(1 + \alpha V) \cdot \tanh\left[\frac{(V \pm V_c)}{2V_o}\right] \quad (1)$$

$$V_o = \frac{V_c}{\ln\left(\frac{1 + \frac{P_R}{P_S}}{1 - \frac{P_R}{P_S}}\right)} \quad (2)$$

여기서,  $P_d$  는 강유전체 박막의 분극값,  $P_S$  는 강유전체 박막의 자발분극,  $\alpha$  는 강유전체 분극의 전계효과,  $V$  는 강유전체의 인가 전압,  $V_c$  는 항전압,  $P_R$  는 강유전체의 잔류분극이다.

MFSFET 소자의 특성을 모델링하기 위해 Fig. 3 에 나타낸 MFDS 캐패시터로부터 다음식을 유도하였다.

$$V_G = \Phi_{ms} + V_F + V_S \quad (3)$$

$$P(V_S, V_F) = -Q_S(V_S) - \frac{\epsilon_o}{d_f} V_F \quad (4)$$

여기서,  $V_G$  는 게이트 전압,  $\Phi_{ms}$  는 금속과 벌크 실리콘 반도체 사이의 일함수이다. 식 (3) 과 (4) 로부터  $V_G$  에 따른  $V_S$  와  $V_F$  의 상관관계를 알 수 있다. 각 부분별 전압을 활용하여 MFSFET 소자의 특성을 분석하기 위해 문턱전압 이상 즉, 강반전 구간일 때의 드레인 전류를 조사하였다. 이 때의 드레인 전류는 포화드레인 전압  $V_{Dsat}$  이하에서 형성되는 선형 구역과 포화 드레인 전압 이상에서 나타나는 포화 구역으로 나뉘게 되는데, n-type FET 의 드레인 전류는 다음식으로 표현된다.<sup>[9~11]</sup>

$$I_D = -\frac{Z}{L} \mu_n \int_0^{V_{DS}} Q_n dV \quad (5)$$

식 (5) 의 파라미터를 살펴보면 다음과 같다.

$$Q_n(y) = Q_S - Q_B \quad (6)$$

$$Q_B = -\sqrt{2q\epsilon_0\epsilon_{si}N_A V_S} = -\sqrt{2q\epsilon_0\epsilon_{si}N_A(2\Phi_F + V(y))} \quad (7)$$

여기서,  $Z$  는 채널의 너비,  $L$  은 채널의 길이,  $\mu_n$  은 전자의 이동도,  $V_{DS}$  는 소스와 드레인 사이의 전위,

$Q_B$  는 실리콘 벌크의 전하밀도,  $\Phi_F$  는 p-형 실리콘의 페르미 준위,  $V(y)$  는 소스 전극과 임의의 지점  $y$  사이에 해당하는 역 바이어스이다. 여기서, 식 (3), (4), (6), (7) 을 식 (5) 에 대입하여 드레인 전류를 구하면 다음과 같다.<sup>[11]</sup>

$$I_D = \frac{Z}{L} \mu_n \left( \int_0^{V_{DS}} P(V_F) dV + \frac{\epsilon_o}{d_f} [(V_G - 2\Phi_F - \Phi_{ms} - V_{\alpha})V_{DS} - \frac{1}{2} V_{DS}^2] - \frac{2}{3} \sqrt{2q\epsilon_0\epsilon_{si}N_A} [(V_{DS} + 2\Phi_F)^{3/2} - (2\Phi_F)^{3/2}] \right) \quad (8)$$

포화드레인 전압  $V_{Dsat}$  은 다음식과 같이 표현할 수 있다.

$$V_{Dsat} = V_G - V_T \quad (9)$$

여기서, 문턱전압  $V_T$  는  $V_S = 2\Phi_F$  일 때의 게이트 전압으로 식 (3) 을 활용하여 다음과 같이 구할 수 있다.

$$V_T = \Phi_{ms} + 2\Phi_F + V_{\alpha}(V_S = 2\Phi_F) + V_F(V_S = 2\Phi_F) \quad (10)$$

식 (8) 은 선형영역의 드레인 전류를 표현한 식이고, 포화영역의 드레인 전류는 식 (8) 에  $V_{DS}$  대신  $V_{Dsat}$  대입하여 얻을 수 있다.<sup>[9~11]</sup>

### III. 결과 및 논의

Fig. 4 는 식 (8) 로 표현되는 MFSFET 소자의 특성 모델을 검증하기 위해, 이전에 본 연구실에서 발표한 논문의 결과 중, 드레인 전압에 따른 드레인 전류특성 곡선을 나타낸 것이다.<sup>[12]</sup>

Fig. 4 에서 실선부분은 식 (8) 을 사용하여 시뮬레이션 값이고, 실험값은 기호를 사용해서 나타내었다. 여기서, 'write' 게이트 전압은 10 V 로 설정하여 강유전체 분극에 의해 quasi-MFSFET 에 채널이 형성되게 하였고, 0 V 의 'read' 게이트 전압에서 드레인 전류의 변화를 관찰하였다. 또, 'write' 게이트 전압을 -10 V 로 설정했을 경우에는 각각의 강유전체를 사용한 quasi-MFSFET 에서 모두 드레인 전류의 흐름이 관찰되지 않았다. Fig. 4 로 부터 식 (8) 의 MFSFET 소자모델이 제작된 quasi-MFSFET 소자의 특성과 매우 잘 일치한다는 사실을 알 수 있다.

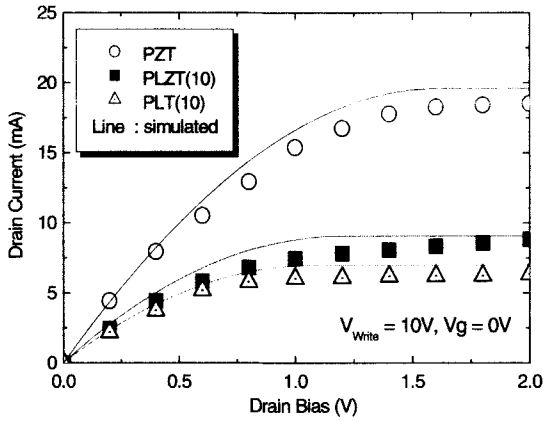


그림 4. 드레인 바이어스에 따른 quasi-MFSET 소자의 드레인 전류곡선  
 Fig. 4. Drain current curves of quasi-MFSET device as a function of drain bias.

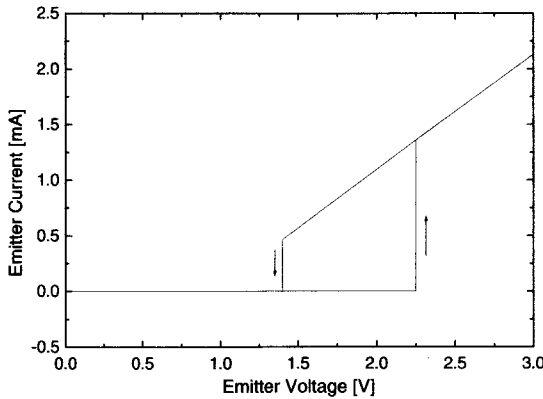


그림 5. 에미터 전압에 따른 UJT의 에미터 전류  
 Fig. 5. The emitter current of the UJT as a function of emitter voltage.

Fig. 1 (b)에 나타난 UJT 등가회로에서, Base 2 단자 = 10V,  $R_E = 10M\Omega$ ,  $V_F = 0.65V$ ,  $R_{BE1} = 1k\Omega$ ,  $R_{BE2} = 500k\Omega$  일 때, 시뮬레이션을 통해 구한 에미터 전압에 따른 에미터 전류를 Fig. 5에 나타내었다. Fig. 1 (b)의 UJT 소자의 등가회로에서, 에미터 전압이 0V부터 증가하는 경우, 초기에는 스위치 SW1으로 전압이 유도되지 않으므로 에미터 전류는 고저항 ( $R_E$ )을 통해 콜렉터 단자로 흐르게 된다. 에미터 전압이 계속 증가하여 valley 전압 1.4V가 되었을 때, 스위치 SWd가 동작되지만, 스위치 SWa, SWb, SWc가 동작되지 않으므로 스위치 SW1으로 전압이 유도되지 않는다. 그러나, 에미터 전압이 peak 전압 2.25V가 되었을 때, 스위치 SWc가 동작되고 차례로 스위치 SWa, SWb,

SW1도 동작되므로, 에미터 전류가 전압  $V_F$ 만큼 전압감소가 일어난 후, 스위치 SWa로 많은 전류가 급격하게 흐르게 된다. 그 후, 에미터 전압이 peak 전압 이상에서는 고저항 ( $R_E$ )에 의해 선형적으로 에미터 전류

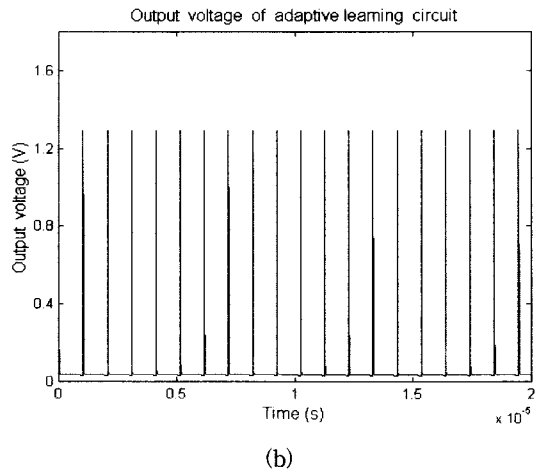
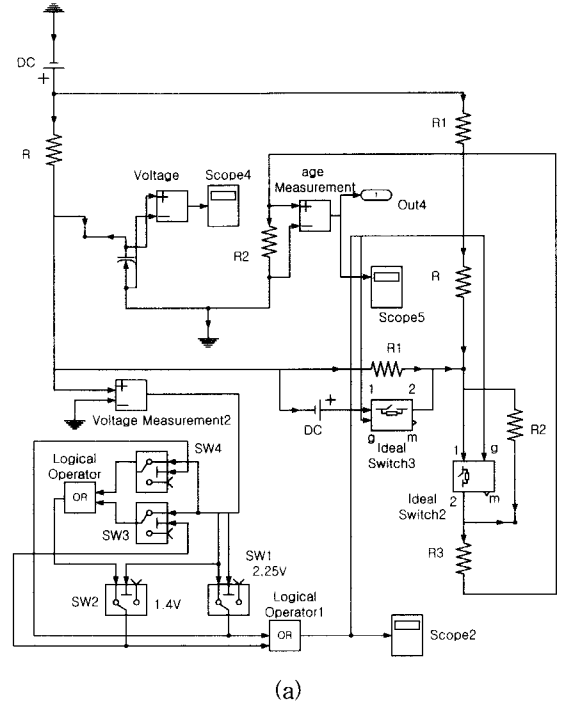
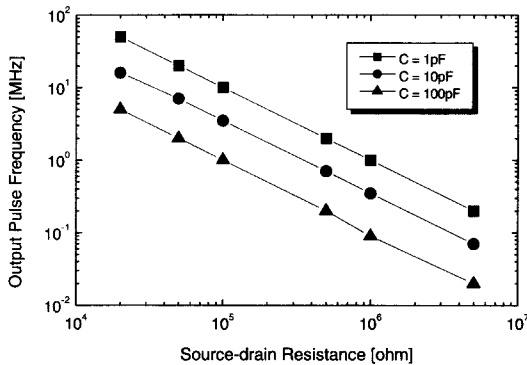
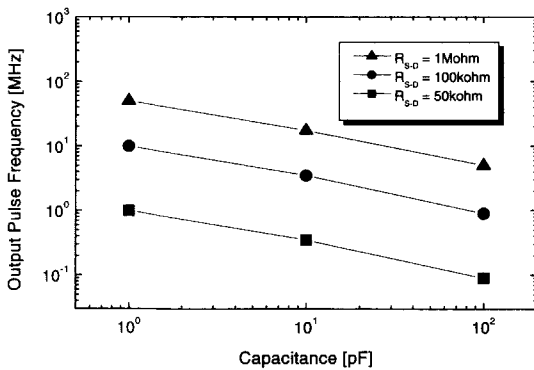


그림 6. (a) Matlab Simulink를 사용하여 설계한 oscillator trigger 회로  
 (b) Adaptive learning 회로의 출력펄스 (C: 1pF, 소스-드레인 저항: 1M $\Omega$ )  
 Fig. 6. (a) Oscillator trigger circuit used in the Matlab Simulink.  
 (b) Output pulses of the adaptive learning circuit (C: 1pF, resistance of source-drain: 1M $\Omega$ ).

가 증가한다. 반면에, 에미터 전압을 peak 전압 이상 인가한 후, 에미터 전압을 점차 감소시킬 때에는 그 특성이 매우 다르게 나타난다. 에미터 전압이 감소하여 peak 전압이하가 되었을 때, 스위치 SWc 와 SWa 는 동작하지 않지만, 논리연산자 OR2 는 여전히 동작되어 SW1 으로 전압이 유도된다. 에미터 전압이 valley 전압이 되었을 때, 비로소 스위치 SWd 와 SWb 가 동작되지 않고 따라서 스위치 SW1 도 동작하지 않으므로, 고저항 ( $R_E$ ) 를 통해 작은 에미터 전류가 흐르게 된다. 이와 같은 현상이 일어나는 물리적인 원인은 에미터와 베이스 간의 접합 (junction) 에서 일어나는 conductivity modulation 으로 설명될 수 있다.<sup>[6]</sup> Fig. 5 는 H. Ishiwaru 등<sup>[4]</sup>이 측정하고 시뮬레이션한 UJT 소자의 특성과 매우 유사한 특성을 나타내고 있다.<sup>[4]</sup> 이 모델은 다음의 adaptive learning 회로에 적용되었다.



(a)



(b)

그림 7. (a) Adaptive learning 회로에서 캐패시턴스와 (b) MFSFET 소자의 소스-드레인 저항에 따른 출력펄스 주파수의 관계

Fig. 7. Relation of output pulse frequency (a) to the value of capacitance and (b) to the value of source-drain resistance of MFSFET in the adaptive learning circuit.

Fig. 6 (a) 는 Fig. 2 의 oscillation trigger 회로 모델을 Matlab Simulink 회로설계 tool 을 사용하여 설계한 그림을 나타낸 것이고, Fig. 6 (b) 는 Fig. 2 의 adaptive learning 회로에서, MFSFET 소자의 소스-드레인 저항이  $1M\Omega$ , 캐패시턴스가  $1pF$ , 저항  $R_{BI}$  과  $R_{BE}$  를 각각  $5k\Omega$  으로 설정했을 때의 시간에 따른 출력펄스 특성을 나타낸 것이다. Fig. 6 (b) 에서 보듯이, 출력주파수는 약  $1MHz$  이고 출력펄스의 크기는 약  $1.25V$  이다. 이로부터, Fig. 1 (b) 의 UJT 등가회로가 고주파수에서도 저주파수에서 처럼 안정되게 동작되고 있다는 사실과 캐패시턴스의 시상수에 따라 일정한 주파수를 가지며 출력펄스가 진행되고 있음을 알 수 있다. 따라서, PFM (pulse frequency modulation) 시스템에 적용할 때, 이와 같은 출력펄스 형태를 분석하여 Fig. 7 과 같은 adaptive learning 특성을 확인할 수 있었다.

Fig. 6 (b) 의 출력펄스 주파수가 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 따라 변화해 가는 특성을 Fig. 7 에 나타내었다. Fig. 7 에서 보듯이, 출력펄스 주파수는 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 나타내었다. 이는 oscillation trigger 회로의 주파수에 관련한 다음 식과 일치하는 것이다.<sup>[6]</sup>

$$\frac{1}{f} = RC \ln\left(\frac{1}{1-\eta}\right) \quad (11)$$

$$\eta = \frac{R_{BI}}{R_{BI} + R_{BE}} \quad (12)$$

여기서,  $f$  는 adaptive learning 회로의 출력펄스 주파수이다. Fig. 2 의 등가회로에서, 캐패시턴스의 값이 클수록 DC 바이어스  $V_{cc}$  에 의한 충전시간이 길어지게 되어 캐패시턴스와 주파수는 반비례하게 된다. 또, DC 바이어스  $V_{cc}$  의 인가전압은 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 의해 분배되므로 소스-드레인 저항이 클수록 캐패시턴스의 충전시간이 길어지게 되어 소스-드레인 저항과 출력펄스의 주파수도 역시 반비례하게 된다. 이 결과로부터, 캐패시턴스-출력펄스 주파수 특성을 활용하면 사용하는 목적에 따른 주파수 변조대역을 설정할 수 있고, MFSFET 소자의 channel 형성에 따라 구한 소스-드레인 저항을 이용하면 PFM 시스템을 구현할 수 있음을 알 수 있었다.

Fig. 8 은 adaptive learning 회로에서 MFSFET 소자에 short pulse 를 인가하면서 주파수 변조특성을 확인해보기 위해 (a) 분극반전 특성, (b) 이력곡선 특성,

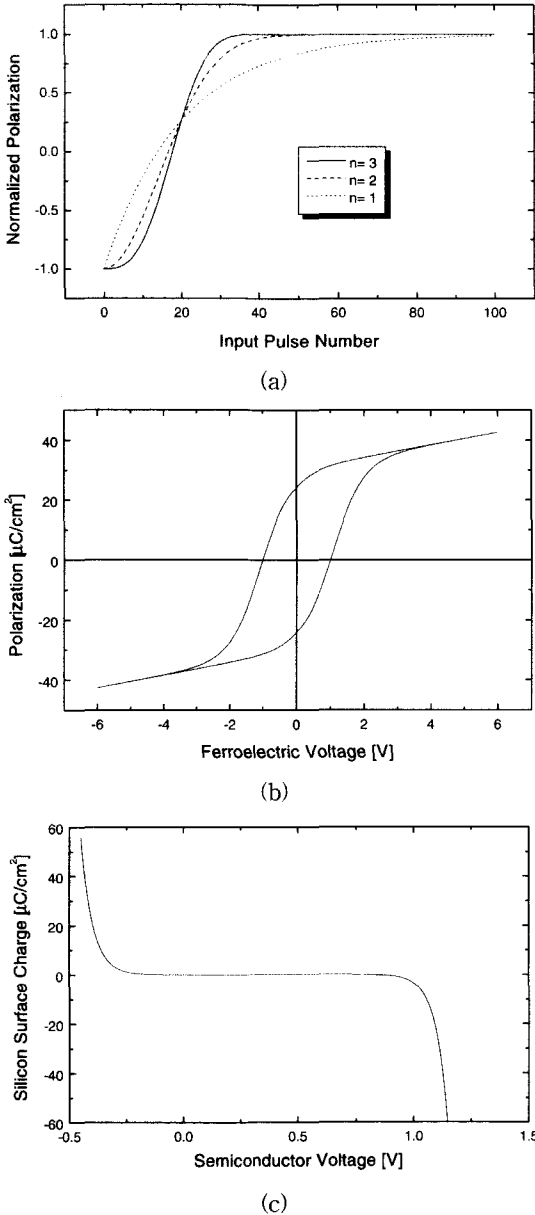


그림 8. (a) 입력펄스 수에 따른 분극변화, (b) 강유전체 전위에 따른 PZT 막의 강유전성 이력곡선 그리고 (c) 반도체 전위에 따른 실리콘의 표면전하

Fig. 8. (a) The polarization changes as a function of input pulse numbers, (b) the ferroelectric hysteresis of PZT films as a function of ferroelectric voltage and (c) the silicon surface charge as a function of semiconductor voltage.

그리고 (c) 실리콘의 표면전하 특성 모델을 각각 나타낸 것이다. Fig. 8(a)는 다음 식으로 부터 유도하였

다.<sup>[5]</sup>

$$P = P_s [1 - 2 \exp\{- (t/t_s)^n\}] \quad (13)$$

여기서,  $P_s$ 는 자발분극,  $n$ 은 dimensionality factor,  $t_s$ 는 스위칭 시간이다.

Fig. 8 (a)는 dimensionality factor를 1에서 3으로 변화시켜 가면서 분극반전의 정도를 파악한 것인데, 펄스의 간격은 스위칭 시간의 5/100 배만큼 짧게 주었다. 이 경우  $n$ 이 1일 때, 펄스 수가 100까지 분극반전이 관찰되고,  $n$ 이 각각 2와 3이 되면서 펄스 수 45와 35 정도에서 더 이상 분극반전이 일어나지 않았다. 이로부터, dimensionality factor가 주파수 변조 특성에 상당히 큰 영향을 미침을 알 수 있었다. 강유전체 박막의 dimensionality factor는 grain들의 크기와 결정화 방향에 영향을 받는다고 알려져 있다. E. Tokumitsu 등<sup>[13]</sup>은 PZT 박막을 이용한 실험에서, grain들의 크기가 작은 경우 domain들의 2차원 성장을 방해하므로 dimensionality factor가 1에 유사한 값을 갖는다고 보고 하였다. 또한, 결정화 방향도 (001)로 배향된 박막보다 random하게 배향된 박막에서 dimensionality factor가 더 작아진다는 사실을 보고 하였으나 이에 대한 원인은 좀 더 연구되어야 할 것으로 생각된다. 따라서, adaptive learning 회로에 적용되는 강유전체 박막은 grain들의 크기가 작고, (001)로 배향되지 않은 박막을 선택하는 것이 유리하리라고 생각된다.

표 1. MFSFET 시뮬레이션에 사용된 파라미터

Table 1. Parameters for MFSFET simulation.

Element	$P_s$ ( $\mu\text{C}/\text{cm}^2$ )	$P_R$ ( $\mu\text{C}/\text{cm}^2$ )	$d_F$ (Å)	$V_C$ (V)
Value	30	24	2000	1.0
Element	$\epsilon_{si}$	Z/L	$N_A$ ( $\text{cm}^{-3}$ )	$\mu_n$ ( $\text{cm}^2/(\text{V} \cdot \text{s})$ )
Value	11.8	5	$10^{16}$	1500

Fig. 8 (b)는 게이트에 short pulse를 인가함에 따른 MFSFET 소자의 소스-드레인 저항을 구하기 위해 인가전압에 따른 강유전체 분극을 나타낸 것이다. MFS 캐패시터에 전압이 인가되면, 강유전체는 금속-하부전극 뿐만 아니라, 실리콘층 위에서도 Fig. 8 (b)와 같은

이력곡선을 나타내며 분극이 변화하게 된다.<sup>[14]</sup> 이때, 강유전체 박막의 이력특성 (P-V 특성) 은 식 (1) 과 (2) 에 나타낸 field-dependent polarization 모델을 사용하여 효과적으로 시뮬레이션 할 수 있으며, 이 모델의 검증은 본 연구실에서 발표한 논문<sup>[12]</sup>에 입증되어 있다.

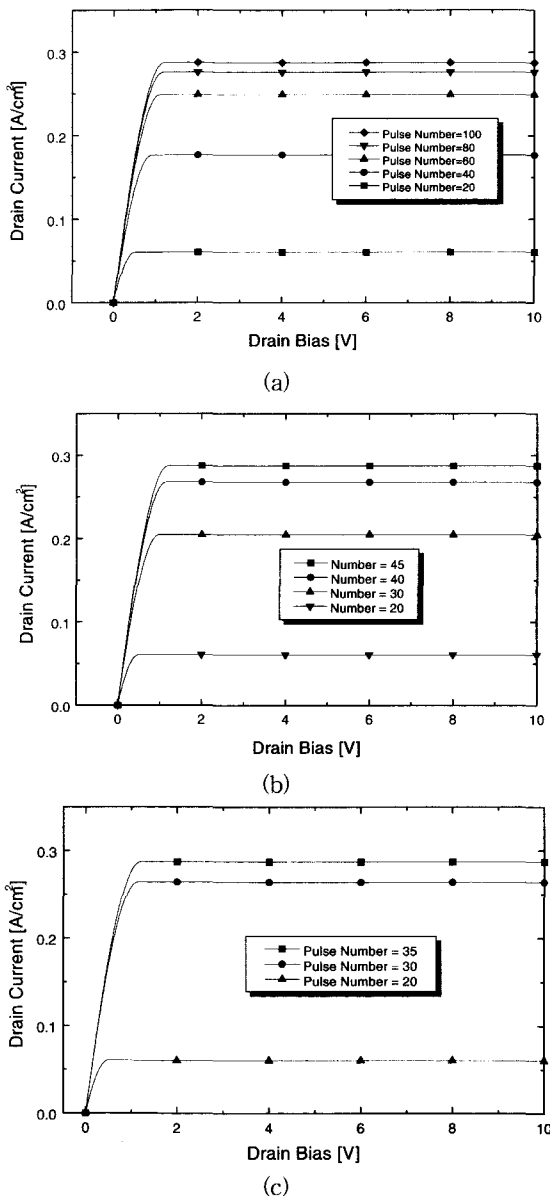


그림 9. (a)  $n = 1$ , (b)  $n = 2$  그리고 (c)  $n = 3$  에서 게이트 단자의 입력펄스 인가에 의한 MFSFET 소자의 점진적인 learning 효과

Fig. 9. Gradual learning effect in the MFSFET by applying a number of input pulses to the gate terminal at (a)  $n = 1$ , (b)  $n = 2$  and (c)  $n = 3$

Fig. 8 (c) 는 Table 1 의 파라미터를 사용한 인가전압에 따른 반도체의 표면전하를 나타낸 것으로, Fig. 8 (b) 의 이력곡선 분극값과 반대 극성의 동일한 실리콘 표면전하가 형성된다. 따라서, Fig. 8 (a) 의 분극변화를 Fig. 8 (b) 와 (c) 에 적용하면, 펄스의 수에 따른 강유전체 분극과 실리콘 표면전하를 구할 수 있다. 이 값으로부터 게이트 전압을 알 수 있고, 이를 식 (8) 에 대입하면 펄스 수에 따른 MFSFET 소자의 드레인 전류를 구한 후에, 이 값으로 드레인 전압을 나누어서 소스-드레인 저항을 구할 수 있다.

Fig. 9 (a), (b), (c) 는 dimensionality factor 가 각각 1, 2, 3 일 때, short pulse 인가에 따른 드레인 전류의 특성을 나타낸 것인데, table 1 에 나타난 강유전체 박막의 파라미터로부터 구한 것이다. 강유전체의 분극은 초기에 "-" 값을 갖는 경우로 설정하여 short pulse 에 따라 분극이 서서히 "+" 값을 나타내게 하였다. 이 경우, 초기에는 전하의 drift 현상에 의한 드레인 전류가 생성되지 않다가, short pulse 에 따라 분극이 "+" 값을 나타낼 때 비로소 drift 현상에 의한 드레인 전류가 흐르게 된다. 따라서, MFSFET 소자의 소스-드레인 저항의 변화를 다양하게 나타내고, adaptive learning 회로의 출력 주파수를 효과적으로 변조할 수 있었다. Fig. 9 에서 펄스 수가 증가함에 따라 포화드레인 전류의 증가량이 감소하였고, Fig. 8 (a) 의 분극반전 곡선과 동일하게 dimensionality factor 가 1, 2, 3 일 때 각각 펄스 수 100, 45, 35 에서 드레인 전류의 증가가 더 이상 일어나지 않았다. 특히, dimensionality factor 가 3 인 경우는 펄스 수가 20 에서 35 사이에서만 포화드레인 전류의 증가가 나타나서, 펄스 수에 따른 MFSFET 소자의 소스-드레인 저항조절이 용이하지 않음을 알 수 있었다. 이로부터, dimensionality factor 가 1 에 근접한 경우의 MFSFET 소자가 adaptive learning 회로에 적합하다는 사실을 알 수 있었다.

Fig. 10 (a) 는 펄스 수에 따른 포화드레인 전류곡선으로서 Fig. 8 (a) 와 아주 유사한 형태를 갖고 있는데, 이는 강유전체 분극이 MFSFET 소자의 드레인 전류조절에 핵심적인 요소로 작용한다는 사실을 의미한다. 그런데, Fig. 8 (a) 의 분극반전 특성곡선 보다 Fig. 10 (a) 의 포화드레인 전류 특성곡선에서 펄스 수 20 이상 일 때 dimensionality factor 에 따른 차이가 크게 나타나는데, 이는 펄스 수가 20 이상일 때, 분극반전이 이루어져서 분극이 "+" 값을 가지기 때문이다. 강유전체가



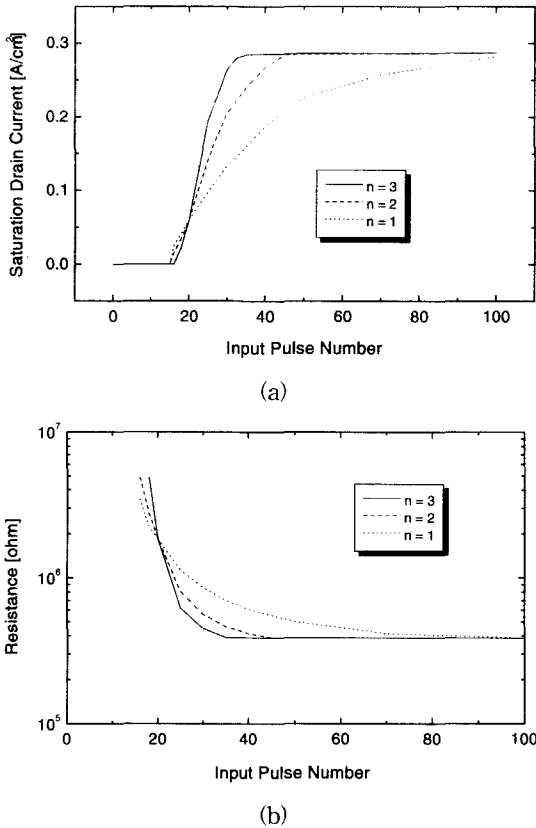


그림 10. 입력펄스 수에 따른 (a) 포화 드레인 전류와 (b) 소스-드레인 저항  
 Fig. 10. (a) The saturation drain current and (b) the source-drain resistance as a function of input pulse numbers

"+" 분극일 경우, MFSFET 소자에서는 채널이 형성될 수 있으므로 드레인 전류가 강유전체의 분극 변화에 민감하게 작용한다. 반면, 펄스 수가 20 이하에서는 포화 드레인 전류 특성곡선이 분극반전 특성곡선보다 dimensionality factor 에 따른 변화량이 훨씬 작음을 알 수 있다. 이는 adaptive learning 회로에 적용하기 위해서는 분극반전이 일어나서 "+" 분극값을 나타낸 이후의 분극증가 특성이 중요하다라는 것을 보여준다. 또, 펄스 수가 0 에서 18 사이에서는 전하의 drift 현상에 의한 포화드레인 전류는 생성되지 않았고 dimensionality factor 가 1 일 때와 2 와 3 일 때의 포화드레인 전류 증가량의 차이가 심하게 나타났다. Fig. 10 (a) 의 곡선으로부터 임의의 드레인 전압에 따른 소스-드레인 저항을 구할 수 있는데 이를 Fig. 10 (b) 에 나타내었다. 드레인 전압은 10V, 소스-드레인 단자의 단면적은 10<sup>-4</sup>cm<sup>2</sup> 으로 설정하였다. 펄스 수에 따른 소

스-드레인 저항을 Fig. 2 의 adaptive learning 회로에 적용하면 MFSFET 소자의 게이트에 가하는 펄스 수에 따른 출력펄스와 주파수를 알 수 있다.

Fig. 11 (a) 는 게이트에 펄스전압이 아닌 연속적인 전압을 증가와 감소시켰을 때의 출력주파수 변화특성을 보여주는 것이고, Fig. 11 (b) 는 소스-드레인 저항을 Fig. 2 의 adaptive learning 회로에 적용한 펄스 수에 따른 출력주파수 변화를 나타낸 것이다. Fig. 11 (a) 는 Fig. 11 (b) 와 유사한 출력펄스 주파수를 나타내며 변화하는데, 분극의 방향에 따라 항전압의 영향을 의미하는 약 2V 정도의 이동이 나타났다. 그리고, Fig. 11 (a) 에서 각 캐패시턴스당의 최대 출력주파수는 Fig. 9 (b) 의 각 캐패시턴스당의 최대 출력주파수와 거의 일치하였다.

Fig. 11 (b) 는 dimensionality factor 와 adaptive

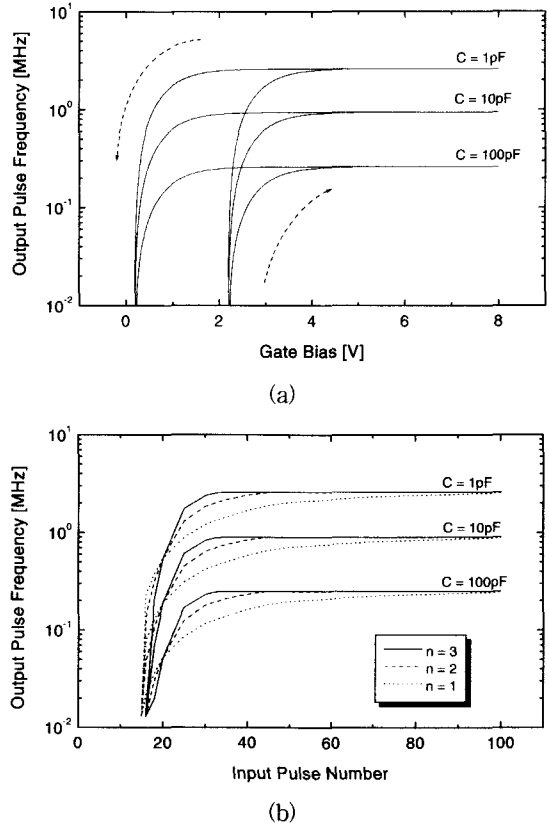


그림 11. (a) 연속적인 게이트 전압과 (b) short pulse 에 따른 출력펄스의 주파수 변조특성  
 Fig. 11. The frequency modulation of output pulses as a function of (a) continuous gate bias and (b) input short pulses.

learning 회로에서 캐패시턴스의 변화에 따른 출력주파수의 변화를 나타낸 것으로, 특히 캐패시턴스에 따라 출력주파수의 범위가 변화한다. 이는 PFM 시스템으로 adaptive learning 회로를 적용할 때, 그 목적에 따라 주파수 대역을 조절할 수 있다는 것을 의미하는 것으로, 본 연구에서 활용한 adaptive learning 회로가 광역의 주파수 조절능력을 가지고 있다는 사실을 나타내는 것이다.

#### IV. 결 론

본 연구에서는 MFSFET 소자의 모델링을 바탕으로 adaptive learning 회로를 설계하고, 그 수치적인 결과를 분석하였다. Adaptive-learning 회로를 설계하기 위해 MFSFET 소자와 UJT (Uni-Junction Transistor) 소자를 사용한 oscillation trigger 회로를 구현하여, MFSFET 소자의 게이트에 short pulse 를 가함에 따라 나타나는 소스-드레인 저항의 변화를 oscillation trigger 회로의 출력주파수 변조에 활용하였다. MFSFET 소자의 특성은 field-dependent polarization 과 Square-law FET 모델을 이용하여 얻은 MFSFET 소자의 드레인 전류 방정식과 J. F. Scott 등이 논증한 식 (13) 의 스위칭 분극반전 관계식을 결합하여 표현하였다.

에미터와 베이스 간의 접합 (junction) 에서 일어나는 conductivity modulation 현상으로부터 UJT 등가회로의 에미터 전압에 따른 에미터 전류 특성을 분석하여 MFSFET 소자의 소스-드레인 저항이  $1M\Omega$ , 캐패시턴스가  $1pF$  일 때의 시간에 따른 출력펄스 특성을 분석하였다. 그 때의 출력주파수는 약  $1MHz$  이고, 출력펄스의 크기는 약  $1.25V$  이었다. 이로부터, UJT 등가회로가 고주파수에서도 저주파수에서 처럼 안정되게 동작되고 있다는 사실과 캐패시턴스의 시상수에 따라 일정한 주파수를 가지며 출력펄스가 진행되고 있음을 알 수 있었다. 또, 이 회로에서 출력주파수는 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 나타냈는데, 이는 캐패시턴스-출력펄스 주파수 특성을 활용하여 사용하는 목적에 따른 주파수 변조대역을 설정할 수 있고, MFSFET 소자의 channel 형성에 따른 소스-드레인 저항을 이용하면 PFM 시스템을 구현할 수 있음을 나타내는 것이다. 다음으로, adaptive

learning 회로에서 MFSFET 소자에 short pulse 를 인가하면서 나타나는 주파수 변조특성을 확인해보기 위해 분극반전 특성을 조사하였는데, 강유전체의 분극반전에서 dimensionality factor 는 1 에 가까울수록 주파수 변조특성이 다양하고, 오래 이루어질 수 있다는 사실을 알 수 있었고, 이력곡선과 실리콘의 표면전하 특성을 바탕으로 펄스 수에 따른 MFSFET 소자의 드레인전류와 소스-드레인 저항도 구할 수 있었다. 펄스 수에 따른 포화드레인 전류곡선은 강유전체의 분극반전특성과 유사하다는 사실을 알 수 있었는데, 이는 강유전체 분극이 MFSFET 소자의 드레인 전류조절에 핵심적인 요소로 작용한다는 사실을 의미하는 것이다. 또, MFSFET 소자의 소스-드레인 저항으로부터 dimensionality factor 와 adaptive learning 회로의 펄스 수에 따른 출력주파수 변화를 분석하여, 캐패시턴스에 따라 출력주파수의 범위가 변화한다는 사실을 알 수 있었다. 이는 PFM 시스템을 adaptive learning 회로에 적용할 때, 그 목적에 따라 주파수 대역을 조절할 수 있다는 것을 의미하는 것으로, 본 연구에서 활용한 adaptive learning 회로가 광역의 주파수 조절능력을 가지고 있다는 사실을 나타내는 것이다.

이로부터, adaptive learning 회로의 주파수변조 특성 즉, 입력펄스의 진행에 따라 출력펄스의 점진적인 주파수 변화를 의미하는 adaptive learning 특성을 명확하게 확인할 수 있었고, 미래의 뉴럴 네트워크에서 본 회로가 뉴런의 시냅스 부분에 효과적으로 사용될 수 있음을 입증하였다.

#### 참 고 논 문

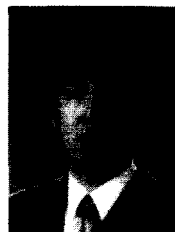
- [1] B. D. Cabrera, "Issues in the Application of Neural Networks for Tracking Based on Inverse Control", *IEEE Transactions on Automatic Control*, vol. 44, no. 11, pp. 2007~2027 (1999).
- [2] M. R. Napolitano, J. L. Casanova, D. A. Windon, B. Seanor and D. Martinelli, "Neural and Fuzzy Reconstructors for the Virtual Flight Data Recorder", *IEEE Transactions on Aerospace and Electronic Systems*, vol. 35, no. 1, pp. 61~71 (1999).

- [3] T. Asai, M. Ohtani and H. Yonezu, "Analog MOS Circuits for Motion Detection Based on Correlation Neural Networks", *J. Appl. Phys.*, vol. 38, no. 4B, pp. 2256~2261 (1999).
- [4] H. Ishiwara, Y. Aoyama, S. Okada, C. Shimamura and E. Tokumitsu, "Ferroelectric Neuron Circuit with Adaptive-Learning Function", *Computer Elect. Eng.*, vol. 23, no. 6, pp. 431~438 (1997).
- [5] J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh and W. F. Oliver, "Switching Kinetics of Lead Zirconate Titanate Submicron Thin-Film Memories", *J. Appl. Phys.*, vol. 64, no. 2, pp. 787~792 (1988).
- [6] S. M. Sze, *Physics of Semiconductor Devices*, second edition, John Wiley & Sons, New York, Chapter 4, 1981.
- [7] F. K. Chai, J. R. Brews, R. D. Schrimpf and D. P. Birnie III, "Relating Local Electric Field in a Ferroelectric Capacitor to Externally Measureable Voltages", *Proceedings of the 9th Int. Symp. on Applications of Ferroelectrics*, pp. 83~86, 1994.
- [8] J. A. Gonzalo, *Effective Field Approach to Phase Transitions and Some Applications to Ferroelectrics*, World Scientific Lecture Notes in Physics, vol. 25, World Scientific, New Jersey, 1991.
- [9] D. K. Schroder, *Advanced MOS Devices*, Addison-Wesley Publishing Company, Inc., USA, Chapter 1, 1987.
- [10] E. S. Yang, *Microelectronic Devices*, McGraw-Hill, Inc., USA, Chapter 9, 1988.
- [11] 이국표, 강성준, 윤영섭, "피로현상을 고려한 강유전박막의 Switching 과 MFSFET 소자의 특성", 전자공학회논문지, 제 37 권, SD 편, 제 6 호, pp. 440~450 (2000)
- [12] 이국표, 강성준, 윤영섭, "강유전체 박막의 특성에 따른 Quasi-MFISFET 소자의 특성", 전자공학회 논문지, 제 38 권, SD 편, 제 3 호, pp. 166~173 (2001)
- [13] E. Tokumitsu, R. Nakamura, K. Itani and H. Ishiwara, "Film Quality Dependence of Adaptive-Learning Processes in Neurodevices Using Ferroelectric  $PbZr_xTi_{1-x}O_3$  (PZT)", *Jpn. J. Appl. Phys.*, vol. 34, no. 2B, pp. 1061~1065 (1995).
- [14] T. Kijima and H. Matsunaga, "Preparation of  $B_4T_3O_{12}$  Thin Films by MOCVD Method and Electrical Properties of Metal/Ferroelectric/Insulator/Semiconductor Structure", *Jpn. J. Appl. Phys.*, vol. 38, no. 4B, pp. 2281~2284 (1999).

## 저 자 소 개

尹 英 燮(正會員) 第 37卷 SD編 第 6號 參照

1952년 9월 7일생. 1975년 2월, 서울대학교 금속공학과 졸업 (B.S). 1977년 2월, 한국과학기술원 재료공학과 졸업 (M.S). 1988년 12월, U.S.C. 전자공학과 졸업 (Ph.D). 1987년 3월~1988년 5월, Oklahoma State University 대우교수. 1988년 12월~1989년 6월, UCLA Device Research Lab. 연구원. 1989년 8월~1992년 2월, 삼성 전자 기흥반도체연구소 수석연구원. 1992년 3월~1996년 3월, 인하대학교 전자재료공학과 부교수. 1996년 4월~현재, 인하대학교 전자재료공학과 부교수. 주관심분야 : ULSI DRAM을 위한 신물질 개발, 강유전성 박막, Pyroelectric 센서, SAW Device



姜 聲 俊(正會員)

1965년 7월 10일생. 1989년 2월, 인하대학교 응용물리학과 졸업 (B.S). 1994년 8월, 인하대학교 전자재료공학과 졸업 (M.S). 1999년 2월, 인하대학교 전자재료공학과 졸업 (Ph. D.). 1999년 3월~2000년 1월 인하대학교 전자재료공학과 연구원 (Post Doc.) 2000년 2월~현재, 국립여수대학교 반도체·응용물리학과 전임강사. 주관심분야 : DRAM 및 NVFRAM 응용을 위한 강유전체 박막, Pyroelectric 센서



張東勳(正會員)

1971년 3월 13일생. 1995년 2월, 수원대학교 전자재료공학과 졸업 (B.S.). 1997년 8월, 인하대학교 전자재료공학과 졸업 (M.S.). 1997년 9월~현재, 인하대학교 전자재료공학과 박사과정. 주관심분야 : DRAM

및 NVFRAM 응용을 위한 강유전체 박막 및 기능성 고분자 박막



李國杓(正會員)

1975년 11월 20일생. 1999년 2월, 인하대학교 전자재료공학과 졸업 (B.S.). 2001년 2월, 인하대학교 전자재료공학과 졸업(M.S.). 주관심분야 : 강유전체 박막을 이용한 NVFRAM 소자