

CMOS 그라운드 연결망에서의 최대 동시 스위칭 잡음의 해석 모형

論 文

50C-3-3

An Analytical Model of Maximum Simultaneous Switching Noise for Ground Interconnection Networks in CMOS Systems

金正學* · 白宗欽** · 金錫潤***

(Jung-Hak Kim · Jong-Humn Baek · Seok-Yoon Kim)

Abstract - This paper presents an efficient and simple method for analyzing maximum simultaneous switching noise (SSN) on ground interconnection networks in CMOS systems. For the derivation of maximum SSN expression, we use α -power law MOS model and Taylor's series approximation. The accuracy of the proposed method is verified by comparing the results with those of previous researches and HSPICE simulations under the contemporary process parameters and environmental conditions. The proposed method predicts the maximum SSN values more accurately when compared to existing approaches even in most practical cases such that there exist some output drivers not in transition.

Key Words : CMOS, Switching Noise, Ground Interconnection Networks, Maximum Simultaneous Switching Noise

1. 서 론

현대의 반도체 회로의 특징의 한 부분은 대규모 집적화로 초래된 입출력 핀 수의 증가와 그로 인하여 핀들 상호간의 전자기적인 결합이 증가하여 발생하는 전원과 접지 연결망에서의 잡음 문제를 들 수 있다. 이러한 잡음은 전송 속도 저하 내지 수신단에서의 잘못된 스위칭을 초래할 수 있다. 따라서, 전원과 접지 연결선에 존재하는 스위칭 잡음은 정확히 분석되어야 하며, 많은 연구자들이 동시 스위칭 잡음(Simultaneous Switching Noise, SSN)에 대한 연구를 진행하였다. 이 분야의 초창기의 논문, [1]과 [2]에서는 잡음 전압으로 인한 부채환 효과(negative feedback effect)를 고려하지 않았으나, [3]에서 처음으로 이 영향을 반영하여 비교적 정확하게 잡음 전압을 예측할 수 있는 근사식을 유도하였다. 그러나, [3]은 인덕턴스를 통해 흐르는 전류 파형을 삼각형 형태로 모형화함으로써 잡음 전압이 실제 값보다 적게 예측되는 결과를 낳았다. [4]에서는 부하 커패시턴스의 영향을 잘 반영하였지만, 천이 시간동안 잡음 전압이 선형이라고 가정하고 수식을 전개하였다. [5]는 [4]의 이러한 가정이 틀렸음을 지적하고, α -power law 모형[6]을 사용하여 동시 스위칭 잡음 전압식을 유도하였다. 하지만, [5]는 α -power law 모형에서 α 를 1로 가정하였고, 최대 잡음이 발생하는 이하의 시간 구간에서 잡음 전압은 지수보다는 선형형태에 더 가까웠다.

일반적으로 전원 연결망에서 발생하는 잡음 전압을 줄이기 위해서는 디커플링 커패시터(decoupling capacitor)를 사용하며, 그라운드 연결망에서 발생하는 잡음 전압을 줄이기 위해서는 current mirror 효과[11]를 이용하여 그라운드로 흐르는 전류량을 조절하거나, 신호의 천이 시간을 빠르지 않게 조절하는 방법, 신호를 전달하기 전에 부호화를 수행하여 천이 수를 줄이는 방법 등을 사용하기도 한다. 이러한 경우에 설계자가 관심을 갖는 최대 잡음 전압은 모든 드라이버(driver)가 천이하는 경우가 아니고, 신호의 부호화 방법에 따라 실제로 발생하는 패턴, 즉, 일부는 천이하고 일부는 정적 상태를 유지할 경우이다. 상기한 논문들은 모든 드라이버가 동시에 천이 할 때의 최대 잡음 전압만을 고려하였다. [7]에서 처음으로 일부 천이하지 않는 드라이버가 존재하는 경우를 상정하였으며, 인버팅 드라이버의 입력이 상향 천이할 때 드라이버들의 방전(discharging) 전류가 고전위(high) 상태에 있는 드라이버의 NMOS를 통하여 흐르는 상황을 고려하였지만, 잡음 전압식 유도과정의 가정 즉 α -power law 모형에서 α 를 1로 가정하여 실제 값과 상당한 오차가 존재하게 된다.

동시 스위칭 잡음은 전원/그라운드 연결선에 발생하는 인덕턴스로 인해 파형의 떨림이 발생하므로 정확한 잡음 전압식을 구하는 것은 상당히 어렵다. 따라서, 본 논문에서는 좀더 동적인 상황에서 발생하는 동시 스위칭 잡음의 최대 전압치를 예측하기 위한 수식을 유도하고자 하며, 해석적 결과식을 얻기 위하여 필요한 경우 테일러 근사기법을 적용할 것이다. 서론에 이어 2장에서는 α -power law MOS 모형과 테일러 근사를 사용하여 최대 동시 스위칭 잡음 전압을 유도하고, 3장에서는 시뮬레이션 결과를 보이며, 마지막으로 4장에서 결론을 맺는다.

* 準 會 員 : 崇實大 컴퓨터學科 碩士課程

** 正 會 員 : 崇實大 컴퓨터學科 博士課程

*** 正 會 員 : 崇實大 컴퓨터學科 助敎授 · 工博

接受日字 : 2000年 12月 20日

最終完了 : 2001年 3月 12日

2. 최대 동시 스위칭 잡음 전압의 유도

n 개의 인버팅 출력 드라이버 회로는 드라이버의 입력단에서 p 개가 상향 천이, q 개가 정적 High 상태, r 개가 하향천이, s 개가 정적 Low 상태에 있다고 가정하고 그림 1과 같이 모형화하였다. 본 논문의 이하에서 기술된 “상향천이”, “하향천이”, “정적 High 상태”, “정적 Low 상태”는 출력 드라이버의 입력에서 발생하는 상태를 나타낸 것임을 주의해야 한다. 그림 1에서 보듯이 그라운드로 흐르는 전류 i_n 은

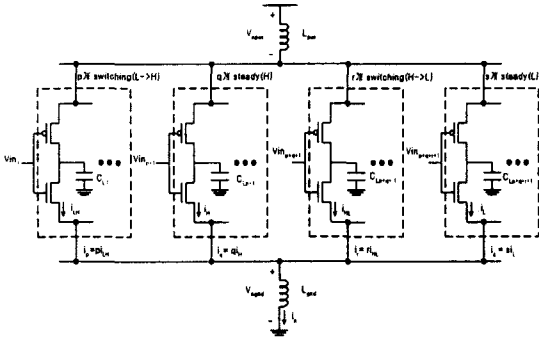


그림 1. n 개의 출력 드라이버를 위한 모형

$$i_n = i_p + i_q + i_r + i_s \quad (1)$$

이다. 식 (1)에서 i_s 는 Low 상태에 있는 드라이버들에서 흐르는 전류이고, 이 드라이버들의 NMOS는 절단(cut-off) 영역에서 동작한다. 따라서, i_s 는 i_n 에서 차지하는 비중이 매우 작은 누설 전류 성분으로 이루어져 있으므로 무시할 수 있다. i_p 는 상향 천이가 일어나는 드라이버들에서 흐르는 전류이고, 이 성분은 부하 C_L 에서 흐르는 방전 전류와 PMOS를 통해 흐르는 전류의 합으로 나타난다. 상향 천이 시에 PMOS를 통해 흐르는 전류 성분은 전원 연결망에 잡음 전압을 유기시키므로 전원 연결망에서 발생하는 잡음 전압을 구할 때 고려되어야 하지만, i_n 을 구할 때는 이 양의 비중이 상당히 작으므로 무시할 수 있다. i_q 는 High 상태에 있는 드라이버들에서 흐르는 전류이고, 이 드라이버들의 NMOS는 선형 영역에서 동작한다. 이 경우, 전류 i_{LH} 의 일부가 High 상태에 있는 드라이버의 NMOS를 통하여 부하측으로 흐르게 되므로 i_n 수식에 이 성분을 반영해 주어야 한다. i_r 은 하향천이가 발생할 때 NMOS를 통해 흐르는 전류이다. 이 성분으로 인하여 그라운드에 야기되는 잡음 전압을 표 1에 정리하였다. 표 1은 총 20개의 출력 드라이버를 가정하고 모든 드라이버가 상향천이하고, 점진적으로 하향 천이하는 드라이버의 수를 늘렸을 때 그라운드에서 발생하는 잡음 전압의 변화를 보인 것이다. 하향 천이하는 드라이버의 수가 증가할수록 잡음 전압의 변화량이 증가함을 볼 수 있고, 이것은 하향 천이하는 드라이버의 영향이 증가한다는 것을 의미한다. 하향 천이하는 드라이버의 수에 따라 공급 전압의 1.5%(3.3V일 때 0.05V)이상의 잡음 변화를 일으킬 수 있다(표 1의 4번째 열 참조). 하지만, 본 논문에서는 [6]의 MOS 모형을 사용하였고, 이 모형은 $t < t_r$ 시점(정적 상태가 되기까지의 시간)에서 하향 천이하는 드라이버의 NMOS가 절단 영역에 있다고 가정하므로 이 전류 성분을 고려하지 못하게 된다.

표 1. 하향 천이 드라이버 수의 변화에 따른

그라운드 연결망에 발생하는 동시 스위칭 잡음

$$(L_{gnd} = 5nH, C_L = 50pF, W_n = 151\mu m, t_r = 0.5ns, V_{DD} = 3.3V)$$

상향 천이하는 드라이버의 수	하향 천이하는 드라이버의 수	최대 동시 스위칭 잡음	상향 천이 드라이버만을 고려할 경우의 최대 동시 스위칭 잡음
20	0	1.938499	1.938499
17	3	1.937735	1.913059
15	5	1.92119	1.891543
12	8	1.887175	1.848608
10	10	1.856327	1.808963

이상의 논의를 종합하면, 그라운드에서 발생하는 동시 스위칭 잡음을 구하기 위해 식 (1)은

$$i_n = i_p + i_q = p \cdot i_{LH} - q \cdot i_H \quad (2)$$

가 되고, 잡음 전압 v_{ngnd} 는

$$v_{ngnd} = L_{gnd} \frac{di_n}{dt} = L_{gnd} \left(p \frac{di_{LH}}{dt} - q \frac{di_H}{dt} \right) = pL_{gnd} \frac{di_{LH}}{dt} - qL_{gnd} \frac{di_H}{dt} \quad (3)$$

이다. 식 (3)에서 L_{gnd} 는 그림 1에 나타낸대로 그라운드 연결망에 존재하는 등가 유효 인덕턴스이고 L_{pwr} 은 전원 연결망에 존재하는 등가 유효 인덕턴스이다 [8, 9]. [6]에 의하면, 식 (3)에서의 i_{LH} 는

$$i_{LH} = k_{sn} (v_{in} - V_{thn} - v_{ngnd})^{\alpha_n} \quad (4)$$

이고, i_H 는

$$i_H = k_{ln} (V_{DD} - V_{thn} - v_{ngnd})^{\frac{\alpha_n}{2}} (v_{ngnd} - v_{out}) \quad (5)$$

이다. 식 (4)에서 사용한 입력 전압 v_{in} 은 아래와 같이 일정한 기울기를 갖는 선형 일차식으로 모형화하며, t_r 은 신호 천이 시간, V_{DD} 는 공급전압이다.

$$v_{in} = \begin{cases} \frac{V_{DD}}{t_r} t & (0 < t \leq t_r) \\ V_{DD} & (t > t_r) \end{cases} \quad (6)$$

식 (4)의 k_{sn} 과 식 (5)의 k_{ln} 은 MOS parameter로서 쉽게 추출 가능하다. 주의할 점은 식 (5)에서 v_{out} 은 드라이버 입력이 high 상태에 있는 드라이버의 출력 전압이고, NMOS가 선형 영역에 있으므로 식의 앞부분은 일정한 상수 값을 갖는다고 가정할 수 있다. 따라서, 식 (5)는

$$i_H = K_{ln} (v_{ngnd} - v_{out}) \quad (7)$$

$$K_{ln} = \frac{I_{DDN}}{V_{DDN}}$$

로 나타낼 수 있고, I_{DD} 와 V_{DD} 는 α -power law MOS 모형의 파라미터이다 (표 2참조).

식 (4)와 (7)을 식 (3)에 대입하면 미분 방정식

$$v_{ngnd} = L_{gnd} \left\{ \beta \alpha_n k_{sn} (v_{in} - V_{thn} - v_{ngnd})^{\alpha_n - 1} \left(\frac{dv_{in}}{dt} - \frac{dv_{ngnd}}{dt} \right) - q K_n \left(\frac{dv_{ngnd}}{dt} - \frac{dv_{out}}{dt} \right) \right\} \quad (8)$$

을 얻을 수 있다. 1 절에서 언급했듯이 [4]에서는 잡음 전압을 선형으로 모형화하였고, [5]에서는 잡음 전압이 지수함수의 형태라는 것을 언급하였다. 그러나, 실험 결과 천이 시간이 감소할수록 지수함수 형태와 선형 함수 형태의 모형화 사이에 차이가 거의 없으므로 본 논문에서는 잡음 전압을 아래와 같이 선형으로 모형화하였다.

$$v_{ngnd} = \begin{cases} 0 & (0 < t \leq t_{thn}) \\ \frac{V_{ngnd}}{t_r - t_{thn}} (t - t_{thn}) & (t_{thn} \leq t \leq t_r) \end{cases} \quad (9)$$

식 (9)에서 V_{ngnd} 는 최대 잡음 전압이다. 한편, High 상태에 있는 드라이버의 출력단에 KCL(Kirchhoff's Current Law)을 적용하면

$$v_{ngnd} = \frac{C_L}{K_n} \frac{dv_{out}}{dt} + v_{out} \quad (10)$$

을 얻을 수 있다. 식 (10)에서 C_L 은 High 상태에 있는 드라이버의 출력단에 연결되어 있는 부하이다. 식 (10)에 식 (9)를 대입하면 일차 미분 방정식을 얻을 수 있고, 초기 조건, $v_{out}(t_{thn})=0$ 을 이용하여 식 (11)를 얻을 수 있다.

$$v_{out}(t) = \frac{e^{-At} B V_{ngnd}}{A^2 e^{-At_{thn}}} + \frac{B(t - t_{thn}) V_{ngnd}}{A} - \frac{B V_{ngnd}}{A^2} \quad (11)$$

$$A = \frac{K_n}{C_L}, \quad B = \frac{K_n}{C_L(t_r - t_{thn})}$$

식 (8)에 보이는 $(V_{in} - V_{thn} - V_{ngnd})^{\alpha_n - 1}$ 항을 3차로 테일러 근사한 후, 식 (6), (9), (11)들을 식 (8)에 대입한 식에 $t = t_r$ 시점에서 값을 구하면, 아래의 식 (12)와 같이 V_{ngnd} 에 관한 3차 방정식이 된다 (각 계수들은 부록에 명시함).

$$V_{ngnd}^3 + K_2 V_{ngnd}^2 + K_1 V_{ngnd} + K_0 = 0 \quad (12)$$

위의 3차 방정식의 해는 closed-form[10]으로 존재하므로, 주어진 조건에서 V_{ngnd} 는

$$V_{ngnd} = -2\sqrt{Q} \cos\left(\frac{\theta - 2\pi}{3}\right) - \frac{K_2}{3}$$

$$Q = \frac{K_2^2 - 3K_1}{9}$$

$$R = \frac{2K_2^3 - 9K_1K_2 + 27K_0}{54} \quad (13)$$

$$\theta = \arccos\left(\frac{R}{\sqrt{Q^3}}\right)$$

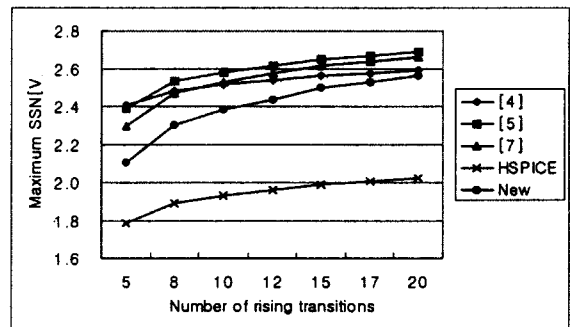
이 된다.

3. 시뮬레이션 결과

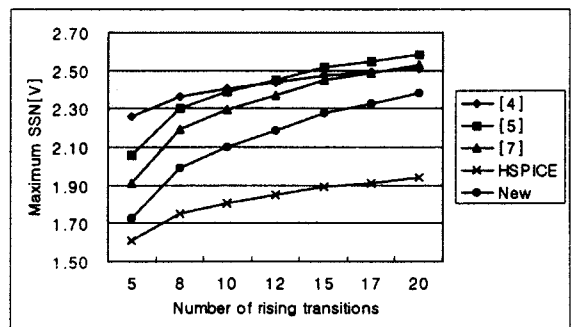
본 논문에서 수행한 시뮬레이션은 두 종류이다. 첫 번째는 총 출력 드라이버가 20개이고 High 상태에 있는 드라이버가 없으며 상향 천이하는 드라이버의 수를 증가시킬 경우이고, 두 번째는 같은 조건이지만 상향 천이 드라이버를 제외한 나머지는 모두 High 상태에 있는 경우이다. 시뮬레이션에서 사용한 HSPICE 모형 파라미터는 level 49의 0.35 μ m MOS 모형을 이용하였고 인가 전압 V_{DD} 는 3.3V로 하였다. 표 2는 다른 연구들과의 비교를 위해 본 논문에서 사용한 α -power law MOS 모형의 파라미터 값이고, β 는 [4]를 위한 파라미터이다. PMOS의 width는 NMOS의 2.5배한 값을 사용하여 시뮬레이션하였다.

표 2. 결과 비교를 위해 사용한 α -power law의 파라미터 값

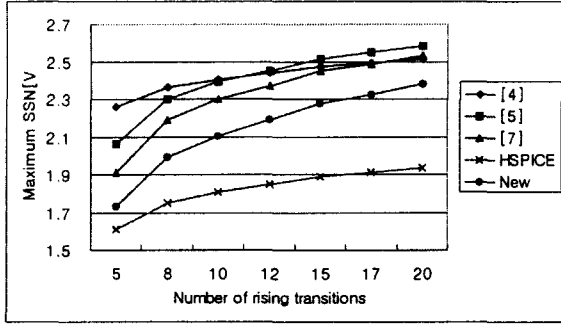
NMOS의 width, W_n [μ m]	I_{DON} [A]	V_{DON} [V]	V_{thn} [V]	β [A/V^2]
76	3.812983e-2	1.4	5.0213e-1	0.0662
151	7.585438e-2	1.36	5.0225e-1	0.13162



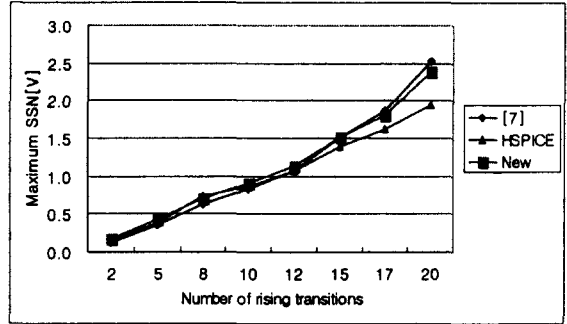
(a) $t_r=0.25$ ns, $L_{gnd}=5$ nH, $C_L=50$ pF, $W_n=151\mu$ m



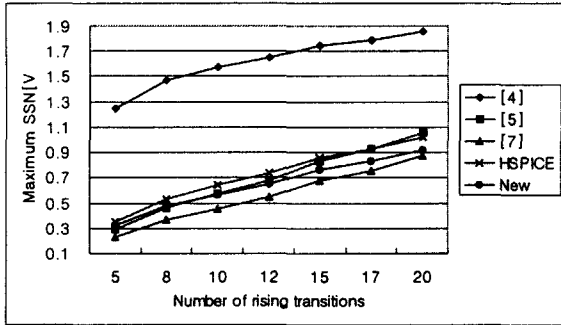
(b) $t_r=0.5$ ns, $L_{gnd}=5$ nH, $C_L=50$ pF, $W_n=151\mu$ m



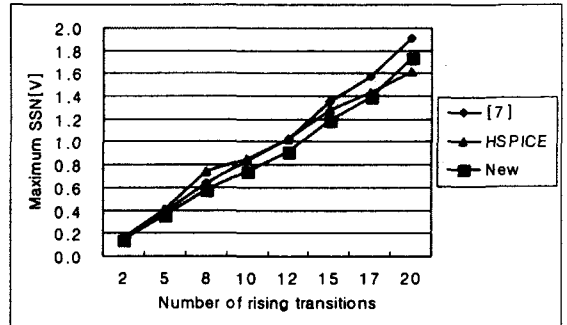
(c) $t_r=0.25\text{ns}$, $L_{gnd}=5\text{nH}$, $C_L=20\text{pF}$, $W_n=76\mu\text{m}$



(b) $t_r=0.5\text{ns}$, $L_{gnd}=5\text{nH}$, $C_L=50\text{pF}$, $W_n=151\mu\text{m}$



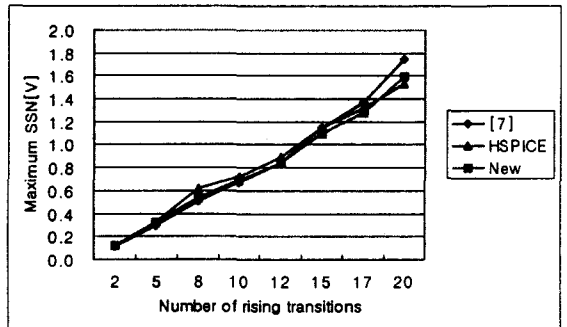
(d) $t_r=0.75\text{ns}$, $L_{gnd}=1\text{nH}$, $C_L=20\text{pF}$, $W_n=76\mu\text{m}$



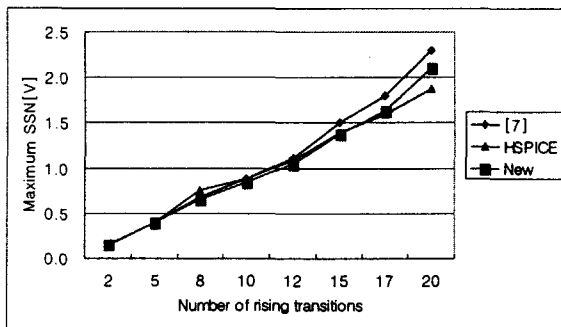
(c) $t_r=1\text{ns}$, $L_{gnd}=5\text{nH}$, $C_L=20\text{pF}$, $W_n=76\mu\text{m}$

그림 2. 상향 천이하는 드라이버의 수에 따라 그라운드에서 발생하는 최대 동시 스위칭 잡음전압의 변화

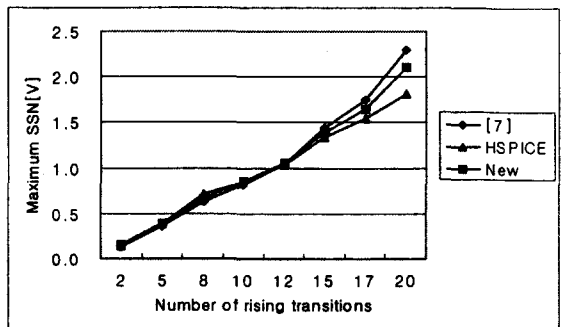
그림 2는 High 상태의 드라이버가 없을 경우에 대한 시뮬레이션으로서, 상향 천이 하는 드라이버의 수에 따른 최대 동시 스위칭 잡음 전압의 변화를 나타낸 것이고, 그림 3은 20개의 드라이버가 초기에 High 상태에서 시작하여 점진적으로 상향 천이하는 드라이버의 개수를 늘릴 때 최대 동시 스위칭 잡음 전압의 변화를 보인 것이다. 즉, 그림 3에서 x축의 마지막 값인 20은 High 상태의 드라이버 개수가 0인 경우이다. 그림 2와 3에서 보듯이 대부분의 경우에 대하여 본 논문에서 유도한 식이 더 정확함을 알 수 있다.



(d) $t_r=0.5\text{ns}$, $L_{gnd}=1\text{nH}$, $C_L=50\text{pF}$, $W_n=151\mu\text{m}$



(a) $t_r=0.1\text{ns}$, $L_{gnd}=5\text{nH}$, $C_L=50\text{pF}$, $W_n=151\mu\text{m}$



(e) $t_r=0.5\text{ns}$, $L_{gnd}=5\text{nH}$, $C_L=20\text{pF}$, $W_n=76\mu\text{m}$

그림 3. 상향 천이하는 드라이버의 수에 따른 최대 동시 스위칭 잡음의 변화(상향 천이하지 않는 드라이버는 High 상태에 있다고 가정)

4. 결론

향후 IC의 고집적화 및 많은 기능 부가 추세를 감안하면 패키징 핀수의 지속적인 증가 추세를 예측할 수 있다. 이러한 환경에서는 출력 드라이버의 동시적 구동으로 인하여 발생하게되는 전원망 및 그라운드망에서의 잡음이 중요한 설계과제로 부각될 것이다. 본 논문은 α -power MOS 모형에 기반하여 CMOS 출력 드라이버의 최대 동시 스위칭 잡음을 예측하는 식을 제시하였다. 제안된 최대 동시 스위칭 잡음 값의 정확도는 현재의 공정 파라미터 및 환경 조건에서 기존 연구 및 HSPICE 시뮬레이션 결과와 비교 분석함으로써 입증하였다. 제안한 방법을 이용한 최대 동시 스위칭 잡음 값의 정확도는 High 상태의 드라이버가 존재하는, 보다 현실적인 경우에서도 이전의 연구와 비교하여 더 정확함을 보였다.

부록

식 (8)에 보이는 $(V_{in} - V_{thn} - V_{ngnd})^{\alpha-1}$ 항을 3차로 테일러 근사했을 경우의 계수를 k_0, k_1, k_2 라 하면, k_0, k_1, k_2 은

$$k_0 = (V_{DD} - V_{thn})^{\alpha-1}$$

$$k_1 = -(\alpha-1)(V_{DD} - V_{thn})^{\alpha-2}$$

$$k_2 = 0.5(\alpha-1)(\alpha-2)(V_{DD} - V_{thn})^{\alpha-3}$$

이 된다. 따라서, K_0, K_1, K_2 는

$$K_0 = -\frac{Dk_0}{k_2}$$

$$K_1 = \frac{1}{k_2} \left(\frac{1+E}{C} - Dk_1 + k_0 \right)$$

$$K_2 = \frac{k_1 - Dk_2}{k_2}$$

이 되고, 여기서, C, D, E 는

$$C = \frac{\rho \alpha_n k_{sn} L_{gnd}}{t_r - t_{thn}}$$

$$D = \frac{(t_r - t_{thn}) V_{DD}}{t_r}$$

$$E = qL_{gnd}K_{tn} \left(\frac{1}{t_r - t_{thn}} + \frac{Be^{-A(t_r - t_{thn})}}{A} - \frac{B}{A} \right)$$

이 된다.

참고 문헌

- [1] A. J. Rainal, "Computing inductive noise of chip packages," AT&T Bell Labs Tech. J., vol. 63, pp. 177-195, Jan. 1984.
- [2] G. Katopis, " ΔI noise specification for a high performance computer machine," Proc. IEEE, Sept. 1985, vol. 73, pp. 1405-1415.
- [3] R. Senthinathan and J. L. Prince, "Simultaneous switching ground noise calculation for packaged CMOS devices," IEEE J. Solid-State Circuits, vol. 26, pp. 1724-1728, Nov. 1991.
- [4] A. Vaidyanath, B. Thoroddsen, and J. L. Prince, "Effect of CMOS driver loading conditions on simultaneous switching noise," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 17, pp. 480-485, Nov. 1994.
- [5] S. R. Vemuru, "Accurate simultaneous switching noise estimation including velocity-saturation effect," IEEE Trans. Comp., Packag., Manufact. Technol. B, vol. 19, pp. 344-349, May 1996.
- [6] T. Sakurai and A. Newton, "Alpha-power law MOSFET model and its applications to CMOS inverter delay and other formulations," IEEE J. Solid-State Circuits, vol. 25, pp. 584-594, Apr. 1990.
- [7] Hye-Ran cha and Oh-Kyong Kwon, "An analytical model simultaneous switching noise in CMOS systems," IEEE Transactions on Advanced Packaging, vol. 23, No. 1, Feb. 2000.
- [8] Chender Huang, Yaochao Yang, and John L. Prince, "A Simultaneous Switching Noise Design Algorithm for Leadframe Packages with or without Ground Plane," IEEE Trans. on Components, Packaging, and Manufacturing Tech., Part B, vol. 19, No. 1, Feb 1996.
- [9] Lei Lin and John L. Prince, "SSO Noise Electrical Performance Limitations for PQFP Packages," IEEE Trans. on Components, Packaging, and Manufacturing Tech.. Part B, vol. 20, No. 3, Aug. 1997.
- [10] William H. Press, Brian P. Flannery, Saul A. Teukolsky, William T. Vetterling, *Numerical Recipes in C*, Cambridge University Press, 1990. pp. 156-157.
- [11] Ramesh Senthinathan and John L. Prince, "Simultaneous Switching Noise of CMOS Devices and Systems," Kluwer Academic Publishers, 1994

감사의 글

본 논문은 학술진흥재단의 2000년도 선도연구자 지원
과제의 지원을 받았음(과제번호 : E00239)

저 자 소 개



김 정 학 (金 正 學)

2000년 2월 청운대 인공지능학과 졸업.
2000년 2월~현재 숭실대 컴퓨터학과 석사
과정. 주관심분야는 Circuit Extraction,
VLSI 회로해석 및 설계



김 석 윤 (金 錫 潤)

1980년 서울대 공대 전기공학과 졸업. 1990
년 University of Texas at Austin 전기,
컴퓨터학과(석사). 1993년 University of
Texas at Austin 전기, 컴퓨터학과 박사.
1982년~1987년 한국전자 통신연구소 연구
원. 1993년~1995년 Motorola Inc., Senior Staff Engineer.
1995년~현재 숭실대 컴퓨터 학부 교수. 주관심분야는 설계
자동화, VLSI회로 해석 및 설계, 통신 시스템



백 종 흠 (白 宗 欽)

1996년 2월 수원대 전자계산학과 졸업.
1998년 2월 숭실대 전자계산학과(석사).
1998년 2월~현재 숭실대 컴퓨터학과 박사
과정. 주관심분야는 설계자동화, VLSI 회
로해석 및 설계