

게이트 산화막 가장자리에 Air-cavity를 가지는 새로운 구조의 다결정 실리콘 박막 트랜지스터

論 文
50C-8-1

A New Poly-Si TFT Employing Air-Cavities at the Edge of Gate Oxide

李 旻 哲* · 鄭 湘 勳* · 宋 寅 赫** · 韓 民 九***
(Min-Cheol Lee · Sang-Hoon Jung · In-Hyuk Song · Min-Koo Han)

Abstract - We have proposed and fabricated a new poly-Si TFT employing air-cavities at the edges of gate oxide in order to reduce the vertical electric field induced near the drain due to low dielectric constant of air. Air-cavity has been successfully fabricated by employing the wet etching of gate oxide and APCVD (Atmospheric pressure chemical vapor deposition) oxide deposition. Our experimental results show that the leakage current of the proposed TFT is considerably reduced by the factor of 10 and threshold voltage shift under high gate bias is also reduced because the carrier injection into gate insulator over the drain depletion region is suppressed.

Key Words : poly-Si TFT, air-cavity, vertical electric field, leakage current, threshold voltage shift

1. 서 론

엑시머 레이저 어닐링(Excimer Laser Annealing, ELA)을 이용하여 제작되는 저온 다결정 실리콘 박막 트랜지스터(Polycrystalline Silicon Thin Film Transistors, poly-Si TFT)는 높은 전계효과 이동도를 가지고 있어 유리 기판 위에 구동회로와 화소부분을 함께 집적할 수 있는 장점이 있다[1-3]. 그러나 드레인과 게이트에 의한 수평-수직 전계로 인하여 다결정 실리콘 박막의 트랩들을 통해 전자-정공쌍이 형성되고 이들이 누설전류를 형성하는 것으로 알려져 있다[4]. 또한 소자의 구동 시, 높은 전류밀도로 인해 약한 Si-Si격자의 결합이 파괴되고 다결정 실리콘 박막과 게이트 절연막 사이의 계면에 트랩상태가 증가하여 소자의 전기적 특성이 열화되는 것으로 알려져 있어 이를 보완하기 위해 다양한 구조를 가진 다결정 실리콘 박막 트랜지스터가 보고되고 있다[5-8].

지금까지 알려진 다결정 실리콘 박막 트랜지스터 구조들은 대부분 저농도 도핑 드레인(Lightly doped drain, LDD)이나 게이트-오프셋 구조로서 이들 구조는 박막 트랜지스터의 드레인 접합에 유도되는 수평 전계(Lateral electric field)를 완화시킴으로서 누설전류의 형성을 억제하였다[7,8]. 이들 구

조는 소자 내에 저항이 큰 영역을 형성함으로써 드레인 접합에 걸리는 수평 전계를 완화시키는 역할을 하지만 온-상태의 동작에서는 전류의 흐름을 방해하는 요소로서 결과적으로는 구동전류(Driving current, on-current)가 감소하게 된다. 또한 LDD나 게이트-오프셋 구조를 형성하기 위해서는 추가의 마스크 공정이나 이온 주입공정이 요구되는 단점도 있다. 최근, 드레인 접합에 유도되는 수직-전계(vertical electric field)를 감소시키기 위해 산화막 스페이스(Oxide Spacer)를 가지는 다결정 실리콘 박막 트랜지스터가 제안된 바 있다[9]. 게이트 산화막 측면에 형성되는 스페이스는 부분적으로 게이트 산화막을 두껍게 형성하여 게이트 전압에 의한 수직 전계를 완화시키는 구조이다. 그러나 산화공정과 같은 고온 공정을 이용하므로 유리 기판을 이용한 액정 디스플레이에 적용하기 어려운 단점이 있다.

본 논문에서는 드레인 접합에 유도되는 수직 전계를 줄이기 위해 air-cavity를 가지는 새로운 구조의 저온 다결정 실리콘 박막 트랜지스터를 제안하고 제작하였다. air-cavity는 게이트 절연막의 습식 식각과 상압화학기상증착(Atmospheric Pressure Chemical Vapor Deposition, APCVD) 법을 이용하여 제작하였고 이를 이용하여 제작된 다결정 실리콘 박막 트랜지스터에서는 누설전류가 현저히 감소하였고 스트레스 후의 문턱전압 이동도 억제되었다.

* 準 會 員 : 서울대 工科大 電氣工學部 博士課程
** 正 會 員 : 서울대 工科大 電氣工學部 碩士課程
*** 正 會 員 : 서울대 工科大 電氣工學部 教授 · 工博
接受日字 : 2000年 11月 27日
最終完了 : 2001年 8月 13日

2. 소자 구조 및 실험

그림 1은 air-cavity를 가지는 다결정 실리콘 박막 트랜

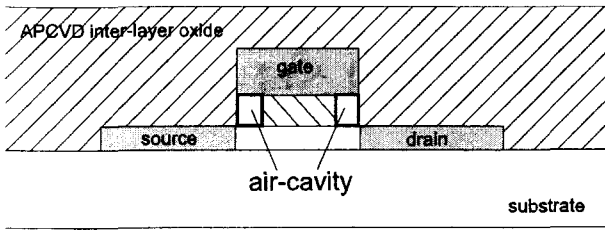


그림 1 제안된 다결정 실리콘 박막 트랜지스터의 구조

Fig. 1 The structure of the proposed Poly-Si TFT

지스터의 단면을 나타내고 있다. 게이트 산화막의 가장자리에 형성되는 air-cavity는 드레인 접합 위에 존재하는 게이트 절연막의 상대 유전율을 감소시킴으로써 게이트에 의한 수직전계를 감소시키는 역할을 한다. 기존의 다결정 실리콘 박막 트랜지스터 구조에서는 드레인 접합의 상부에 실리콘 산화막(SiO₂, ε_r = 3.9)이 존재하지만 제안된 구조는 air-cavity가 존재하여 게이트 절연막의 상대 유전율이 3.9에서 1로 낮아지므로 실리콘/절연막의 계면에 유도되는 수직전계는 기존의 소자 구조에 비해 현저히 억제될 수 있다. 실리콘/air의 표면에 자유 전하가 없다고 가정할 때, 전속밀도는 식 (1)과 같고 이로부터 얻어지는 실리콘 박막의 표면에서의 전계는 아래의 식 (2)와 같다

$$\epsilon_{insulator} \times E_{insulator} = \epsilon_{Si} \times E_{Si} \quad (1)$$

$$\therefore E_{Si} = \frac{\epsilon_{insulator}}{\epsilon_{Si}} \times E_{insulator} \quad (2)$$

따라서 제안된 구조의 경우 공기의 상대 유전율이 1이므로 기존의 구조에 비해 실리콘 표면에서의 전계는 효과적으로 억제될 수 있다.

air-cavity를 게이트 산화막의 가장자리에 형성시키기 위해서는 게이트 산화막의부분적 식각과 이를 보존할 수 있는 층간절연막의 증착이 요구되는데 이를 위해 본 실험에서는 APCVD를 이용하였다. air-cavity의 제작과정은 그림 2에 나타나 있는데 소스/드레인의 활성화(그림 (a))가 이루어진 TFT 기판을 산화막 식각액에 넣어서 게이트 산화막의 가장자리를 일부 식각해 낸다(그림 (b)). 이때 습식 시간에 의해 air-cavity의 길이가 결정되는데 NH₄F : HF = 7 : 1의 비율을 가진 습식 식각액을 사용하여 실험할 경우에는 3분 동안 약 3000Å의 게이트 산화막을 제거하여 air-cavity를 제작할 수 있다. 이어서 기판을 세정한 후, 층간절연막으로 APCVD를 이용하여 산화막을 증착한다(그림 (c)). APCVD로 층간절연막(산화막)을 증착할 경우, 반응기체의 평균자유행로

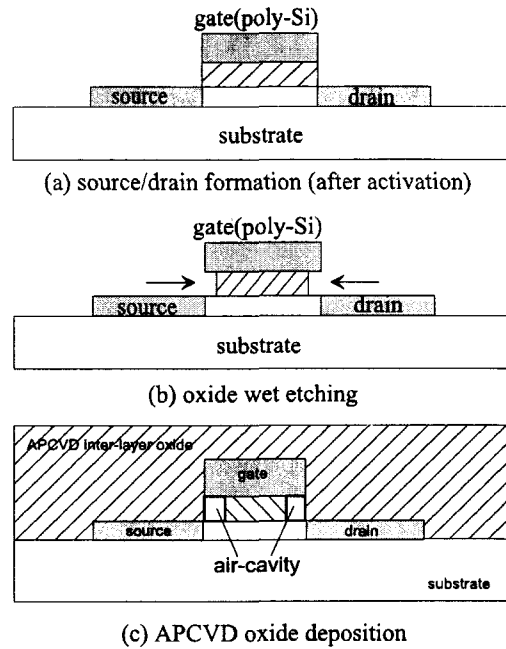


그림 2 air-cavity를 형성을 위한 공정 순서

Fig. 2 The fabrication flow for the formation of air-cavity

(mean free path)가 짧아 air-cavity로의 유입이 억제되므로 air-cavity가 보존된 상태로 층간 절연막이 형성될 수 있다. 또한 제안된 공정은 추가의 마스크 공정과 이온 주입이 요구되지 않으며 자기정렬 구조를 구현할 수 있고 450°C이하의 저온 공정이 가능하다는 장점이 있다. 따라서 제안된 구조의 박막 트랜지스터는 유리 기판 위에 집적이 가능하다.

제안된 다결정 실리콘 박막 트랜지스터는 다음과 같은 공정들을 거쳐 제작하였다. 먼저 산화막이 증착된 유리 기판에 비정질 실리콘 800Å을 증착하고 탈수소를 시행하였다. 탈수소는 노(furnace)를 이용하여 400°C의 온도에서 6시간 실행하였다. 비정질 실리콘 박막을 재결정화하기 위해 XeCl (λ = 308nm) 엑시머 레이저 어닐링공정을 하고 활성박막(active layer)을 패터닝한다. 세정 후 게이트 절연막으로 이용할 TEOS (tetraethoxysilicate) 산화막 1000Å을 증착하고 이어서 3000Å 두께의 비정질 실리콘 박막을 화학기상증착을 이용하여 형성한다. 비정질 실리콘 박막과 TEOS 산화막을 패터닝한 다음 소스/드레인을 형성하기 위해 인(Phosphorous) 이온의 주입을 시행하고 레이저 빔을 조사하여 주입된 이온을 활성화한다. 이온 주입 조건은 30keV, 5 × 10¹⁵#/cm²이다. 소스/드레인의 활성화를 거친 다음, air-cavity를 형성하기 위해 이온 주입이 완료된 박막 트랜지스터 기판을 산화막 식각액 (Buffered oxide etchants, BOE)에 투입하여 게이트 산화막의 가장자리만을 식각해 낸다. 이어서 APCVD를 이용하여 산화막을 형성하면서 동시에 air-cavity를 형성하고 contact hole을 형성한 후 금속화 공정과 보호막 공정을 거쳐 소자

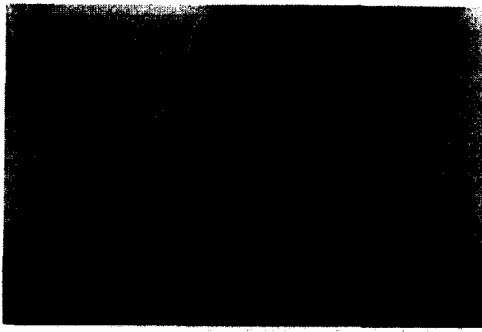


그림 3 게이트 산화막의 습식 식각 후의 소자 구조 (전자주사 현미경). 게이트 산화막의 가장 자리 아래가 부분적으로 식각되어 있음을 확인할 수 있다.

Fig. 3 The device structure after wet etching of gate oxide (SEM). It is observed that the oxide under the gate edge is partially etched.



그림 4 층간 절연막의 증착 후의 air-cavity 구조(전자주사 현미경). 흰 점선 내부가 air-cavity이다.

Fig. 4 The air-cavity structure after APCVD oxide deposition (SEM). Encircled region indicates air-cavity

제작을 완료하였다.

3. 결과 및 고찰

그림 3과 그림 4는 층간 절연막을 증착하기 전과 후의 전자주사현미경(Scanning Electron Microscope, SEM) 사진을 나타낸다. 이온 주입에 의한 소스/드레인 형성 이후 게이트 산화막의 가장자리를 습식 식각하면 그림 3과 같이 게이트 전극의 아래 부분이 부분적으로 식각된다. 박막 트랜지스터 기판을 세정한 후, 상압화학기상증착(APCVD)으로 층간 절연막을 형성하면 그림 4와 같이 cavity가 보존된 상태로 산화막이 형성되어 제안된 air-cavity구조가 완성된다. 제작된 SEM패턴은 Pt박막이 증착된 것으로 이는 전자 주사 현미경 촬영을 위해 시편 위에 증착되었으며 Pt박막의 두께는 $(300 \pm 30) \text{ \AA}$ 였다.

위와 같이 제작된 air-cavity를 이용하여 다결정 실리콘

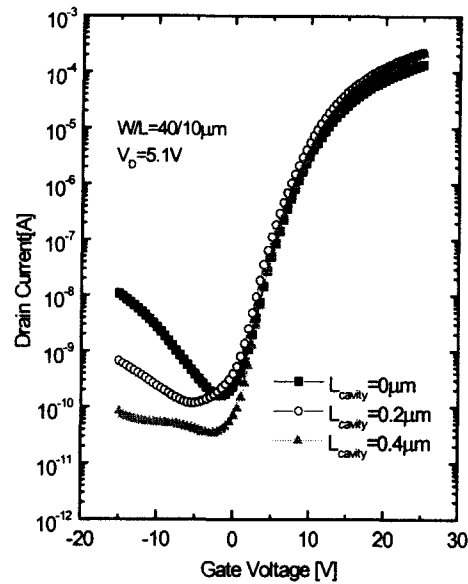


그림 5 제작된 다결정 실리콘 박막 트랜지스터의 전달곡선

Fig. 5 The transfer characteristics of the proposed TFT

박막 트랜지스터를 제작하여 전달특성을 측정한 결과가 그림 5에 나타나 있다. 제안된 박막 트랜지스터의 누설전류는 air-cavity없이 제작된 기존의 다결정 실리콘 박막 트랜지스터($L_{cavity} = 0 \mu\text{m}$)에 비해 억제되었으며 air-cavity의 길이가 $0.4 \mu\text{m}$ 일 경우, 누설전류는 기존의 다결정 실리콘 박막 트랜지스터에 비해 약 10배 이상 감소되었다. 이는 air-cavity의 길이가 $0.4 \mu\text{m}$ 까지 증가할 때, 수직 전계가 감소되는 영역이 그만큼 증가하여 드레인 공핍 영역에서의 전계방출(Field Emission)이 억제되어 누설전류가 감소하게 된다. 한편, 온-상태에서의 전류특성은 기존의 구조와 거의 동일한 특성을 보여주고 있는데 이는 게이트 바이어스에 의한 수직 전계가 air-cavity에 의해 일부 감소되어도 온-상태의 전류 특성에는 큰 영향이 없음을 보여주고 있다. 이는 air-cavity의 길이가 채널의 길이에 비해 상대적으로 짧고 드레인 접합까지 도달한 전하들이 드레인에 의한 수평 전계에 의해 가속되기 때문에 온-전류의 감소가 거의 일어나지 않은 것으로 판단된다. 이와 같이 감소된 누설전류로 인해 제안된 박막 트랜지스터의 온-오프 전류비는 기존의 박막 트랜지스터에 비해 10배 이상 향상되었다. 그러나 air-cavity의 길이가 $0.4 \mu\text{m}$ 이상일 경우, 드레인 주변의 계면에 공핍 영역이 형성되지 않아서 직렬저항이 커져 소자의 구동전류가 현저히 감소할 수 있다.

제안된 구조의 누설전류 억제 효과를 확인하기 위해 그림 6과 같이 누설전류 특성을 측정하였다. 고정된 게이트 전압(-5V, -15V)에서 드레인 전압을 변화시키면 기존의 박막 트랜지스터 구조에서는 수직 전계의 증가에 의해 누설전류가 증가하게 된다. 그러나 제안된 구조에서는 게이트 전압의 변

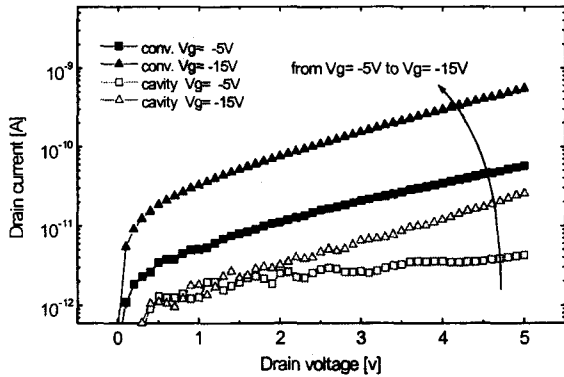


그림 6 음의 게이트 전압의 증가에 따른 누설전류의 변화
 Fig. 6 The change of leakage current with the increase of negative gate bias

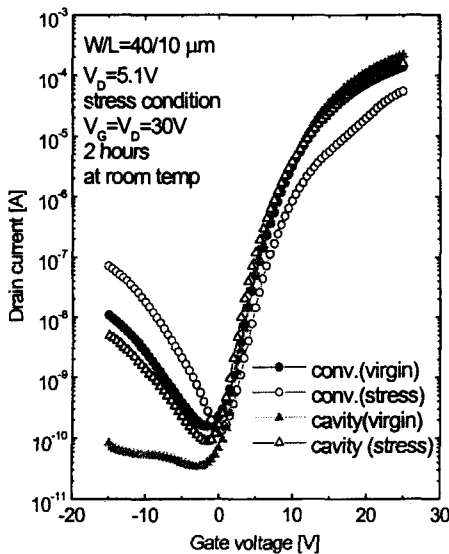


그림 7 전기적 스트레스 전후의 다결정 실리콘 박막 트랜지스터의 전달곡선 변화
 (전기적 스트레스 : $V_{GS}=V_{DS}=30V$, 2시간)
 Fig. 7 The transfer characteristics of the poly-Si TFTs before and after electrical stress
 (electrical stress: $V_{GS}=V_{DS}=30V$, 2hours)

화에도 누설전류가 현저히 증가하지 않음을 확인할 수 있다. 이는 air-cavity가 드레인 접합에서의 수직 전계의 영향을 억제하여 게이트 전압에 의한 드레인 누설전류(gate-induced drain leakage, GIDL)가 감소하였기 때문이다. 따라서 제안된 air-cavity구조는 수직 전계를 효과적으로 억제하여 박막 트랜지스터의 누설전류를 억제할 수 있다.

제안된 다결정 실리콘 박막 트랜지스터의 열화특성을 알아보기 위해 제안된 소자와 기존의 소자에 대해 2시간동안 $V_{GS}=V_{DS}=30V$ 의 동일한 전압을 가하여 스트레스 실험을 수

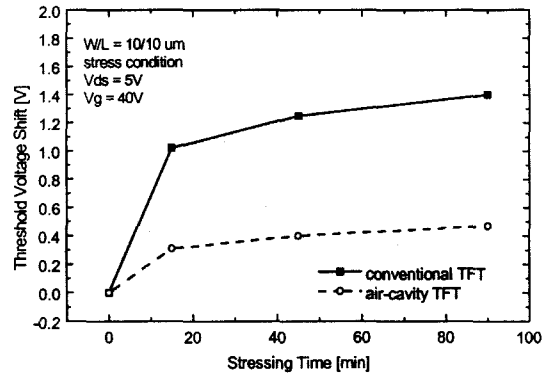


그림 8 전기적 스트레스 후의 문턱전압 이동
 ($V_{GS}=40V$, $V_{DS}=5V$, 스트레스 시간 = 90분, 문턱 전압은 $V_{DS}=5V$, $I_{DS} = (W/L) \times 100nA$ 일 때의 게이트 전압)
 Fig. 8 The threshold voltage shift after electrical stress ($V_{GS}=40V$, $V_{DS}=5V$, 90 minutes, threshold voltage is the gate voltage when drain current is $(W/L) \times 100nA$ at $V_{DS}=5V$)

행하였다. 스트레스를 가하는 동안, 소자의 주변온도는 상온($25^{\circ}C$)으로 유지하였다. 그림 7은 스트레스 이전과 이후의 전류-전압 전달곡선이다. 스트레스를 가한 후 누설전류는 기존의 소자와 제안된 소자 모두 증가하였으나 제안된 소자의 경우는 스트레스 이후에도 낮은 누설전류 특성을 보여준다. 이는 드레인 접합의 수직 전계가 air-cavity에 의해 감소하여 게이트 절연막으로의 전하주입이 억제되었기 때문이다. 그림 8의 전기적 스트레스를 거친 소자의 문턱전압 이동을 나타낸 것으로 본 실험에서는 드레인 전압이 5V일 때 $(W/L) \times 100nA$ 의 전류가 흐르는 게이트 전압을 문턱전압으로 정하였다[10]. 90분 동안의 전기적 스트레스 후의 문턱전압 이동은 기존의 소자에서 1.4V, 제안된 소자에서는 0.5V미만으로 나타났다. 일반적으로 문턱전압의 이동을 야기하는 고온-캐리어의 주입은 드레인 경계부터 100nm이내에서 발생하는 것으로 알려져 있는데[11] 제작된 air-cavity 다결정 실리콘 박막 트랜지스터는 100nm이상의 cavity를 형성시켰으므로 캐리어의 주입은 효과적으로 억제되었음을 알 수 있다.

실험의 결과를 검증하기 위해 2차원 시뮬레이터인 ATLAS (Silvaco Int.) 프로그램을 이용하여 제안된 다결정 실리콘 박막 트랜지스터의 드레인 주변에 유도되는 수직 전계를 모의실험하였다. 모의실험에서는 제안된 구조와 기존의 구조를 가지는 박막 트랜지스터에 대해 게이트 전압과 드레인 전압을 각각 -15V, 10V씩 인가하였고 채널의 길이는 $10 \mu m$ 로 설정하였다. 그림 9는 air-cavity의 길이가 $0.4 \mu m$ 인 경우에 대한 수직 전계 분포를 보여주는 것으로, air-cavity

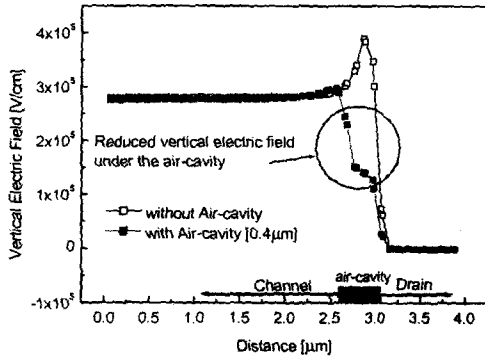


그림 9 드레인 접합 주변의 수직 전기장의 실험 결과($V_{GS} = -15V$, $V_{DS} = 10V$, 다결정 실리콘/ 게이트 절연막 경계로부터 10 Å 깊이에서의 전기 분포)

Fig. 9 The simulation result of the vertical electric field near the drain ($V_{GS} = -15V$, $V_{DS} = 10V$, the distance from the poly-Si/air interface is 10 Å)

의 아래 부분에 유도되는 수직 전계는 기존의 소자에 비해 현저히 감소했음을 확인할 수 있다. 따라서 본 실험의 결과인 누설전류의 억제와 문턱 전압 이동의 억제는 드레인 접합 부근의 수직 전기장 완화에 의한 것임을 확인할 수 있다.

4. 결 론

본 연구에서는 게이트 산화막의 가장자리에 air-cavity를 가지는 새로운 구조의 다결정 실리콘 박막 트랜지스터를 제안하고 그 특성을 분석하였다. 제안된 구조의 air-cavity는 습식 식각과 APCVD를 이용하여 제작하였으며 이를 전자주사 현미경으로 확인하였다. 제작된 air-cavity는 드레인 공핍 영역 위에 형성되어 게이트 전압에 의한 수직 전계를 효과적으로 억제하고 고온 캐리어의 게이트 절연막으로의 주입을 억제하여 소자의 신뢰도를 향상시키는 역할을 한다. air-cavity를 이용하여 제작한 박막 트랜지스터에서는 누설전류가 효과적으로 억제하였고 전기적 스트레스 후에도 문턱전압 이동이 현저히 억제되었음을 확인할 수 있다.

참 고 문 헌

[1] I-Wei Wu, Alan G Lewis, Tiao-Yuan Huang, Anne Chiang, "Performance of Polysilicon TFT Digital Circuits Fabricated with Various Processing Techniques and Device Architectures", SID 90 Digest, pp307, 1990

[2] Y.Oana, "Low Temperature Polycrystalline Silicon TFT Technology for Liquid Crystal Display", AMLCD 99, Digest of Tech., pp251, 1999

[3] Toshida Tsukada, "TFT/LCD: Liquid-Crystal Displays Addressed by Thin-Film Transistors", Japanese Technology Reviews, v29, p.26, 1996

[4] J.G. Fossum, A.O. Conde, H. Shichijo and S.K. Banerjee, Anomalous leakage current in LPCVD polysilicon MOSFETs, IEEE Trans. Electron Devices, vol. ED-32, no. 9, p.1878, 1985

[5] Seki, O. Kogure and B. Tsujijima, Leakage current characteristics of offset-gated structure polycrystalline silicon MOSFETs, IEEE Electron Device Lett., vol. EDL-8, p.434, 1987

[6] B.H. Min, C.M. Park, and M.K. Han, "A Novel Offset Gated Polysilicon Thin Film Transistor without an Additional Offset Mask", IEEE Electron Device Lett., vol. 16, No. 5, p.161, 1995

[7] K. Tanaka, K. Nakazawa, S.Suyama, and K. Kato, "Characteristics of Field-Induced-Drain (FID) Poly-Si TFT's with High On/Off Current ratio", IEEE Trans. Electron Devices, vol. 39, no. 4, p.916, 1992

[8] K. Nakazawa, K. Tanaka, S.Suyama, K. Kato, and S. Kohda, "Lightly Doped Drain TFT Structure for Poly-Si LCDs", SID 90 Digest, pp311, 1990

[9] 유준석, 민병혁, 박철민, 한민구, "Birds beak 효과를 이용한 T형 게이트 폴리실리콘 박막 트랜지스터", 전기학회논문지 제45권 7호, 1996. 7.

[10] Micheal Hack, Alan G. Lewis, I-Wei Wu, "Physical Model for Degradation Effects in Polysilicon Thin-Film Transistors", IEEE Trans. Electron Devices, Vol.40, No.5, p. 890, 1993

[11] G.Fortunato, A.Pecora, G.Tallarida, L.Mariucci, C.Reita, and P.Migliorato, "Hot Carrier Effects in n-Channel Polycrystalline Silicon Thin Film Transistors: A Correlation Between Off-current and Transconductance Variation", IEEE Trans. Electron Devices, Vol.41, No.3, p. 340, 1994

저 자 소 개



이 민 철 (李 旼 哲)

1975년 4월 20일 생. 1998년 서울대 전기공학부 졸업. 2000년 동 대학원 전기공학부 졸업(석사) 2000년~현재 동 대학원 전기공학부 박사과정

E-mail : mean@emlab.snu.ac.kr



송 인 혁 (宋 寅 赫)

1977년 7월 30일 생. 2000년 서울대 전기공학부 졸업. 2000년~현재 동 대학원 전기공학부 석사과정

E-mail : ihsong@emlab.snu.ac.kr



정 상 훈 (鄭 湘 勳)

1976년 7월 30일 생. 1997년 서울대 전기공학부 졸업. 1999년~2001년 동 대학원 전기공학부 졸업 (석사). 2001년 ~현재 동 대학원 전기공학부 박사과정

E-mail : jsh@emlab.snu.ac.kr



한 민 구 (韓 民 九)

1948년 7월 21일 생. 1971년 서울대 전기공학과 졸업. 1975년 University of Michigan, Electrical Engineering 석사, 1979년 Johns Hopkins University, Electrical Engineering 박사. 1984년~현재 서울대 전기공학부 교수

E-mail : mkh@emlab.snu.ac.kr