

# 연산시간지연 및 민감성을 고려한 UPS 인버터용 2차 데드비트 제어기

論 文

50B-4-4

## 2nd Order Deadbeat Controller Considering Calculation Time Delay and Sensitivity for UPS Inverter

金 炳 振\* · 崔 載 昊\*\* · Amit Jain\*\*\*  
(Byoungjin Kim · Jaeho Choi · Amit Jain)

**Abstract** - Deadbeat technique has been proposed as a digital controller for an UPS inverter to achieve the fast response to a load variation and to conserve a very low THD under a nonlinear load condition. This scheme contains a fatal drawback, sensitivity against parameter variation and calculation time delay.

This paper proposes a second order deadbeat controller, which fundamentally solves the calculation time delay problem and certainly guarantees the robustness of the parameter's variation. RLP(Repetitive Load Predictor) which predicts the load current ahead of two sampling time and FVR(Fundamental Voltage Regulator) which eliminates the fundamental errors of the output voltage are also proposed for the second order deadbeat controller to apply to UPS inverter systems. These are shown theoretically and practically through simulation and experiment.

**Key Words** : UPS, Inverter, Deadbeat, Controller, Repetitive Predictor

### 1. 서 론

무정전전원장치(Uninterruptible Power Supply; UPS)가 이상적인 전원장치로 동작하기 위해서는 부하의 변동에 상관없이 항상 일정한 전압을 공급해야 한다. 이를 만족시키기 위해서는 전원장치의 용량을 부하의 용량보다 상대적으로 크게 설계하거나 전원장치의 동특성을 향상시켜야 한다. 그런데 전자의 경우는 경제적인 관점에서 합리적이지 못하고 후자처럼 전원장치의 동특성을 향상시켜서 부하의 변동에 빠르게 대처하는 것이 바람직할 것이다. 많은 제어기가 이러한 목적으로 제안되었는데 디지털 제어기법으로는 시스템의 출력이 오버슈트나 정상상태 오차가 없이 한 샘플링 구간 안에 그 지령치를 추종할 수 있는 데드비트(Deadbeat) 제어기법이 제안되어 활발히 연구되어 왔다.[1,2,3] 데드비트 제어기는 빠른 동특성을 구현할 수 있어서 이상적으로는 UPS의 경우 부하의 변동이나 비선형 부하계통에서 전압 파형의 왜곡을 최소화할 수 있는 방안으로 제안되었으나 실제로 구현할 경우는 다음과 같은 이유들로 인하여 성능에 제한을 받을 수 있다.[4,5,6,7]

첫째, 디지털 제어기의 연산지연시간에 기인하여 디지털 시스템의 성능이 저하되는데 특히 데드비트 제어기의 경우는 성능에 치명적인 영향을 받아서 시스템의 응답이 데드비트 응답을 만족시키지 못할 뿐만 아니라 계통의 안정도에도

큰 영향을 미친다. 이러한 문제를 해결하기 위하여 여러 가지 보상기법들이 제안되었으나 이들 보상기법들이 본질적으로 데드비트 제어기의 민감도를 저하시킨다는 측면에서 바람직하지 않다.[4,5]

둘째, 데드비트 제어기는 플랜트의 파라미터 변동에 매우 민감하다. 이는 데드비트 제어기가 플랜트의 파라미터를 정확히 안다는 가정 하에 시스템의 모든 영점과 극점을 상쇄하고 하나의 극점만이 원점에 존재하도록 설계하는데 시스템의 파라미터는 정확히 알 수도 없고 그 값이 변동하기 때문이다.[6,7]

본 논문에서는 기존의 데드비트 제어기의 장점을 유지하고 단점을 제거한 연구로, 디지털 제어기의 연산 지연시간을 고려하고 파라미터의 변동에 강한 UPS 인버터용 2차 데드비트 전류제어 알고리즘을 제안한다. 제안된 2차 데드비트 제어기의 기본원리는 기존의 데드비트 제어기와 같으나 시스템 응답이 한 샘플링 구간 안에 완료되는 것이 아니라 두 샘플링 구간 안에 완료되도록 설계되었다는 점에 차이가 있다. 본 논문에서는 먼저, 제어기의 연산 지연시간을 고려하여 주어진 플랜트를 재 모델링하고 변경된 플랜트를 제어 대상으로 하여 2차 데드비트 제어기를 설계한다. 제안된 2차 데드비트 제어기는 필터의 인덕터 전류 및 커패시터 전류를 그 기준치의 두 샘플링 시간 안에 오차 및 오버슈트가 없이 추종하도록 제어하지만 파라미터 변동에 민감함을 보인다. 본 논문에서는 시스템의 극점을 재배치하여 보다 강한 2차 데드비트 제어기를 제시한다. 제안된 데드비트 제어기는 시스템의 안정도를 보장하는 파라미터 변동폭이 충분하기 때문에 실제로 구현하는데 문제가 없다.

제안된 2차 데드비트 제어기를 구현하기 위해서는 두 샘플링 시간 이전의 부하전류에 대한 예측이 필요한데 본 논

\* 正 會 員 : 金 泉 大 電 氣 科 專 任 · 工 博

\*\* 正 會 員 : 忠 北 大 工 大 電 氣 · 電 子 工 學 部 教 授 · 工 博

\*\*\* 非 會 員 : ALSTOM Systems Limited · Ph.D.

接受日字 : 2000年 11月 9日

最終完了 : 2001年 3月 19日

문에서는 반복부하예측기를 제안하여 이를 구현하도록 하였다. 그리고 2차 데드비트 전류제어기를 UPS 인버터에 적용하기 위하여 2중 직렬형 제어기로 구성된 2차 데드비트 전류제어기의 외부에 전압제어기를 설치하였다. 제안된 전압제어기는 기본과 전압제어기로 시스템의 기본 주파수에서 전압의 크기 및 위상오차가 '0'이 되도록 설계된다.

제안된 제어기가 연산시간에 영향을 받지 않는다는 사실은 이론적으로 입증하고, 파라미터 변동에 강인하다는 것은 근래적으로 보이고자 한다. 마지막으로 제안된 제어기의 전반적 타당성을 시뮬레이션과 실험을 통하여 입증하고자 한다.

2. 시스템 모델링 및 제어전략

그림 1은 단상 PWM 인버터의 전력회로를 보인다. 부하가 시변·비선형 특성을 갖는 것으로 간주하여  $r_o, l_o$ 로 놓고 시스템을 전압방정식으로 표현하면 다음과 같다.

$$\frac{di_i}{dt} = \frac{1}{L_f}(v_i - R_f i_i - v_c) \tag{1}$$

$$\frac{di_o}{dt} = \frac{1}{l_o}(v_c - r_o i_o) \tag{2}$$

$$\frac{dv_c}{dt} = \frac{1}{C_f}(i_i - i_o) \tag{3}$$

이를 라플라스 변환하여 전체 시스템 블록선도를 그림 2와 같이 표현한다. 그림으로부터 부하의 시변·비선형 특성으로 인하여 출력전압은 부하의 변동에 의해 영향받는다라는 사실을 알 수 있다. 부하에 따른 출력전압의 왜란은 다음 세 가지 형태로 구분 할 수 있다.

- ① 부하가 갑자기 증가하거나 감소하면 출력전압이 정상상태에 도달할 때까지 진동하게 된다.
- ② 정상상태에서 남아있는 전압의 오차가 있다.
- ③ 정류기와 같은 비선형 부하에서 나타나는 출력전압의 고조파가 존재한다.

이러한 문제를 해결하기 위하여 본 논문에서 제안한 시스템 제어블록선도는 그림 3과 같다. 그림에서  $T_{cd}$ 는 연산지연시간인데, 이것은 제어기가 마이크로프로세서를 사용하여 디지털로 구성되는 경우에 신호 검출 후 PWM 제어신호가 나오기까지의 AD변환과 연산에 기인하는 모든 지연시간을 의미한다. DBCC(Dead-Beat Current Controller)는 데드비트 전류제어기로 부하가 변동할 때 과도상태 시간을 최소화 한다. FVR(Fundamental Voltage Regulator)는 기본과 전압제

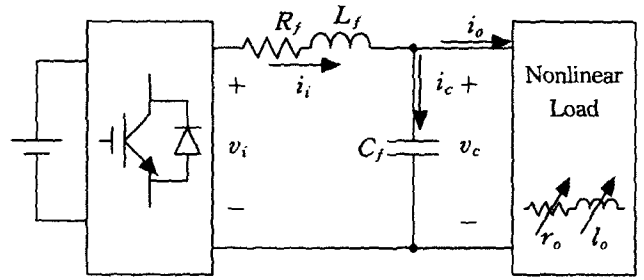


그림 2 단상 PWM 전압형 인버터의 회로도.  
Fig. 1 Schematic diagram of single phase PWM voltage source inverter.

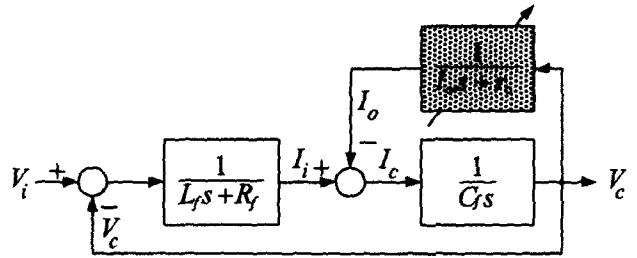


그림 1 주어진 인버터 플랜트의 블록선도.  
Fig. 2 Block-diagram of given inverter plant.

여기로 정상상태에서 전압의 오차를 소거한다. RLP (Repetitive Load Predictor)는 반복부하예측기로 정류기와 같은 비선형 부하에서 나타나는 출력전압의 고조파를 제거한다. 플랜트의 전단에서 작용하는 출력전압  $V_c$ 의 간섭으로부터 전류제어루프를 독립시키기 위하여 제어기 말단에  $V_c$ 의 전향루프를 추가하였다.

3. 제어기 구성

3.1 2차 데드비트 제어기

3.1.1 연산시간을 고려한 2차 데드비트 인덕터 전류제어기

제어하고자 하는 인덕터 전류는 아래와 같이 수식으로 표현된다.

$$I_i(s) = \frac{1}{L_f s + R_f} V_L(s) \tag{4}$$

$$V_L = V_i - V_c \tag{5}$$

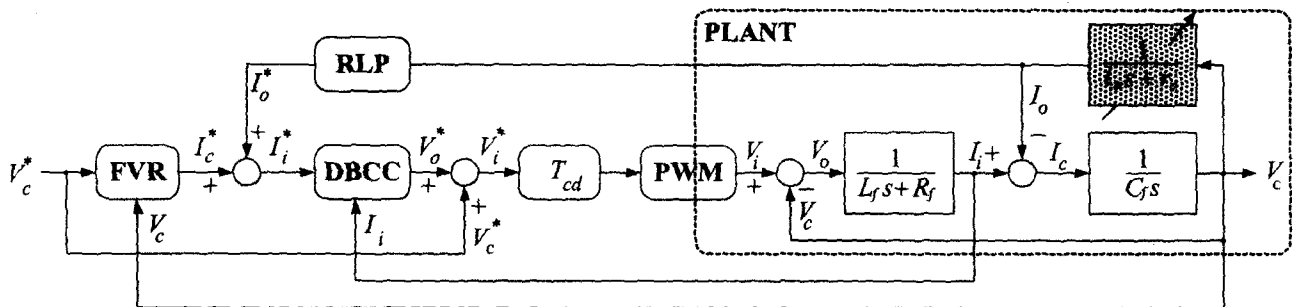


그림 3 제안된 제어기를 포함한 전체 시스템 블록도.  
Fig. 3 Total system block-diagram including proposed controller.

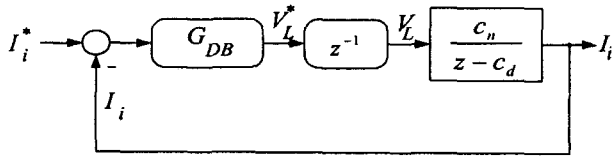


그림 4 인덕터 전류의 데드비트제어루프.

Fig. 4 Deadbeat control block diagram of inductor current.

여기서  $V_L$ 은 인덕터의 양단에 걸린 전압이고  $R_f$ 는 인덕터의 등가직렬저항이다.

$$z \text{ 변환하면, } I_i(z) = \frac{C_n}{z - c_d} V_L(z) \quad (6)$$

여기서,

$$c_d = e^{-R_f T_d / L_f} \quad (7)$$

$$c_n = \frac{1}{R_f} (1 - c_d) \quad (8)$$

이다.

전류 제어 루프는 그림 4와 같다. 그림에서  $G_{DB}$ 는 데드비트 전류제어기의 전달함수이고  $z^{-1}$ 는 연산지연시간으로 최대 한 샘플링 시간으로 간주하였다. 데드비트 제어기의 전달함수  $G_{DB}$ 를 구하기 위해 위의 시스템은 아래와 같은 수식으로 표현된다.

$$I_i = G_{DB} \frac{1}{z} \frac{C_n}{z - c_d} (I_i^* - I_i) \quad (9)$$

만일 이 시스템이 1차 데드비트 응답을 한다면 다음의 수식을 만족할 것이다.

$$\frac{I_i}{I_i^*} = \frac{1}{z} \quad (10)$$

이 조건을 만족하는 데드비트 제어기  $G_{DB}$ 는 다음과 같다.

$$G_{DB} = \frac{z^2 - c_d z}{c_n z - c_n} \quad (11)$$

그러나 이 데드비트 제어기는 분자의 차수가 분모 보다 크기 때문에 구현이 불가능하다. 이는 연산시간이 존재하는 한 주어진 플랜트는 1차 데드비트 응답을 가질 수 없음을 의미한다. 결국 데드비트의 조건은 아래와 같이 수정된다.

$$\frac{I_i}{I_i^*} = \frac{1}{z^2} \quad (12)$$

이는 플랜트의 출력이 제어기준 신호로부터 두 샘플링 시간이 지나면 완전히 일치함을 의미한다. 이를 만족하는 데드비트 제어기는 다음과 같이 얻어지며 이를 2차 데드비트 제어기로 명명한다.

$$G_{DB} = \frac{1}{z^2 - 1} \frac{z(z - c_d)}{c_n} \quad (13)$$

이 2차 데드비트 제어기는 연산시간지연을 플랜트의 일부처럼 고려하여 유도하였으므로 연산시간 지연을 보상하기 위한 추가적인 보정이 필요 없다. 단, 제어기의 출력은 피드백 신호를 검출 한 후 한 샘플링 시간 뒤에 주어야 한다.

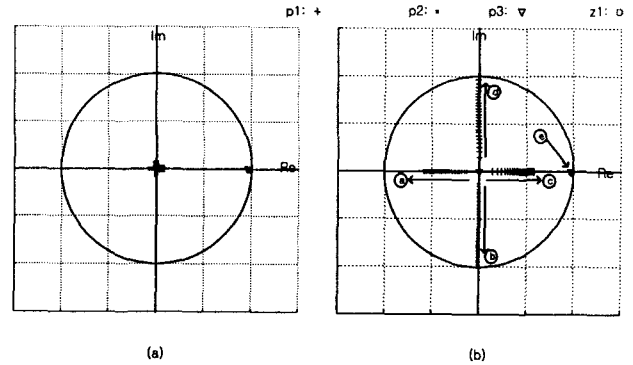


그림 5 수식(13)의 2차 데드비트 시스템의 근 궤적도: (a)  $R_f$ 가  $\pm 50\%$  변동될 때; (b)  $L_f$ 가  $\pm 50\%$  변동될 때.

Fig. 5 Root loci of Deadbeat system expressed as Eq. (14) (a) when  $R_f$  varies to  $\pm 50\%$ ; (b) when  $L_f$  varies to  $\pm 50\%$ .

### 3.1.2 민감성을 고려한 2차 데드비트 인덕터 전류 제어기

대개의 데드비트 시스템이 그러하듯 수식 (13)으로 표현된 2차 데드비트 제어기도 플랜트의 파라미터 변동에 민감하게 영향을 받는다. 이것은 근 궤적으로부터 확인 할 수 있다. 그림 5는 파라미터가  $\pm 50\%$  변동하였을 때 수식 (13)으로 표현된 2차 데드비트 제어기를 적용한 시스템의 근의 궤적을 보인다. (a)는 필터 인덕터의 직렬 등가 저항이  $\pm 50\%$  변동되었을 경우이고 (b)는 필터 인덕터의 인덕턴스가  $\pm 50\%$  변동되었을 경우이다. 파라미터가 변동되지 않았을 경우 근  $p_1, p_3$ 는 원점에 위치해 있고  $p_2$ 는  $\odot$ 점에서 제로와 일치한다. 이 때가 시스템의 두 근이 원점에 위치하고 나머지의 근은 제로와 삭제되므로 시스템은 데드비트 응답을 한다. 파라미터가 변동할 경우 (a)에서 보는 바와 같이 시스템은 저항값의 변동에 대해서는 매우 강인하다. 인덕턴스가 증가 할 경우 그림 (b)와 같이 근  $p_1$ 은  $\odot$ 의 방향으로 근  $p_2$ 는  $\ominus$ 의 방향으로 원점에서 멀어지고, 인덕턴스가 감소할 경우 근  $p_1$ 은  $\ominus$ 의 방향으로 근  $p_2$ 는  $\odot$ 의 방향으로 멀어진다. 근  $p_3$ 와 제로  $z_1$ 은 파라미터의 변동에도 거의 변하지 않고 서로 상쇄된다. 즉, 필터의 인덕턴스가 증가하게 되면 시스템의 응답이 점점 늦어지게 되고, 인덕턴스가 감소하게 되면 시스템은 진동하게 된다. 인덕턴스의 감소가 50%를 넘어서게 되면 시스템은 불안정해지기 시작한다. 실제의 경우 필터 인덕터의 고려되지 않은 파라미터들과 부하변동 등의 기타 다른 외란 들을 파라미터 변동으로 볼 수 있으므로 식 (13)의 데드비트 제어기를 적용하게 되면 원하는 결과를 얻기 힘들뿐만 아니라 매우 불안정하다. 파라미터 변동에 더욱 강인한 2차 데드비트 전류 제어기를 설계하기 위하여 그 제어기를 그림 6과 같이 재구성하였다.

그림에서 볼 수 있듯이 제안된 제어기는 두 부분으로 구성되는데, 하나는 피드백 루프에 포함된 FBC(Feed-Back Controller)이고 다른 하나는 루프 앞에 위치한 IC(Initiative Controller)이다. 이 경우 파라미터 변동에 대해 루프가 항상

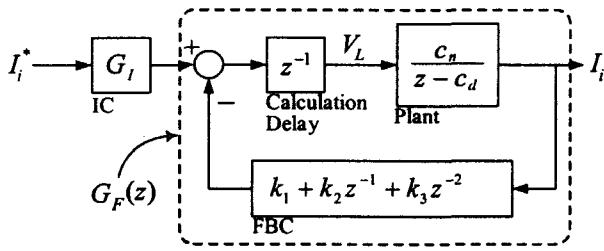


그림 6 제안된 강인한 2차 데드비트 전류제어 블록도.

Fig. 6 Proposed second order deadbeat controller.

안정하고 IC 역시 안정하다면 시스템 전체는 파라미터 변동에 대해서 강인하다고 할 수 있다. 그렇게 하기 위해 먼저 IC를 제외하고 FBC를 포함한 루프전달함수  $G_F(z)$ 의 극점들을 원점 근처의 양의 실수 축 상에 중근으로 배치할 수 있다. 근을 원점이 아니라 양의 실수 축 상에 놓는 이유는 그렇게 함으로써 시정수가 데드비트의 경우보다 크기 때문에 상대적으로 파라미터의 변동에도 강인하기 때문이다. 다음, IC를 설계하여 루프전달함수의 중근을 영점으로 소거하고 원점에 두 개의 근을 배치할 수 있다. 이것은 곧 전체 시스템이 2차 데드비트 시스템이 되었음을 의미한다. 루프전달함수의 근이 중근이 아닐 경우에도 IC로 데드비트 응답을 구현할 수 있으나 만일 파라미터가 변동하게 되면 영점과 극점이 소거되지 아니하고 이때 우세근의 영향으로 시스템의 응답이 매우 느려지게 될 것이다. 즉 루프전달함수의 근들을 중근으로 한 이유는 파라미터의 변동에서 우세근의 영향을 줄여주기 위함이다.

만일 루프전달함수가 양의 실 중근을 갖고 있다면 아래의 수식을 만족한다.

$$G_F(z) = \frac{c_n z^2}{z^4 - c_d z^3 + c_n k_1 z^2 + c_n k_2 z + c_n k_3} \quad (14)$$

$$= \frac{c_n z^2}{(z-x)^4}$$

여기서  $x$ 는 양의 실 중근이다. 이를 만족하는 제어기 FBC의 계수들은 근과 계수와의 관계로부터 다음과 같이 구해진다.

$$k_1 = \frac{6x^2}{c_n}, \quad k_2 = -\frac{4x^2}{c_n}, \quad k_3 = \frac{x^4}{c_n} \quad (15)$$

$$x = c_d/4 \quad (16)$$

이제 전체 시스템이 2차 데드비트 응답을 가지도록 IC를 구할 수 있다.

$$G_I(z)G_F(z) = \frac{1}{z^2} \quad (17)$$

여기서  $G_I(z)$ 는 IC의 전달함수이다. 위 식으로부터 다음과 같이 구해진다.

$$G_I(z) = \frac{(z-x)^4}{c_n z^4} \quad (18)$$

구해진 IC는 안정하고 파라미터 변동에 영향받지 않는다.

제안된 제어기의 파라미터 변동에 대한 반응을 그림 7과 같이 근궤적도를 통해 확인해 볼 수 있다. 그림 7 (a)는 필

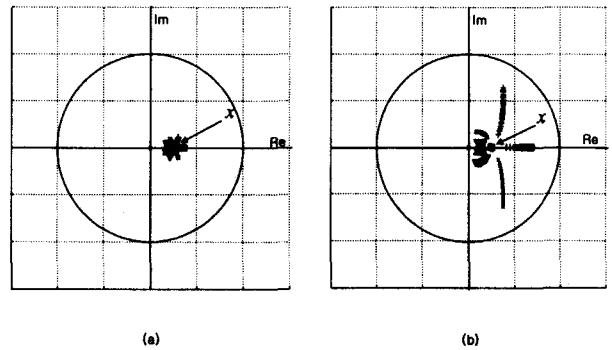


그림 7 제안된 2차 데드비트 시스템의 근 궤적도: (a)  $R_f$ 가  $\pm 50\%$  변동될 때; (b)  $L_f$ 가  $\pm 50\%$  변동될 때.

Fig. 7 Root loci of proposed second order deadbeat control system (a) when  $R_f$  varies to  $\pm 50\%$ ; (b) when  $L_f$  varies to  $\pm 50\%$ .

터 인덕터의 직렬등가저항이  $\pm 50\%$  변동하였을 경우이고 그림 7 (b)는 인덕터의 인덕턴스가  $\pm 50\%$  변동하였을 경우이다. 제안된 제어기 역시 저항의 변동에 대해서는 강인함을 그림 7 (a)를 통해 알 수 있다. 그림 7 (b)의 경우에도 그림 5와는 달리 인덕턴스가 증가하거나 감소하더라도 시스템의 극점의 변이가 크지 않으며 50% 이상의 변동에도 시스템이 불안정해지지 않는 것을 확인할 수 있다.

### 3.2 반복부하예측기와 커패시터 전류 제어

제안된 2차 데드비트 전류제어기는 필터의 인덕터전류가 그 지령치를 두 샘플링 시간 안에 오버슈트나 정상상태 오차 없이 일치하도록 제어한다. 만일 제어기가 정상적인 상태라면 제안된 전류제어불러도는 그림 8과 같이 간략화 할 수 있다. 그림 8로부터 다음의 수식이 성립한다.

$$I_c = (I_c^* + I_L^*)z^{-2} - I_L \quad (19)$$

커패시터 전류가 그 지령치에 2차 데드비트 응답을 가질 조건

$$\frac{I_c}{I_c^*} = \frac{1}{z^2} \quad (20)$$

을 만족하기 위해서는

$$I_L^* = I_L z^2 \quad (21)$$

이 되어야 한다. 즉,  $I_L^*$ 는 실제의 부하전류보다 두 샘플링 시간 전의 값이어야 한다. 이 값은 미래의 값이므로 직접 구할 수 없고 이를 구하기 위한 예측기법이 필요하다.

대개 UPS의 부하들은 저항부하, R-L 부하 그리고 비선형부하 등으로 볼 수 있다. 이때 부하전류는 모든 경우에 있어서 주기적이다. 특히 출력 전압의 파형을 매우 악화시키는 비선형 부하조차도 그 전류는 주기적이다. 이렇게 부하전류가 주기적이라는 조건을 가정한다면 부하전류의 두 샘플링 시간 전의 값도 과거의 주기에서 상용하는 값으로 쉽게 예측될 수 있다.

이제 한 주기 ( $T_s$ )내의 샘플링 수가  $N$ 이라 하자. 그러면 주기가  $T_s$ 인 어떤 주기신호는 이산적으로 다음과 같이

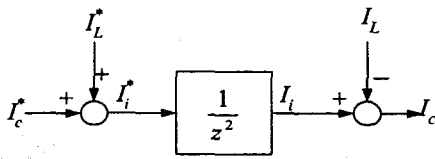


그림 8 등가 전류제어 블록도.  
Fig. 8 Equivalent current control block diagram.

정의된다.

$$y[k] = y[k + N] \quad (22)$$

보다 주기신호를 효과적으로 표현하기 위해 다음을 정의할 필요가 있다.

정의 1  $y[i, j]$  :

$$y[i, j] = y[k] \quad (23)$$

여기서  $i$ 는  $k/N$ 의 몫으로  $0, 1, 2, \dots$  이 되고,  $j$ 는  $k/N$ 의 나머지로  $0 \leq j \leq N-1$  를 만족한다. ■

예를 들어  $N$ 이 10일 때  $y[3]$ 은  $y[0, 3]$  이 되고 이것은 제 1주기의 3번째 샘플링 값을 의미하고,  $y[20]$ 은  $y[2, 0]$  이 되어 제 3주기의 0번째 샘플링 값을 표현한다. 정의 1을 이용하여 식 (22)의 주기신호는 다음과 같이 표현된다.

$$y[i, j] = y[i + 1, j] \quad (24)$$

매 주기마다 같은 위치에서의 값을 표현하기 위해 다음을 정의 한다.

정의 2  $y[i, j]$  :

$y[i, j]$  는  $j$ 가  $J$ 인 순간 취득한  $y[i, j]$ 의 값들로 이루어진 신호. ■

여기서 정의 2와 식 (24)으로부터  $y[i, j]$ 가 상수 신호임을 알 수 있다. 정상상태에서 부하전류는 주기신호이므로  $i_L[i, j]$ 는 상수신호이다. 이 신호는 실제적으로 예상치 않은 노이즈가 포함 될 수 있으므로 이를 저역통과필터로 걸러낸다. 이때의 신호를  $\hat{i}_L[i, j]$ 이라 하자.

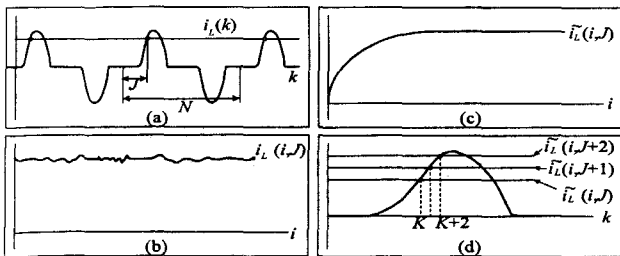


그림 9 부하전류와 반복부하예측. (a) 비선형부하에서 부하 전류 파형. (b)  $j$ 가  $J$ 인 순간에만 샘플링된 신호. (c) 저역통과필터를 거친 신호. (d) 반복부하예측전류.

Fig. 9 Load current and repetitive load prediction. (a) Nonlinear load current wave. (b) Sampled signal at the instant that  $j$  is  $J$ . (c) Lowpass-filtered signal. (d) repetitive load prediction.

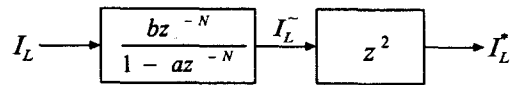


그림 10 제안된 반복부하예측기법의 블록도.  
Fig. 10 Proposed repetitive load prediction method.

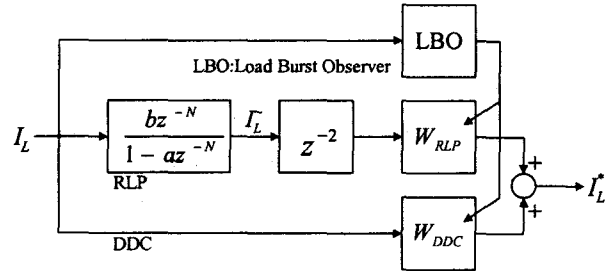


그림 11 제안된 반복부하예측기.  
Fig. 11 Proposed repetitive load Predictor.

이것으로  $j$ 가  $J$ 인 순간에 2 샘플링 시간 앞의 예측부하 전류는  $\hat{i}_L[i, J+2]$ 로 얻어진다. 이를 반복부하예측기법이라 한다. 제안된 반복부하예측기법은 그림 9로 설명될 수 있다. 그림 9 (a)는 주기가  $N$ 인 비선형 부하의 전류 파형이다. 이 신호에서  $j$ 가  $J$ 인 순간 샘플링 한 신호는 그림 9 (b)와 같다. 이 신호를 다시 저역통과 필터로 걸러낸 신호가 그림 9 (c)이다.  $K$ 인 순간보다 2 샘플링 시간 앞선  $i_L[K+2]$ 는 그림 9 (d)에서  $\hat{i}_L[i, J+2]$ 로 얻어 짐을 알 수 있다. 제안된 반복부하예측기법은 그림 10와 같다

제안된 반복부하예측기법은 비선형 부하에서 출력전압의 THD를 대폭 향상시킨다. 그러나 부하가 변동된다면 제안된 기법은 저역통과필터로 말미암아 비교적 긴 과도상태가 존재한다. 이러한 문제를 해결하기 위해 경로를 하나 추가하여 그림 11과 같이 수정한다. 그림에서 보듯이 제안된 반복부하예측기법의 두 경로로 이루어진다. 하나는 반복부하예측(RLP) 경로이고, 다른 하나는 직접외란소거(DDC: Direct Disturbance Cancellation) 경로이다. 그림에서  $W_{RLP}$ ,  $W_{DDC}$ 는 각각의 경로의 비중치이다. LBO(Load Burst Observer)는 부하가 갑자기 변동했는지를 판단한다. 만일 부하가 변동하였다면 그 순간  $W_{DDC}$ 의 값을 '1'로 설정하고  $W_{RLP}$ 의 값을 '0'으로 설정하여 반복부하예측경로를 차단하고 부하전류를 직접 피드포워드 하여 과도상태를 보상하고 시간이 흘러감에 따라 점차적으로 두 비중치의 값을 바꾸어 정상상태에 도달했을 즈음 완전히 바뀌도록 한다.

### 3.3 정상상태 오차 없는 기본파 전압제어기

제안된 2차 데드비트 전류제어기를 UPS 인버터에 적용하기 위해서는 별도의 전압제어기가 필요하다. UPS 인버터의 전압 제어 루프는 그림 12와 같이 표현된다.  $G_{CC}$ 는 위에

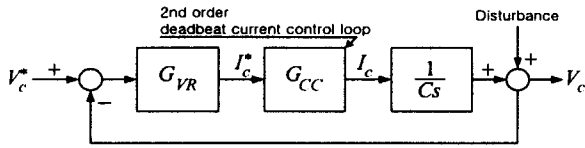


그림 12 등가 전압 제어 블록도.

Fig. 12 Equivalent voltage control block-diagram.

서 제안된 2차 데드비트 제어기 루프이다. 출력전압의 기준 신호가 사인파이므로 전압제어기를 2차 시스템으로 다음과 같이 설정하자.

$$G_{VR} = \frac{k_{i2}s^2 + k_{v1}s + k_{i0}}{s^2 + as + b} \quad (25)$$

전체 전달함수를 구하면

$$\frac{V_c}{V_c^*} = \frac{(k_{i2}s^2 + k_{v1}s + k_{i0})G_{CC}(1/Cs)}{(s^2 + as + b) + (k_{i2}s^2 + k_{v1}s + k_{i0})G_{CC}(1/Cs)} \quad (26)$$

이 되는데 만일 정상상태 오차가 없다면 기본 주파수  $\omega_0$  에 대한 출력전압  $v_c(\omega_0)$  가 그 기준신호  $v_c^*(\omega_0)$  와 일치해야 하므로  $s$ 대신  $j\omega_0$  를 대입한 식 (26)는 1이 될 것이다. 이를 만족하는 제어기의 계수는 다음과 같다.

$$a = 0, \quad b = \omega_0^2 \quad (27)$$

즉,  $a$ 와  $b$ 만이 그 조건을 만족시킬 수 있다. 이제 전압제어기는 다음과 같이 다시 쓸 수 있다.

$$G_{VR} = \frac{s}{s^2 + \omega_0^2} \cdot \frac{k_{i2}s^2 + k_{v1}s + k_{i0}}{s} \quad (28)$$

이로부터 주어진 전압제어기는 PID 제어기에  $\cos \omega_0 t$  의 라플라스 함수가 곱해져 있는 꼴임을 알 수 있다. 이것은 전압의 에리중 기본과 성분만 크게 증폭하여 출력이 기본과에 대해서만 에리가 발생하지 않도록 한다.

이제 PID 제어기의 계수들을 결정하기 위해 내부의 전류 제어 루프  $G_{CC}$  를

$$G_{CC} = \frac{1}{\tau_i s + 1} \quad (29)$$

로 표현하자. 위의 식은 전류제어루프가  $\tau_i$  의 응답시간을 가지고 있음을 의미한다. 이 식을 식 (26)에 대입하여 안정도 조건을 따져보면 제안된 전압 제어기의 제어계수들은 다음과 같이 얻어진다.

$$\left. \begin{aligned} k_{i0} &\geq 0 \\ k_{v1} &> -C\omega_0^2 \\ k_{i2} &> \tau_i k_{v1} \end{aligned} \right\} \quad (30)$$

여기서  $k_{i2}$ 는 미분계수,  $k_{v1}$ 는 비례계수,  $k_{i0}$ 는 적분계수에 해당한다.

만일 미분계수가 0이라면 안정도를 확보하는 비례계수는 음수가 되어야 함을 알 수 있다. 이것은 아날로그로 구현이 어렵고 실링 디지털로 구현한다 하더라도 안정도 영역이 좁기 때문에 좋지 않다. 이는 미분기가 필요한 분명한 이유가 된다.

제안된 제어기를 디지털로 구현하기 위해서 ‘쌍선형변환식’을 적용한다. 제안된 제어기는  $z$  도메인에서 다음과 같다.

$$G_{VR}(z) = \frac{a_0 z^2 + a_1 z + a_2}{\beta_0 z^2 + \beta_1 z + \beta_2} \quad (31)$$

여기서

$$\begin{aligned} a_0 &= 4k_{i2} + 2T_s k_{v1} + T_s^2 k_{i0} \\ a_1 &= -8k_{i2} + 2T_s^2 k_{i0} \\ a_2 &= 4k_{i2} - 2T_s k_{v1} + T_s^2 k_{i0} \\ \beta_0 &= 4 + T_s^2 \omega_0^2 \\ \beta_1 &= 2T_s^2 \omega_0^2 - 8 \\ \beta_2 &= 4 + T_s^2 \omega_0^2 \end{aligned} \quad (32)$$

이다.

#### 4. 시뮬레이션 및 실험

제안된 제어기는 그림 4에서 처럼 제어신호가 한 샘플링 시간 지연되어 플랜트에 인가된다. 그 이유는 위에서 언급한 바와 같이 연산시간을 확보하기 위해서 이다. 제안된 2차 데드비트 제어기를 제대로 시뮬레이션 하기 위해서 이러한 지연 요소를 추가해 주었다. 그림 13부터 20까지는 표 1과 같은 사양으로 한 시뮬레이션 및 실험의 결과파형들이다. 결과로 미루어 보아 제안된 제어기가 연산시간 지연의 영향으로부터 완전히 자유로움을 알 수 있다. 파라미터의 변동에 대한 강인성은 그림 7의 근궤적도에서 이미 증명하였으며 실제로 제안된 제어기를 파라미터가 정확하지 않는 플랜트에 적용하여 실험할 수 있었다. 출력전압은 실험의 편이상 피크 150V, 50Hz로 설정하였다. 실험장치의 구성은 그림 21과 같다.

제안된 제어기가 2차 데드비트 응답을 하는지를 적용된 UPS 시스템에서 확인하기는 곤란하다. 왜냐하면 기준신호가 계단함수꼴이 아니고 외부의 전압제어기에 의해 발생하는 교류신호이기 때문이다. 그러나 제안된 2차 데드비트 제어기의 목적이 출력전압 파형의 개선이므로 부하변동이나 비선형 부하에서 출력전압의 파형 붕괴로서 그 타당성을 증명하려한다.

그림 13과 14는 각각 저항부하에서 그리고 비선형 부하에서 시뮬레이션 결과 파형이다. (1)은 출력전압 파형이고 (2)는 부하 전류 파형이다. 그림 13에서 보듯이 무 부하에서 전 부하로 변하는 순간 출력전압의 파형이 짧은 과도 시간을 거친 후 바로 회복된다. 저항부하에서 측정된 출력전압의 THD는 1.2%이다. 그림 14에서는 출력전압의 파형이 비선형성 부하에도 불구하고 매우 깨끗한 파형으로 보인다. 출력전압의 THD는 2.9%이다. 그림 17과 18의 실험 결과도 거의 동일하게 얻어졌음을 알 수 있다. 이로써 제안된 2차 데드비트제어기가 기존의 데드비트제어기처럼 빠르고 연산 시간 및 파라미터변동에 강인함을 보였다.

한편 제안된 기본과 전압제어기의 동작을 확인해 보기 위해 그림 15의 시뮬레이션 파형과 그림 19의 실험파형을 제시하였다. (a)는 출력전압 (b)는 기준신호이다. 두 신호가 크기 및 위상의 오차 없이 완전히 일치함을 알 수 있다.

마지막으로 제안된 부하예측기의 동작을 확인해 보기 위

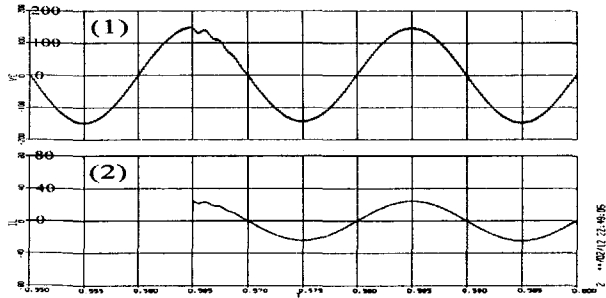


그림 13 저항부하조건에서의 시뮬레이션 파형. (1) 출력전압. (2) 부하전류.

Fig. 13 Simulation waves under resistor load. (1) Output voltage. (2) Load current.

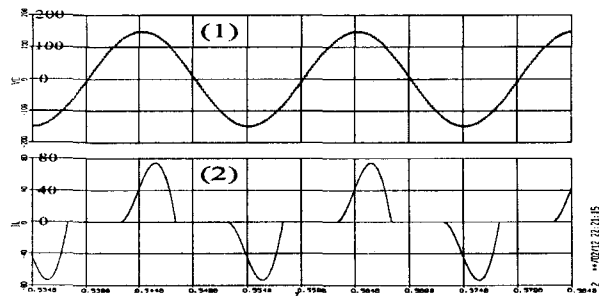


그림 14 비선형부하조건에서의 시뮬레이션 파형. (1) 출력전압. (2) 부하전류.

Fig. 14 Simulation waves under nonlinear load. (1) Output voltage. (2) Load current.

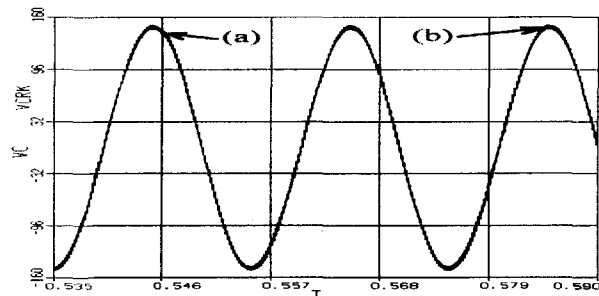


그림 15 정류기 부하 조건에서의 시뮬레이션. (a) 출력전압. (b) 기준전압.

Fig. 15 Simulation waves under nonlinear load. (a) Output voltage. (b) Reference voltage.

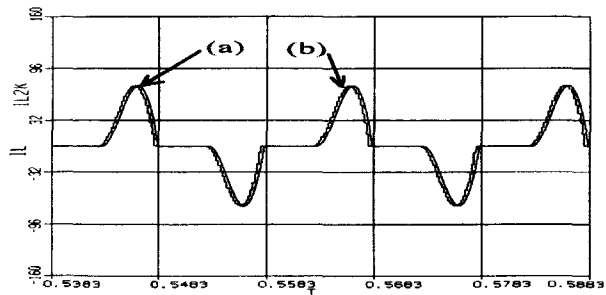


그림 16 정류기 부하에서의 시뮬레이션. (a) 부하전류. (b) 예측전류.

Fig. 16. Simulation waves. (a) Load current. (b) Prediction current.

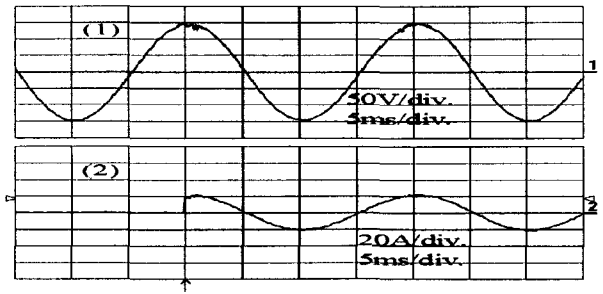


그림 17 저항부하조건에서의 실험 파형. (1) 출력전압. (2) 부하전류.

Fig. 17 Experimental waves under resistor load. (1) Output voltage. (2) Load current.

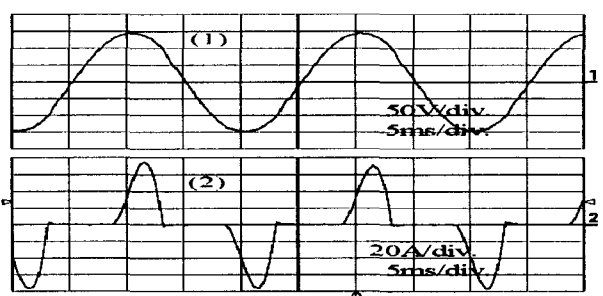


그림 18 비선형부하조건에서의 실험 파형. (1) 출력전압. (2) 부하전류.

Fig. 18 Experimental waves under nonlinear load. (1) Output voltage. (2) Load current.

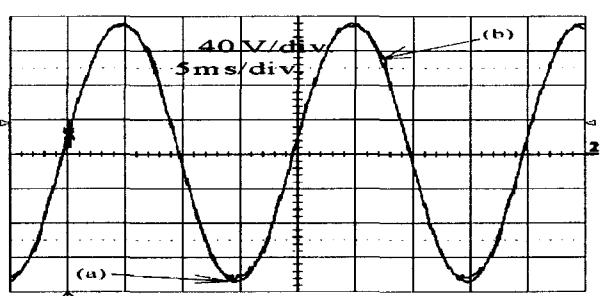


그림 19 정류기 부하 조건에서의 실험. (a) 출력전압. (b) 기준전압.

Fig. 19 Experimental waves under nonlinear load. (a) Output voltage. (b) Reference voltage.

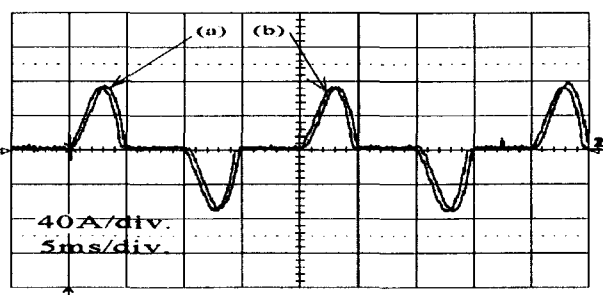


그림 20 정류기 부하에서의 실험. (a) 부하전류. (b) 예측전류.

Fig. 20. Experimental waves. (a) Load current. (b) Prediction current.

해 그림 16의 시뮬레이션 파형과 그림 20의 실험파형을 제시하였다. (a)는 부하전류 (b)는 예측전류이다. 예측전류는 정확히 2 샘플링 시간 다음의 부하전류와 일치함을 알 수 있다.

표 1 시뮬레이션 및 실험 조건

사 양	시뮬레이션 조건	실험 조건
DC Link Volt.	311 [V]	311 [V]
Nominal Output Peak Volt.	150 [V]	150 [V]
Fund. Freq.	50 [Hz]	50 [Hz]
Sw. Freq.	5k [Hz]	5k [Hz]
Filter $L_f$	220 $\mu$ [H]	225 $\mu$ [H]
Filter $C_f$	250 $\mu$ [F]	250 $\mu$ [F]
Filter ESR $R_f$	118m [ $\Omega$ ]	118m [ $\Omega$ ]
Load Resistor $R_l$	6 [ $\Omega$ ]	6 [ $\Omega$ ]
Rectifier $C_r$	4400 $\mu$ [F]	4400 $\mu$ [F]
Rectifier $L_r$	800 $\mu$ [H]	800 $\mu$ [H]

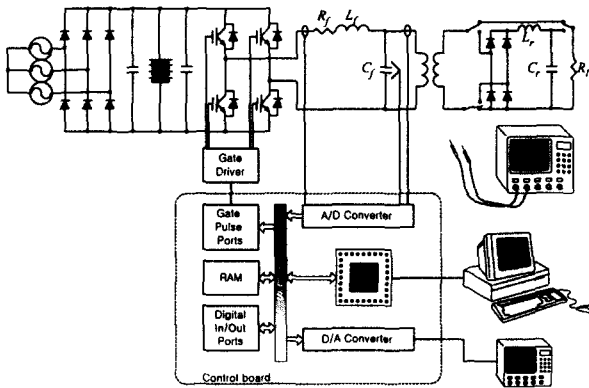


그림 21 실험환경.

Fig. 21 Experimental environment.

### 5. 결 론

부하변동이나 비선형 부하 조건에 적합하도록 빠른 제어 응답 특성을 가진 데드비트 제어기는 연산시간 지연문제와 파라미터 민감성의 단점을 가지고 있었으나 본 논문에서는 이 단점들을 완전히 극복하고 데드비트의 장점을 그대로 유지한 2차 데드비트 제어기를 제안하였다. 연산시간을 플랜트의 고유한 일 부분으로 모델링하고, 디자인된 2차 데드비트 제어기는 연산시간 지연에 따른 문제를 완전히 해결하였고 제안된 2차 데드비트 제어기의 파라미터 변동에 따른 강인성은 근계적도를 비교 제시하여 증명하였다. 제안된 2차 데드비트 제어기법을 UPS 인버터에 적용하기 위해 반복부하예측기법과 정상상태오차 없는 전압제어기가 함께 제시되었으며 이들을 사용한 UPS 인버터의 시뮬레이션 및 실험 결과를 제시하였다. 결과적으로 제안된 제어기는 강인하고 안정하며 비선형 부하에서 매우 깨끗한 전압 파형을 얻을

수 있었다. 제안된 제어기는 컴퓨터가 주종을 이루는 부하 집단을 위해서 하모닉을 발생하지 않는 크린전원장치의 전 디지털 제어기로 적합하다.

### 참 고 문 헌

- [1] T. Kawabata, T. Miyashita, and Y. Yamamoto, "Digital Control of Three-Phase PWM Inverter with LC filter," *IEEE Transaction on Power Electronics*, vol. 6 pp. 62-72, January 1991.
- [2] I. Yamato, H. Shirahama, and Y. Sakurai, "A Deadbeat-based Model-following Digital Control for Realizing Quick Response of Inverter Output Voltage," *IPEC-Yokohama*, pp. 1255-1295, 1995.
- [3] O. Kükürer, "Deadbeat Control of a Three-Phase Inverter with an Output LC Filter," *IEEE Transaction on Power Electronics*, vol. 11, pp. 16-23, Jan. 1996
- [4] Farrukh Kamran and Thomas G. Habetler, "An Improved Deadbeat Rectifier Regulator Using a Neural Net Predictor," *IEEE Transaction on Power Electronics*, Vol. 10, No. 4, pp. 504-510, July, 1995
- [5] O. Kukrer and H. Komurcugil, "Deadbeat control method for single-phase UPS inverters with compensation of computation delay," *IEE Proc.-Electr. Power Appl.*, Vol. 146, No 1, pp. 123-128, January, 1990
- [6] Atsuo Kawamura, Toshimasa Haneyoshi, and Richard G. Hoft, "Deadbeat Controlled PWM Inverter with Parameter Estimation Using Only Voltage Sensor," *IEEE Transactions on Power Electronics*, Vol. 3, No. 2, pp. 118-125, Apply, 1998
- [7] Juigi Malesani, Paolo Mattavelli and Simone Buso, "Robust Dead-Beat Current Control for PWM Rectifiers and Active Filters," *IEEE transactions on industry applications*, Vol. 35, No. 3, pp. 613-120, May/June, 1999



저 자 소 개



김 병 진 (金 昞 振)

1966년 4월 3일 생. 1992년 충북대 전기 공학과 졸업. 1996 동 대 대학원 전기공 학과 졸업(석사). 2000년 동 대 대학원 전기공학과 졸업(공학박). 2000년~2001년 동 대학교 박사후 연수생. 2001년~현재 김천대 전기과 전임강사.

Tel : 054-420-4174, Fax : 054-420-4003

E-mail : bjkim@kimcheon.ac.kr

Amit Jain

Received the B. Tech. degree in electrical engineering from the Kamla Nehru of Technology, Sultanpur, India, the M. Tech. degree and Ph. D. degree in electrical engineering from the Indian Institute of Technology, Delhi, India in 1989, 1990, and 1998, respectively. He has been working in the ALSTOM Systems Limited, Noida, India as software specialist III since April 1998.



최 재 호 (崔 載 昊)

1955년 9월 27일 생. 1979년 서울대 전기 공학과 졸업. 1981년 동 대학원 졸업(석사). 1989년 동 대학원 졸업(공학박). 1981~1983년 중경공업전문대 전자과 전임강사. 1893년~1999년 현재 충북대 공과대학 전

기전자공학부 교수. 1993년~1994년, 1997년~1998년 University of Toronto (Visiting Professor)

Tel : 043-261-2425, Fax : 043-276-7217

E-mail : choi@power.chungbuk.ac.k