

# 두 개의 Phase Frequency Detector를 가지고 있는 Charge Pump PLL의 최적설계에 관한 연구

論 文  
50D-10-4

## A Study on the Optimum Design of Charge Pump PLL with Dual Phase Frequency Detectors

禹榮信\* · 張永民\*\* · 成萬永\*\*\*  
(Youngshin Woo · Young Min Jang · Man Young Sung)

**Abstract** - In this paper, we introduce a charge pump phase-locked loop (PLL) architecture which employs a precharge phase frequency detector (PFD) and a sequential PFD to achieve a high frequency operation and a fast acquisition. Operation frequency is increased by using the precharge PFD when the phase difference is within  $-\pi \sim \pi$  and acquisition time is shortened by using the sequential PFD and the increased charge pump current when the phase difference is larger than  $\pm \pi$ . So error detection range of the proposed PLL structure is not limited to  $-\pi \sim \pi$  and a high frequency operation and a higher speed lock-up time can be achieved. The proposed PLL was designed using  $1.5 \mu\text{m}$  CMOS technology with 5V supply voltage to verify the lock in process. The proposed PLL shows successful acquisition for 200 MHz input frequency. On the other hand, the conventional PLL with the sequential PFD cannot operate at up to 160MHz. Moreover, the lock-up time is drastically reduced from  $7.0 \mu\text{s}$  to  $2.0 \mu\text{s}$  only if the loop bandwidth to input frequency ratio is regulated by the divide-by-4 counter during the acquisition process. By virtue of this dual PFDs, the proposed PLL structure can improve the trade-off between acquisition behavior and locked behavior.

**Key Words** : Dual PFDs, Fast Acquisition, High Frequency, Low Jitter

### 1. 서 론

최근 CPU, 메모리, 통신용 칩의 고속 동작에 대한 관심이 증가됨에 따라 다양한 구조의 Charge Pump PLL이 연구되고 있다. 특히 Acquisition 동작 특성과 Lock 동작 특성을 동시에 만족시키기 위해 여러 개의 PFD를 가지고 있는 PLL 구조가 다수 제안되었다<sup>[1]-[3]</sup>. PLL이 고주파 영역에서 동작 가능하기 위해선 PLL의 입력부인 PFD가 측정할 수 있는 위상차가 가능한 작아야 하는데 일반적으로 많이 사용되는 Sequential PFD는 입력에서 출력까지 여러 단의 게이트를 거쳐야 되기 때문에 데드존이 크다는 단점이 있었다. 최근 PFD의 구조를 간단히 하고 리셋신호로서 입력 신호 자체를 사용하는 동적(Dynamic) 구조의 Precharge PFD가 다수 제안되었지만 이 PFD 역시 위상차 검출범위가  $-\pi \sim \pi$ 으로 제한되어 두 입력 신호의 주파수차가 큰 경우, 위상차가 큰 경우, Duty Ratio의 차이가 큰 경우에 비이상적인 출력 특성을 나타내어 이 PFD를 사용한 PLL의 Acquisition 시간을 증가시키는 단점이 있었다<sup>[4]-[9]</sup>.

본 논문에서는 주파수차와 위상차에 따라 적절한 PFD를 구동시켜 두 PFD의 장점을 결합시킬 수 있는 PLL의 구조를

제안하였다. 위상차의 범위를 감지할 수 있는 회로를 이용하여 위상차가  $-\pi \sim \pi$  범위 내에 있을 때는 작은 구동 전류를 가지고 있는 Charge Pump와 연결된 Precharge PFD를 동작시키고 위상차가  $\pm \pi$  이상의 범위에 있을 경우에는 큰 구동 전류를 가지고 있는 Charge Pump와 연결된 Sequential PFD를 동작시켜 Precharge PFD의 고주파 동작과 Sequential PFD의 빠른 Acquisition 시간 특성을 결합할 수 있었다. 또한 동적구조의 분주기(Divider)를 사용하여 Sequential PFD의 입력 신호 주파수만을 감소시키면 PLL의 Acquisition 시간을 더욱 감소시킬 수 있음을 확인할 수 있었고 제안된 PLL과 기존의 PLL을  $1.5 \mu\text{m}$  CMOS 공정으로 제작하여 그 특성을 비교 분석하였다.

### 2. 본 론

#### 2.1 Sequential PFD와 Precharge PFD의 특성 비교

PFD는 두 입력 신호의 위상차와 주파수차를 검출하는 회로로 일반적인 PLL의 입력단에는 그림 1과 같은 Sequential PFD가 주로 사용되었다. REF, FB 입력 신호의 상승 순간(Rising Edge)를 감지하여 REF 신호가 FB 신호보다 앞설 때는 그 펄스 폭이 두 신호의 상승 순간 차이 폭에 비례하는 UPC 신호가 발생하고 FB 신호가 REF 신호보다 앞설 때는 DNC 신호가 발생하는데 REF 신호의 주파수가 FB에 비해 빠르다면 REF 신호가 FB 신호에 비해 단위시간당 상승 횟수를 더 많이 일으켜서 REF 신호가 FB 신호보다 앞서는 순

\*\* 準 會 員 : 高麗大 工科學科 碩士課程

\* 正 會 員 : 高麗大 工科學科 博士課程

\*\*\* 正 會 員 : 高麗大 工科學科 教授 · 工博

接受日字 : 2000年 12月 15日

最終完了 : 2001年 9月 18日

간이 발생하므로 결국 UPC 신호가 발생하게 된다. 위상차가 감소할수록 UPC, DNC 신호의 폭이 감소되어 결국 PLL은 두 입력 신호를 동상이 되게 된다.

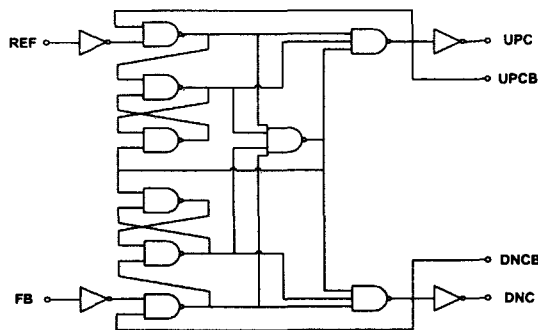


그림 1 Sequential PFD.  
Fig. 1 Sequential PFD.

Sequential PFD는 에러검출범위에 제한이 없기 때문에 이 PFD를 사용한 PLL의 캡처 범위는 오직 전압 제어 발진기 (Voltage Controlled Oscillator:VCO)의 출력 주파수 범위에 의해 제한된다. 하지만 입력력간의 긴 신호경로 때문에 Sequential PFD는 위상차를 검출하지 못하는 영역인 데드존을 가지게 되는데 데드존보다 작은 입력 위상차에 대해선 PFD의 출력이 변할 수 없으므로 PLL에 지터를 발생시킨다는 단점이 있다. 또한 Sequential PFD는 리셋 기간이 길기 때문에 리셋 신호가 입력신호의 다음 상승순간에 걸릴 정도로 주파수가 높게 되면 그 신호를 무시하게 되어 완전히 Locking이 되지 못하고 UPC, DNC 신호가 교대로 "1"이 되는 현상이 발생하게 된다. Sequential PFD가 정상적으로 동작하기 위해선 입력 신호의 주기가 최소한 이러한 리셋 신호의 자기 종료 시간의 두배는 되어야 하기 때문에 플립플롭을 포함한 긴 리셋 경로를 가지고 있는 Sequential PFD는 고주파에서 동작하기가 불가능하다는 단점도 존재한다<sup>[10]</sup>.

Sequential PFD의 동작주파수 제한을 극복하고 데드존을 감소시키기 위해 최근 플립플롭을 사용하지 않고 동적구조의 논리 회로를 사용한 간단한 구조의 Precharge PFD가 제안되었다<sup>[4]-[9]</sup>. 그림 2에 나타난 바와 같이 기존의 논리회로가 동적구조의 논리회로로 교체되어 입력과 출력의 경로를 감소시키고 입력 신호 자체를 리셋 신호로 사용하여 딜레이를 줄이는 방식으로 구조를 간단히 함과 동시에 기생 커패시턴스를 감소시켜 고주파 동작을 가능하게 하였다. Precharge PFD는 위상차가  $-\pi \sim \pi$ 인 범위에서는 Precharge 노드인 PC1, PC2의 전하를 이용해서 Sequential PFD와 동일한 출력특성을 유지하지만  $\pm\pi$  이상인 경우에는 그림 3에 나타낸 것과 같은 비이상적인 특성을 나타낸다.

첫째, REF가 "Low"이고 UP이 "High"인 상태에서는 FB 신호가 "High"가 되어도 UP 신호가 "Low"가 되지 못한다. 이는 REF, FB가 (1,0) 다음에 (0,0) 상태가 되어 노드 PC1이 "High" 상태를 유지해서 UP에 아무런 변화가 없기 때문이다. 그 대신 REF의 다음 상승 순간에 UP이 "Low"가 되는데 이는 UP이 "High"인 시간을 증가시키는 것이 아니라 결과적으로 REF의 다음 상승 순간에 UP이 "High"가 되는 것을 억제하

여 전체적으로 UP이 "High"가 되어있는 시간을 급격하게 감소시키게 된다.

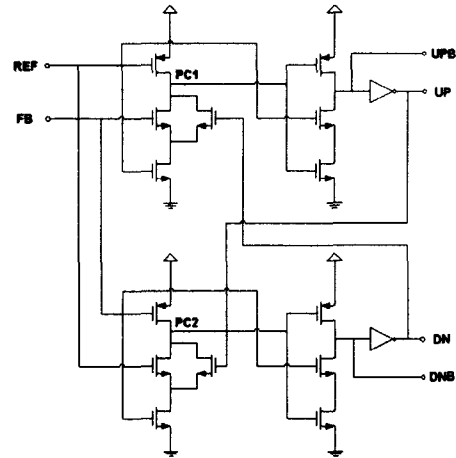


그림 2 Precharge PFD.  
Fig. 2 Precharge PFD.

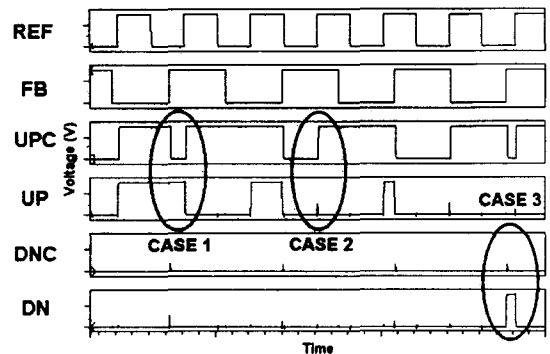


그림 3 Precharge PFD의 비이상적인 출력파형.  
Fig. 3 Nonideal output waveforms of the precharge PFD.

둘째, REF 신호와 FB 신호가 둘다 "High"일 때는 항상 UP과 DN이 "Low"가 된다. 예를 들어 FB 신호가 "High"인 경우에는 REF가 "High" 되더라도 UP 신호가 "Low"에서 "High"가 되지 못한다. 이는 REF와 FB가 (1,1)이 되는 순간 PC1이 방전되어 그 전압을 "Low"로 만들기 때문이다.

셋째, REF의 주파수가 FB에 비해 높아도 DN이 "High"가 되는 경우가 있다. REF, FB가 (0,0)이 된 다음 FB가 먼저 "High"가 되는 경우에는 DN이 "High"가 된다.

결국 Precharge PFD는 입력 위상차가  $-\pi \sim \pi$ 의 범위에 있는 경우 Sequential PFD보다 미세한 위상차를 검출함으로써 PLL이 고주파에서 동작 가능하도록 하지만 이러한 단점 때문에 Precharge PFD만을 사용한 PLL은 Acquisition 시간이 크게 증가하게 된다. 따라서 위상차가  $-\pi \sim \pi$ 인 범위에서는 Precharge PFD를 동작시키고 그 이상의 범위에서는 Sequential PFD를 동작시키면 고주파 동작과 빠른 Acquisition 특성을 결합한 Charge Pump PLL 구조를 실현할 수 있다.

2.2 2개의 PFD를 사용하는 Charge Pump PLL

기존의 PLL은 Sequential PFD, Charge Pump, 로패스 필터, 전압제어 발진기로 구성되어 있다. 두 개의 펄스 신호를 입력받아 Sequential PFD가 위상차에 비례하는 폭을 지닌 펄스 신호를 출력하고 이를 Charge Pump가 위상차에 폭이 비례하는 전류 펄스로 바꾸고 Loop Bandwidth를 결정하는 로패스 필터가 이것을 다시 전압신호로 바꾸어 전압제어 발진기가 이 신호에 따라 주파수와 위상을 바꿈으로써 두 신호의 주파수와 위상을 일치시킨다. 이 경우 Charge Pump의 구동전류를 증가시키면 Acquisition이 가속되지만 Loop Bandwidth를 고정시킨 상태로 전류를 증가시키면 Locking 이후의 지터가 증가하게 된다.

제안된 구조는 Precharge PFD와 Sequential PFD를 구동전류의 크기가 다른 두 개의 Charge Pump에 연결해 사용하면 서로 락이 진행되어 위상차가 어느 정도 이하로 수렴하면 자동적으로 Charge Pump 구동전류가 감소하기 때문에 Sequential PFD의 허용 주파수 이상의 고주파 동작이 가능하고 Acquisition이 빠르면서도 지터를 증가시키지 않는다. 제안된 Charge Pump PLL의 블록 다이어그램을 그림 4에 나타내었다. 전압 제어 발진기(VCO)는 일반적인 링 형태를 사용하였다.

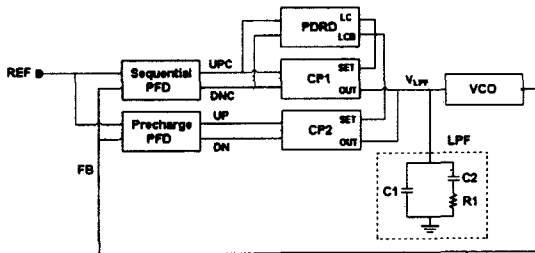


그림 4 제안된 PLL의 블록도.  
Fig. 4 Block diagram of the proposed PLL.

Sequential PFD의 출력신호 UPC, DNC를 입력으로 하는 위상차 범위 검출기(PDRD)가 PLL의 두 입력신호 REF와 FB의 위상차가  $\pm\pi$  이하의 범위 안으로 수렴하면 LC 신호를 "High"로 출력하고 LC의 역신호인 LCB를 "Low"로 출력한다. Charge Pump CP1, CP2는 SET 신호가 "Low"가 되어야 동작하므로 입력신호의 위상차가  $\pm\pi$  이상인 경우 LC가 "Low"가 되어 Sequential PFD에 연결된 Charge Pump CP1만 동작하게 된다. 같은 방법으로 Locking이 진행되어 입력신호의 위상차가  $-\pi \sim \pi$ 의 범위로 수렴하게 되면 LCB가 "Low"가 되어 Precharge PFD에 연결된 Charge Pump CP2만 동작하게 된다. 두 개의 Charge Pump가 동시에 동작하는 순간이 없고 최종적인 Locking은 입력신호의 위상차가  $-\pi \sim \pi$ 의 범위로 수렴한 이후에 동작하는 Precharge PFD에 의해 수행되므로 PLL의 Loop Bandwidth를 그대로 유지한 채 CP1의 구동전류를 CP2에 비해 크게 설계하면 구동전류가 작은 CP2에 맞추어 로패스 필터를 설계하여 Acquisition 시간을 크게 감소시키면서도 고주파 동작을 가능케 할 수 있

다.

입력 위상차 범위를 판정하기 위해 그림 5와 같은 PDRD 회로를 제안하였고 그 입출력 파형을 그림 6에 나타내었다. 그림 6의 (a)와 같이 PLL의 REF 신호가 FB 신호보다  $3\pi/2$ 만큼 앞서게 되면 UPC와 LCO의 Duty Ratio는 75%가 되고 로패스 필터를 거친 평균 전압  $V_F$ 가  $3V_{DD}/4$ 가 된다. 이때 차동 증폭단의 한쪽 입력전압인  $V_{BIAS}$ 를  $V_{DD}/2$ 으로 설정하면 위상차가 감소하다가 그림 6의 (b)와 같이  $\pi$ 이 되는 순간 LC 신호가 "High"가 된다. 그림 6의 (c)와 같이 위상차가  $-\pi \sim \pi$ 인 영역에서는 Sequential PFD와 동일한 출력을 나타내고 데드존은 감소된다. 결국 Locking이 진행됨에 따라 UPC와 DNC가 모두 "Low"가 되는 시간이 길어지면 PDRD 내부의 로패스 필터를 거친  $V_F$ 가 감소하게 되고 이 전압이 차동증폭기의 다른 입력전압인  $V_{BIAS}$ 보다 작아지면 LC 신호가 "High"가 된다.

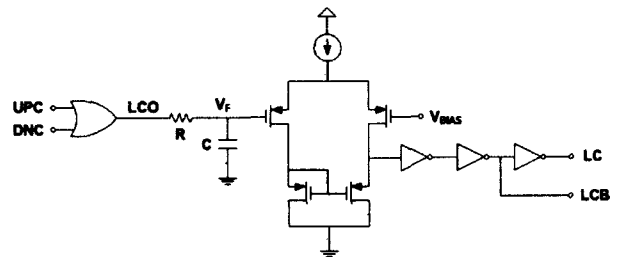


그림 5 위상차 범위 검출기(PDRD).  
Fig. 5 Phase Difference Range Detector(PDRD).

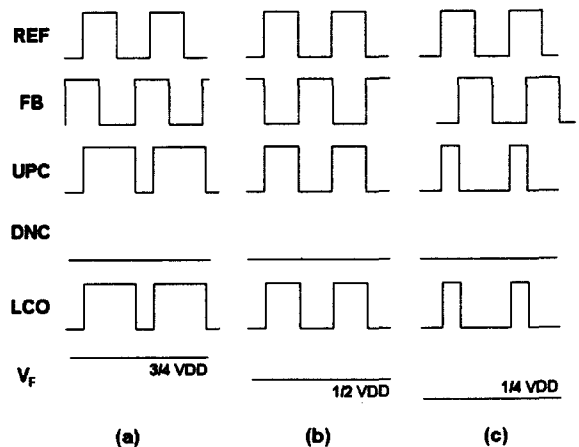


그림 6 LC의 입출력 파형.  
(a)  $3\pi/2$ 의 위상차일 경우.  
(b)  $\pi$ 의 위상차일 경우.  
(c)  $\pi/2$ 의 위상차일 경우.

Fig. 6 Waveforms of LC input and output.  
(a)  $3\pi/2$  phase difference.  
(b)  $\pi$  phase difference.  
(c)  $\pi/2$  phase difference.

이때  $V_{BIAS}$  전압을 적절히 설계하면 원하는 범위 내로 위상차가 작아졌을 때 LC가 "High"가 되도록 설계할 수 있다. PDRD내의 로패스 필터의 RC 값은 UPC, DNC를 필터링할 수 있도록 충분히 크되  $V_F$  전압의 변화시간이 PLL의 Lock-up 시간보다 작게 되도록 설정되어야 한다.

두 개의 PFD를 하나의 로패스 필터에 연결하기 위해서 그림 7의 (a)와 (b)와 같은 Charge Pump를 사용하였다.

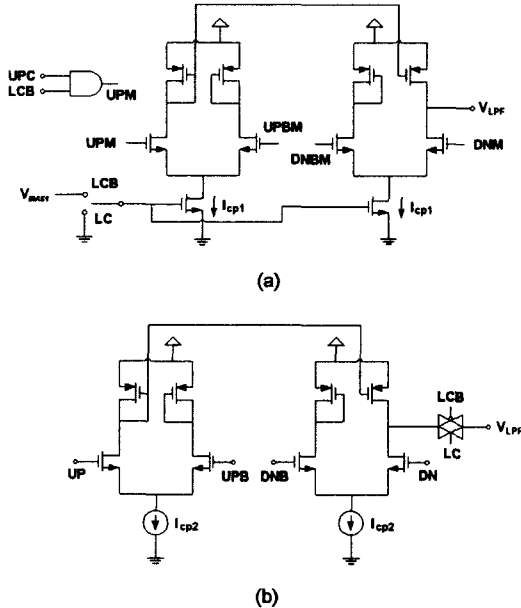


그림 7 제안된 PLL 회로에 사용된 Charge Pump.  
(a) Sequential PFD에 연결된 CP1.  
(b) Precharge PFD에 연결된 CP2.

Fig. 7 Charge pump circuits in the proposed PLL structure.  
(a) CP1 for the sequential PFD.  
(b) CP2 for the precharge PFD.

Sequential PFD에는 그림 7 (a)의 CP1을 연결하고 Precharge PFD에는 그림 7의 (b)의 CP2를 연결하였다. 위상차가  $\pm \pi$  이상이 되어 LCB 신호가 "High"가 되면 CP1에  $V_{BIAS1}$ 이 인가되어  $I_{CP1}$ 이 발생하고 UPC, DNC 신호가 UPM, DNBM으로 전달되면서 CP1이 동작한다. AND 게이트는 CP1의 모든 입력에 연결되어야 한다. DNC 신호는 LCB 신호가 "Low"인 경우에는 AND 게이트 때문에  $V_{LPP}$ 에 노이즈를 발생시키지 않는다. CP1에 삽입된 AND 게이트는 UPM, DNBM 신호에 딜레이를 발생시키지만 이러한 딜레이는 PLL에 지터를 발생시키지 않는데 이는 최종 Locking이 CP2에 연결된 Precharge PFD에 의해 수행되기 때문이다. 위상차가  $\pm \pi$  이하가 되어 LCB 신호가 "Low"인 경우에는 UPC, DNC 신호가 AND 게이트를 통과하지 못하지만 CP2의 트랜스미션 게이트가 턴온 되고 CP2가 로패스 필터에 전류를 공급할 수 있게 된다. CP2는 딜레이가 발생하는 것을 방지하기 위해 AND 게이트 대신 트랜스미션 게이트로 로패스 필터로의 전류 공급을 제어한다. CP2 역시 LC 신호가 "Low"일 경우에

는 트랜스미션 게이트가 오프되기 때문에 DN 신호가  $V_{LPP}$ 에 노이즈를 발생시키지 않는다.

### 2.3 실험 결과와 고찰

그림 8는 입력 주파수가 50 MHz일 경우 1.5  $\mu\text{m}$  CMOS 공정을 사용해서 제작된 기존의 PFD와 제안된 PFD의 위상 특성 시뮬레이션 결과이다.

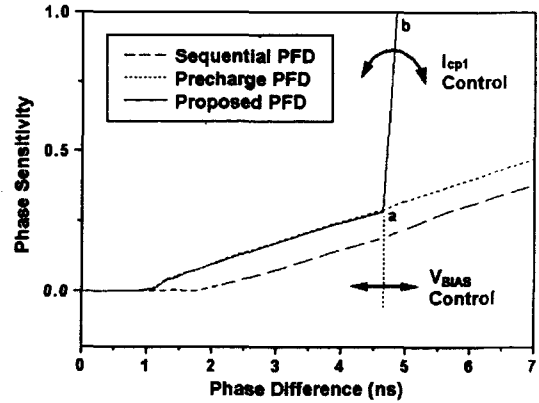


그림 8 Sequential PFD, Precharge PFD, 제안된 PFD의 위상 특성.

Fig. 8 Phase characteristics of the sequential PFD, precharge PFD and the proposed PFD.

Sequential PFD는 1.76 ns의 데드존을 Precharge PFD와 제안된 PFD는 1.12 ns의 데드존을 나타내었다. Sequential PFD의 데드존은 리셋경로에 딜레이를 삽입해 감소시킬 수 있지만 Precharge PFD의 경우 UP, DN 신호에 딜레이를 삽입하면 오히려 데드존이 증가한다<sup>[7]</sup>. 제안된 PFD 구조의 데드존을 제거하기 위해선 데드존이 없는 PFD를 Precharge PFD 대신 삽입하면 된다<sup>[8][9]</sup>. 따라서 제안된 다중 PFD 구조는 서로 다른 PFD의 장점을 결합할 수 있음을 알 수 있다.  $I_{CP1}$ 이 증가되면 a-b의 기울기가 증가되는데 이렇게 함으로써 PLL의 Acquisition을 빠르게 할 수 있고  $V_{BIAS}$ 는 이미 언급된 바와 같이 위상차에 따른 Charge Pump 전류의 변화 순간을 결정한다.

PFD의 최대동작 주파수의 정의는 두 입력신호 REF, FB의 주기가 같고 Duty Ratio가 50%일 경우에 정확한 PFD의 출력 신호가 발생하는 최소 주기의 역수로 정의될 수 있다<sup>[4]</sup>. 정의에 따른 시뮬레이션에 의해 Sequential PFD는 160 MHz까지 동작하지만 Precharge PFD는 250 MHz까지 동작할 수 있음을 확인하여 제안된 PFD 역시 Sequential PFD의 동작 주파수의 한배 반 정도의 고주파 영역까지 동작할 수 있음을 알 수 있다. 전압 제어 발진기로서 주파수 동작범위를 선택적으로 조절할 수 있는 (10 - 90 MHz, 120 - 200MHz) 링 형태의 발진기를 사용하였다. 제안된 PFD를 사용한 PLL는 두 주파수 동작범위에 모두 다 성공적으로 Locking 할 수 있었지만 Sequential PFD를 사용한 PLL은 160 MHz까지만 동작할 수 있었다.

제안된 PLL의 사양은 표 1에 나타내었다. 전압 제어 발진기의 주파수 조절범위가 10 - 90 MHz인 경우에는 Precharge PFD가 어떠한 전원 전압하에서도 전압 제어 발진기에 비해 빠르게 동작할 수 있으므로 PLL의 최대 동작 주파수는 오직 전압 제어 발진기의 출력 주파수 범위에 의해 제한된다. CP2가 PLL을 제어할 때에는  $I_{cp2}$ 가  $I_{cp1}$ 에 비해 작아서 최종 Locking까지  $V_{LFF}$ 가 느리게 변화하기 때문에  $V_{BIAS}$ 를 작게 설정하여 LC 신호가 최종 Locking 직전에 "High"가 되는 것이 바람직한데  $V_{BIAS}$ 가 지나치게 작으면 미세한 입력 위상차의 변화에도 Charge Pump의 구동 전류가 크게 증가해서 LC 신호가 진동할 수 있으므로  $V_{BIAS}$ 를 1V로 설정함으로써 안정된 PLL을 실현할 수 있다.

표 1. 제안된 PLL의 특성.

Table. 1 Characteristics of the proposed PLL.

Key Parameters	Type 1	Type 2
VCO Output Range	10 - 90 MHz	120 - 200 MHz
VCO Gain	20 MHz/V	20 MHz/V
$I_{cp1}$	300 $\mu$ A	300 $\mu$ A
$I_{cp2}$	50 $\mu$ A	50 $\mu$ A
$V_{BIAS}$	1 V	2.5 V
R1(LPF)	7 k $\Omega$	5 k $\Omega$
C1(LPF)	7 pF	6 pF
C2(LPF)	90 pF	80 pF
R(PDRD)	10 k $\Omega$	10 k $\Omega$
C(PDRD)	30 pF	60 pF

제안된 PLL 시스템의 Lock-up 시간을 그림 9에 나타내었다.  $I_{cp1}$ 과  $I_{cp2}$ 가 모두 50  $\mu$ A이면 제안된 PLL의 Lock-up 시간은 Sequential PFD만을 사용한 PLL의 그것과 같아지게 된다.  $I_{cp1}$ 이 커지면서 Lock-up 시간이 짧아지는데 입력 주파수가 30 MHz인 경우  $I_{cp1}$ 이 390  $\mu$ A가 되면 더 이상 감소하지 않고 포화된다.

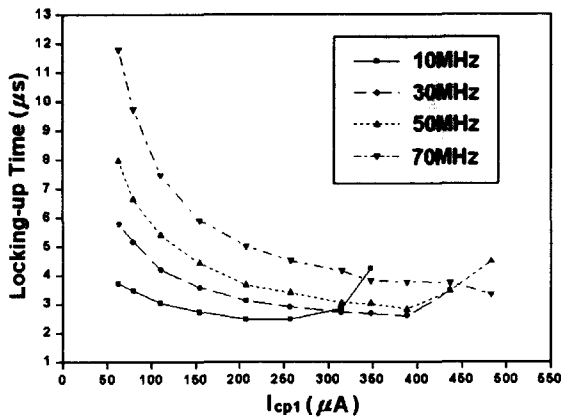


그림 9 Lock-up 시간과  $I_{cp1}$ 의 관계.

Fig. 9 Lock-up time vs.  $I_{cp1}$ .

전류가 커도 무제한으로 Lock-up 시간이 감소되지는 않는

데 이는 Charge Pump의 전류가  $I_{cp1}$ 에서  $I_{cp2}$ 로 감소될 때  $V_{LFF}$ 가 급변하기 때문이다. 이 전압변화는  $I_{cp1}$ 과  $I_{cp2}$ 의 전류 차이가 크면 클수록 심해지는데  $V_{LFF}$  변화가 심해지면 FB 신호의 주파수가 변하고 이는 REF와 FB 신호의 위상차를 증가시키게 된다. 이때  $V_F$ 가  $V_{BIAS}$ 보다 커지게 되면 LC 신호가 다시 "Low"가 될 수 있으므로 Lock-up 시간이 더 이상 감소하지 않게 된다. Lock-up 시간의 포화를 일으키지 않는  $I_{cp1}$ 의 최대값은 입력 주파수가 증가함에 따라 증가하는데 이는 입력 주파수가 큰 경우에는 CP1이 로패스 필터에 연속적으로 전류를 공급할 수 없기 때문에 상대적으로  $V_{LFF}$ 에 작은 전압 변화를 일으키기 때문이다. 그러므로 그림 9에 나타낸 바와 같은 저주파 특성을 고려해  $I_{cp1}$ 을 300  $\mu$ A로 설정하여야 한다. PDRD의 R, C 값이 큰 값이면  $V_F$ 가 안정화되지만 입력 주파수에 대해 느리게 변해서 Lock-up 과정이 오래 걸릴 수 있다.

그림 10은 기존의 PLL과 제안된 PLL의 Pull-in 과정을 도시한 것이다. Type 1인 PLL의 입력 주파수가 73.52 MHz인 경우 기존의 PLL과 제안된 PLL은 각각 13.0  $\mu$ s와 4.5  $\mu$ s를

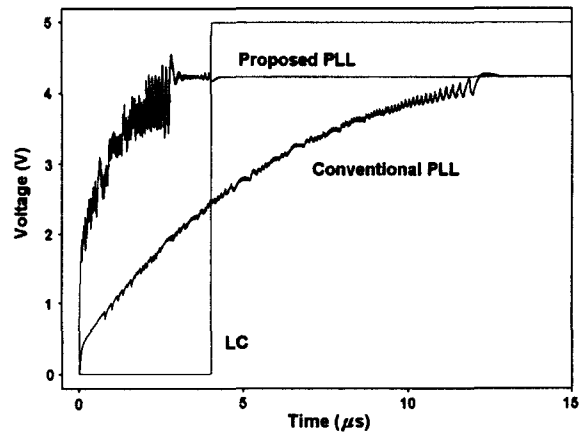


그림 10 제안된 PLL과 기존의 PLL의 Pull-in 특성.

Fig. 10 Pull-in characteristics of the proposed PLL compared with the conventional PLL.

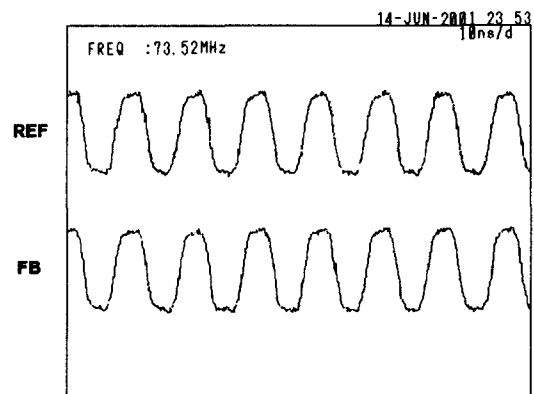


그림 11 Locking 된 후의 73.52 MHz REF와 FB 신호.

Fig. 11 73.52 MHz REF and FB signals after locking.

나타내었고 Locking 된 후의 73.52 MHz의 REF, FB 신호를 그림 11에 나타내었다.

입력 주파수가 높아짐에 따라 Locking된 다음의 LCO 신호의 Duty Ratio가 증가하게 되는데 이는 입력 주파수가 높아짐에 따라 UPC와 DNC 신호가 Sequential PFD의 딜레이 때문에 비이상적인 특성을 나타내기 때문이다. 입력 주파수가 Sequential PFD의 최대 동작 주파수보다 커지면 LCO 신호의 Duty Ratio가 거의 50%까지 증가하기 때문에 전압 제어 발진기의 동작범위가 120 - 200 MHz일 경우에는  $V_{BIAS}$ 를  $V_{DD}/2$ 로 설정하여야 한다. 입력 주파수가 181.82 MHz일 때  $V_{BIAS}$ 를 2.5 V로 설정하면 제안된 PLL의 Lock-up 시간이 7.0  $\mu s$ 로 나타나지만 그림 12에 나타난 것과 같이 Sequential PFD 앞단에만 4분주 회로를 삽입하여 입력 주파수를 낮추면 Sequential PFD가 정상적으로 동작할 수 있기 때문에  $V_{BIAS}$ 를 작게 설정하여 두 입력신호의 위상차가 충분히 감소한 다음 Precharge PFD를 동작시켜 그림 13에 나타난 바와 같이

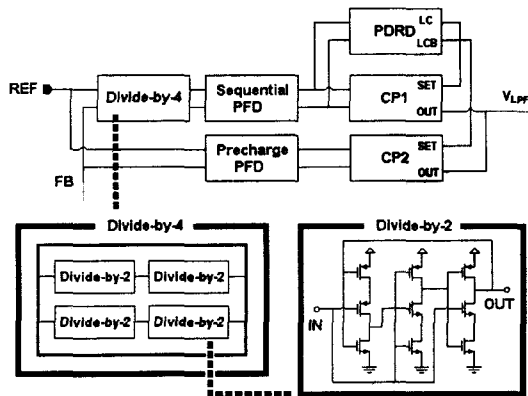


그림 12 고주파 동작 특성이 개선된 PLL의 블록도.

Fig. 12 Block diagram of the improved PLL for high frequency operation.

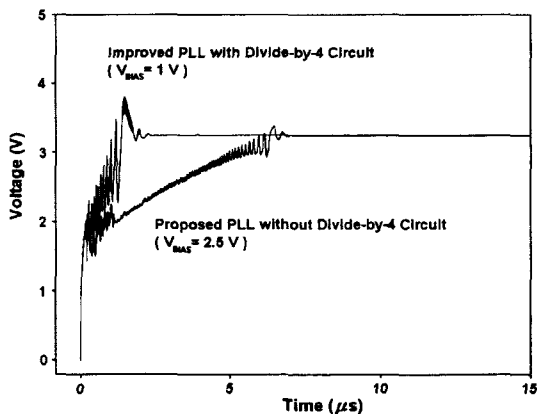


그림 13 고주파 동작 특성이 개선된 PLL의 Pull-in 특성.

Fig. 13 Pull-in characteristics of the improved PLL for high frequency operation.

Lock-up 시간을 2.0  $\mu s$ 로 감소시킬 수 있다. 뿐만 아니라 Loop Bandwidth를 고정시키고 Acquisition만을 수행하는 Sequential PFD의 입력 신호의 주파수를 감소시키는 방법은 입력 주파수를 고정시키고 Loop Bandwidth를 증가시키는 것과 유사한 효과를 일으켜 Acquisition을 더욱 가속시키게 된다.

최종 Locking은 CP1에 비해 작은 구동전류를 가지고 있는 CP2에 의해 수행되므로  $I_{CP1}$ 을 크게 설정하는 방법과 Sequential PFD의 입력 신호 주파수를 변화시키는 방법이 지터를 증가시키지 않는다. Sequential PFD가 정상적으로 동작하지 못하는 주파수 영역의 입력 신호를 분주할 수 있도록 동적 구조의 2분주 회로를 직렬 연결시킨 4분주 회로를 사용하였다. 분주 회로를 삽입하는 방법은 저주파에서도 적용이 가능하지만 Sequential PFD의 입력신호 주파수를 지나치게 감소시키면 LC 신호의 진동을 발생시킬 수 있으므로  $I_{CP1}$ 의 값을 적절히 조절하여야 한다.

기존의 PLL과 제안된 PLL을 포함하고 있는 칩을 1.5  $\mu m$  CMOS 공정을 사용하여 설계하였다. 제작된 칩의 사진을 그림 14에 나타내었다. 기존의 PLL이 1300  $\mu m \times 350 \mu m$ 의 면적을 차지하고 있는 반면에 제안된 PLL은 1300  $\mu m \times 650 \mu m$ 의 면적을 차지하지만 빠른 Lock-up 시간과 고주파 동작 특성을 결합하여 고성능 PLL의 구현에 효과적인 방법이라고 할 수 있다.

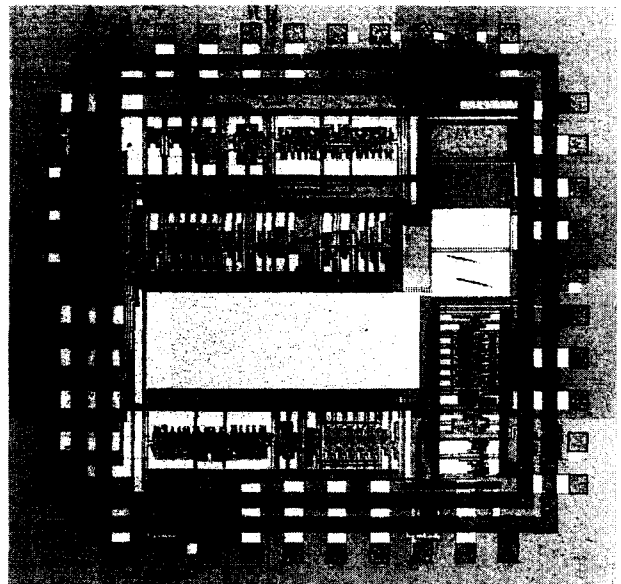


그림 14. 제작된 칩의 사진.

Fig. 14 Microphotograph of the test chip.

### 3. 결 론

본 연구에서는 Sequential PFD와 Precharge PFD로 구성된 Dual PFD 구조와 2개의 Charge Pump를 사용하여 고주파 동작이 가능하고 입력 주파수가 변화할 때 빠른 Acquisition을 수행할 수 있는 새로운 Charge Pump PLL 구조를 제안하고 기존의 PLL과 제안된 PLL을 포함하는 칩을

1.5  $\mu\text{m}$  CMOS 공정을 이용해 제작 및 측정하여 제안된 회로가 더 우수한 특성을 가지고 있음을 확인하였다. 제안된 PLL 구조는 입력신호의 위상차가  $\pm\pi$ 보다 클 경우에는 전류값이 큰 Charge Pump에 연결된 Sequential PFD를 구동시키고 분주기를 이용하여 입력 주파수대 Loop Bandwidth 비를 조절하는 기법을 이용하여 Acquisition 시간을 7  $\mu\text{s}$ 에서 2  $\mu\text{s}$ 로 감소시켰고 위상차가  $-\pi \sim \pi$ 로 수렴한 후에는 전류값이 작은 Charge Pump에 연결된 고주파용 Precharge PFD를 구동시킴으로써 최대 동작가능 주파수를 증가시켰다. 제안된 구조는 차후에 다른 장점을 가지고 있는 PFD를 Precharge PFD 대신에 사용함으로써 서로 다른 PFD의 장점을 결합한 PLL을 설계할 수 있으므로 확장성도 뛰어남을 알 수 있다.

참 고 문 헌

[1] Y. Sumi, K. Syoubu, S. Obote, Y. Fukui, Y. Itoh, "PLL frequency synthesizer with multi-phase detector", IEICE Trans. Fundamentals, vol. E82-A, no. 3, pp.431-435, March, 1999.

[2] K. M. Ware, Hae-Seung Lee, C. G. Sodini, "A 200-MHz CMOS phase-locked loop with dual phase detectors", IEEE J. of Solid State Circuits, vol.24, no. 6, pp.1560-1568, Dec., 1989.

[3] A. Heiman, Y. Bar-Ness, "Optimal design of PLL with two separate phase detectors", IEEE Trans. Commun., vol.com-29, no.2, pp.92-100 Feb., 1981.

[4] Harufusa Kondoh, Hiroshi Notani, Tsutomu Yoshimura, Hiroshi Shibata, Yoshio Matsuda, "A 1.5V 250MHz to 3.0V 622MHz operation CMOS phase-locked loop with precharge type phase frequency detector", IEICE Trans. Electron., vol. E78C, no.4, pp.381-388, April, 1995.

[5] Hiroyasu Yoshizawa, Kenji Taniguchi, Hiroyuki Shirahama, Kenichi Nakashi, "A low power 622MHz CMOS phase-locked loop with source coupled VCO and dynamic PFD", IEICE Trans. Fundamentals, vol. E80, no. 6, pp.1015-1020, June, 1997.

[6] Won-Hyo Lee, Sung-Dae Lee, Jun-Dong Cho, "A high-speed, low-power phase frequency detector and charge-pump circuits for high frequency phase-locked loops", IEICE Trans. Fundamentals, vol. E82-A, no. 11, pp.2514-2520, Nov., 1999.

[7] Henrik O. Johansson, A simple precharged CMOS phase frequency detector, IEEE J. of Solid State Circuits, vol. 33, no. 2, pp.295-299, Feb., 1998.

[8] Kwangho Yoon, Wonchan Kim, "Charge pump boosting technique for power noise immune high-speed PLL implementation", Electronics Letters, vol.34, no.15, pp.1445-1446 July, 1988.

[9] Sungjoon Kim, Kyeongho Lee, Yongsam Moon, Deog-Kyoon Jeong, Yunho Choi, Hyung Kyu Lim, "A 960-Mb/s/pin interface for skew-tolerant bus using low jitter PLL", IEEE J. of Solid State Circuits, vol. 32, no. 5, pp.691-700, May, 1997.

[10] M. Soyuer, R. G. Meyer, "Frequency limitations of a conventional phase-frequency detector", IEEE J. of Solid State Circuits, vol. 25, no. 4, pp.1019-1022, Aug., 1990.

저 자 소 개



**우 영 신 (禹榮信)**  
 1993년 고려대 공과대 전기공학과 졸업.  
 1995년 동 대학원 전기공학과 졸업(석사).  
 1997년 동 대학원 전기공학과 박사과정 수료  
 E-mail : capy@chollian.net



**장 영 민 (張永民)**  
 1996년 고려대 공과대 전기공학 과 졸업.  
 현재 동 대학원 석사과정 재학중  
 E-mail : jym2808@lycos.co.kr



**성 만 영 (成萬永)**  
 1974년 고려대 공과대 전기공학과 졸업. 1976년 동 대학원 전기공학과 졸업(석사). 1980년 동 대학원 전기공학과 졸업(공학박사). 1986년 -1988년 일리노이 주립대 전기공학과 Associate Professor. 현 고려대 전기공학과 교수. 연구 분야는 반도체 소자 모델링, Power MOS 소자, GaAs on Si, GaN소자 및 강유전체  
 Tel : 02-3290-3221  
 E-mail : semicad@korea.ac.kr