

부유게이트 트랜지스터를 이용한 아날로그 연상메모리 설계

論 文

50D-2-5

Design of an Analog Content Addressable Memory Implemented with Floating Gate Transistors

蔡 勇 雄*

(Yong Yoong Chai)

Abstract - This paper proposes a new content-addressable memory implemented with an analog array which has linear writing and erasing characteristics. The size of the array in this memory is 2×2 , which is a reasonable structure for checking the disturbance of the unselected cells during programming. An intermediate voltage, V_{mid} , is used for preventing the interference during programming. The operation for reading in the memory is executed with an absolute differencing circuit and a winner-take-all (WTA) circuit suitable for a nearest-match function of a content-addressable memory. We simulate the function of the mechanism by means of Hspice with $1.2 \mu m$ double poly CMOS parameters of MOSIS fabrication process.

Key Words : Addressable Memory, Analog Memory, WTA, Absolute differencing circuit, EEPROM

1. 서 론

최근들어 통신망의 발달과 함께 네트워크의 접속에 있어 고속 라우팅의 필요성이 강조되면서 신경망 지능 제어 기법을 이용한 연상메모리[1][2][3][4]가 주목 받고 있다. 이러한 연상 메모리는 고속 변환 데이터 베이스의 정보저장 및 수정 뿐만 아니라 패턴 매칭 등과 같은 응용 분야에도 널리 이용되어 왔다. 그러나 기존의 연상 메모리는 근본적으로 비교를 위한 어레이의 크기가 일반 메모리에 비해 상대적으로 큰 구조적 문제를 가지고 있기 때문에 대용량의 연상메모리 제작이 어려웠다.

신경 회로망 기법은 그 동안 전통적인 논리함수 기능의 컴퓨터로는 불가능하였던 유사도 측정을 가능하게 하는 것으로서 본 고에서는 이러한 신경 회로망 기법을 이용한 아날로그 연상 메모리가 제안된다. 아날로그 연상메모리는 기존의 연상메모리가 논리 1과 0의 상태만을 나타내는 것과는 달리 한 셀에 어떠한 값도 저장할 수 있기 때문에 다수의 셀로 상태값을 나타내는 기존 연상메모리의 크기를 줄이는

데 기여할 수 있을 것이다. 또한 본고에서 제안되는 연상메모리는 임의의 함수에 대한 유사도 측정뿐만 아니라, 대용량 데이터의 병렬 처리가 가능하여 고속의 제어기에도 적용될 수 있을 것이다.

Intel은 NOR형 플래쉬를 이용하여 한 셀에 4개의 논리정보를 저장하는 멀티레벨 메모리[5][6] strataFlash를 선보였고, 동일한 테크놀로지를 이용한 멀티레벨 연상메모리의 개발도 활발히 진행되고 있다. 그러나 한 비트에 네가지의 다른 상태를 저장하는 상기의 멀티레벨 테크놀로지는 메모리의 집적도를 두배 향상시키는 효과가 있을 뿐이다. 더구나 기능 구현을 위하여 추가되는 주변회로를 고려할 경우 집적도의 개선 효과는 더욱 줄어들 것이다.

본 고에서는 표준 CMOS공정에서 제작가능한 poly-poly 주입 방식[7][8][9]의 EEPROM의 아날로그 연상 메모리를 제안한다. 아날로그 연상 메모리는 액세스된 정보를 각 메모리 셀에 아날로그 신호 형태로 저장하기 때문에 집적도 면에서 최적화된 메모리 구성을 가능하게 할 것이다. 프로그래밍 방식은 F-N(Fowler-Nordheim) 터널링 주입에 의한 페루프방식이 이용되는데 이 구조는 논리 6비트의 정밀도를 갖는 것으로 입증되었다[7].

* 正 會 員 : 啓明大學校 電子工學科 助教授 · 工博
接受日字 : 2000年 9月 15日
最終完了 : 2001年 2月 5日

2. 본 론

2.1 아날로그 연상메모리의 프로그래밍

본 고의 아날로그 메모리는 poly-poly형의 EEPROM 구조[7][8][9]로서 F-N 터널링주입 방식에 의해 부유게이트의 전하량을 조절하도록 설계되었다. 이와같은 전하량 조절 동작을 프로그래밍이라 하며 이에는 쓰기와 소거의 두가지 동작이 있다. 쓰기동작은 셀의 드레인에 있는 전자를 부유게이트로 전송하는 것으로서 이를 위해서는 그림 1에 나타난 셀의 컨트롤게이트에 프로그래밍 전압 V_{pp} 를 인가하고 인젝터를 접지시키면 된다. 소거동작은 반대로 부유게이트에 있는 전자를 드레인으로 전송하는 동작으로서 쓰기동작과는 반대로 컨트롤게이트를 접지시키고 인젝터에 프로그래밍 전압 V_{pp} 를 인가하여 인젝터에서 컨트롤게이트 방향의 전기장에 의해 부유게이트의 전자가 산화막의 높은 에너지 장벽을 넘어 드레인으로 이동하도록 하는 것이다.

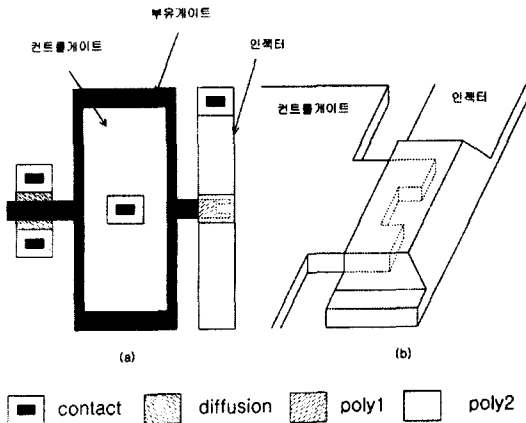


그림 1. 아날로그 셀의 레이아웃

(a) 평면도 (b) 입체도

Fig. 1 Layout of an analog cell

(a) Top (b) Perspective view

이와같이 외부에서 인가되는 전기장에 의해 산화막의 높은 에너지 장벽을 넘어 전하가 전달되는 현상을 F-N터널링 주입이라 하며, 이 때 전송되는 전류의 크기는 식 1에 의해 결정된다.

$$I = A V^2 \exp(-B/|V|) = -\frac{dQ}{dt} \tag{식 1}$$

여기에서 A와 B는 상수이고, V는 부유게이트와 인젝터간의 전위차이다.

식 1에 나타난 바와 같이 F-N 터널링에 의한 전류의 크기는 외부에서 인가되는 전압의 지수함수에 비례하기 때문

에 미세한 전하량 조절이 가능하다. 이와 같이 프로그래밍에 의해 일단 부유게이트로 이동된 전자는 프로그래밍 전압이 제거되면 산화막의 높은 에너지 장벽에 의해 외부로의 유출입이 불가능한 불활성 특성을 나타내게 된다. 이 때 부유게이트의 전하량에 의해 해당 트랜지스터의 문턱전압이 결정되고 이러한 특성을 이용하여 한 셀에 특정 데이터를 저장하는 것이다.

본 고에서는 F-N 터널링 주입방식에 의해 프로그래밍 시에 요구되는 높은 프로그래밍 전압의 크기를 최소화하기 위하여 모서리 전계효과 강화 방식의 개념이 도입된 셀이 사용되었다[8]. F-N 터널링 주입에 의해 전자가 산화막을 거쳐 이동하기 위해서는 외부에서 인가되는 전원에 의한 전기장의 크기가 10^7 V/cm 이 되어야 하기 때문에 산화막의 두께가 200 Å인 셀의 경우 20V의 높은 프로그래밍 전압이 요구된다. 이와 같은 높은 전압은 산화막을 열화시킴으로서 셀의 수명을 단축시키고 셀의 데이터 리텐션에도 영향을 주게 된다.

그림 1에서 인젝터가 돌기 형태를 나타내는 것을 볼 수 있는데, 이러한 돌기모양의 인젝터는 외부에서 인가되는 프로그래밍 전압을 떨어뜨리는 효과를 가져다 줄 것이다[8].

그림 2에는 연상메모리의 프로그래밍 특성을 관찰하기 위한 2x2 어레이 형태가 나타나 있다. 이 어레이는 확장 가능한 것으로서 어레이 위치를 행과 열의 위치에 따라 (0,0),(0,1),(1,0),(1,1) 등으로 나타내었다.

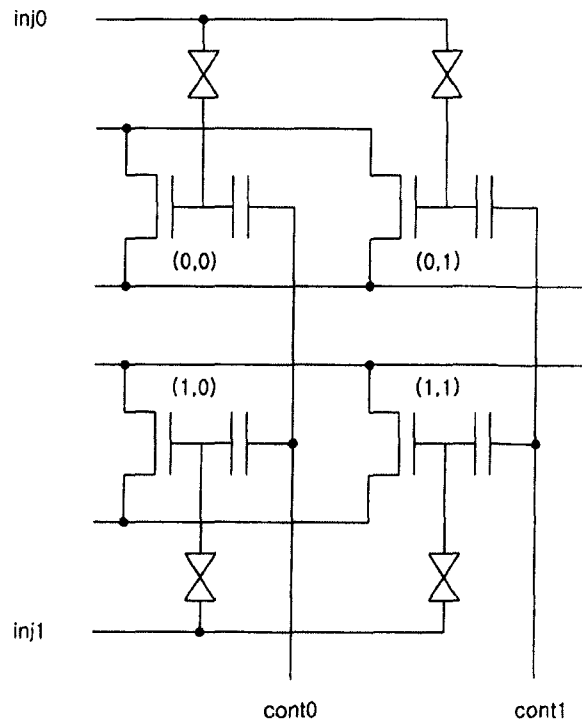


그림 2. 2x2 어레이의 블럭도

Fig. 2 A block diagram of 2x2 array

상기의 어레이 구조에서 특정셀에 쓰기동작을 통하여 인젝터로부터 부유게이트에 전자를 이동시키고자 할 경우에 지정된 셀의 열에는 프로그래밍 전압(V_{pp})을 인가하고 나머지 열에는 $V_{mid}(V_{pp}/2)$ 를 인가하며, 지정된 행은 접지시키고 나머지 행에는 V_{mid} 를 인가한다. 반대로 소거 동작의 경우는 쓰기동작과 반대로 해당셀의 열과 행에 각각 접지와 V_{pp} 를 인가하고 지정되지 않은 열과 행에는 V_{mid} 를 인가한다. 이러한 구성은 쓰기와 소거 동작 시에 지정된 셀의 컨트롤 게이트와 인젝터간의 전위차만이 V_{pp} 가 되고 지정되지 않은 셀의 전위차는 V_{mid} 혹은 $0V$ 가 되게 할 것이다. 예를 들어 셀 (0,0)에서 쓰기 동작이 이루어질 경우 cont0에 V_{pp} 를 인가하고 cont1에는 V_{mid} 가 인가되며, inj0는 접지, inj1는 V_{mid} 가 인가된다. 이경우에 (0,0), (0,1), (1,0), (0,0)에 위치한 컨트롤게이트와 인젝터간의 전위차는 각각 V_{pp} , V_{mid} , V_{mid} , $0V$ 가 될 것이다. 이 경우에 터널링 주입에 의한 전자의 이동은 오직 셀(0,0)에서만 일어나게 되며, 이것은 주입에 의한 전자의 이동이 지수함수의 특성을 갖고 있기 때문이다. 이러한 프로그래밍 특성과 간섭 효과가 그림 3에 나타나 있다. 그림에서와 같이 프로그래밍 되지않는 셀

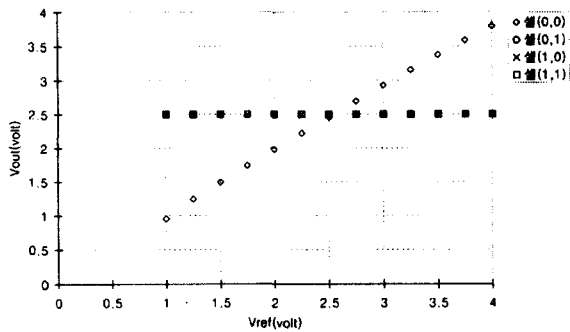


그림 3. 프로그램의 선형적 특성과 간섭효과
Fig. 3. Linear characteristics of programming operation and disturbance effect

표 1. 셀 (0,0)의 프로그래밍 시에 2x2 어레이의 컨트롤게이트와 인젝터에 인가되는 프로그래밍 전압
Table 1. Programming voltage applied on control gates and injectors of 2x2 array during programming of cell located at (0,0)

동작 구분	프로그래밍 전압	셀 위치	전위차(Volt) ($V_{cont}-V_{inj}$)
쓰기	cont0= V_{pp}	(0,0)	V_{pp}
	cont1= V_{mid}	(0,1)	V_{mid}
	inj0=gnd	(1,0)	V_{mid}
	inj1= V_{mid}	(1,1)	0
소거	cont0=gnd	(0,0)	$-V_{pp}$
	cont1= V_{mid}	(0,1)	V_{mid}
	inj0= V_{pp}	(1,0)	V_{mid}
	inj1= V_{mid}	(1,1)	0

은 인가된 전압에 의해 간섭 받지 않고, 지정된 셀은 프로그래밍에 의해 선형적으로 변화하는 것을 알 수 있다.

이러한 어레이의 특성을 갖고 있는 셀 (0,0)의 쓰기와 소거를 위해 컨트롤게이트와 인젝터에 인가되는 전압의 크기가 표 1에 나타나 있다.

2.2 아날로그 연상메모리의 읽기

아날로그 연상메모리의 읽기동작은 어레이에 저장된 아날로그 신호와 외부에서 전달된 신호를 비교하여 가장 오차가 적은 블럭의 내용을 패드를 통해 외부로 전달하는 동작을 일컫는다.

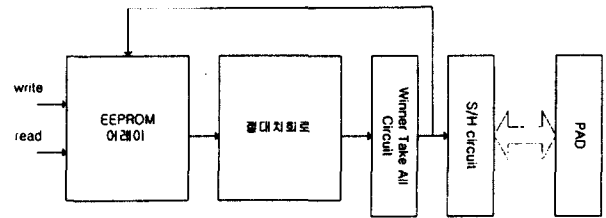


그림 4. 연상메모리의 읽기동작 블럭도

Fig. 4. A block diagram of a content-addressable memory for read operation

그림 4는 연상메모리의 읽기동작을 위한 블럭도를 나타낸다. 패드를 통해 전달된 아날로그 신호는 S/H회로에 의해 래치되어 어레이의 각 셀의 신호와 비교된다. 이렇게 비교된 신호의 결과는 절대치회로[10]의 입력이 되어 두신호의 차이가 절대값 형태의 출력으로 나타난다. 이 출력은 WTA (Winner-Take-All) 회로[11]의 입력신호가 되어 두 신호간에 전위차가 가장 작은 셀에 해당하는 블럭의 출력은 논리 1이 되고 나머지 블럭은 논리 0이 되어 입력신호와 가장 근접한 값을 갖는 셀의 블럭만이 선택된다.

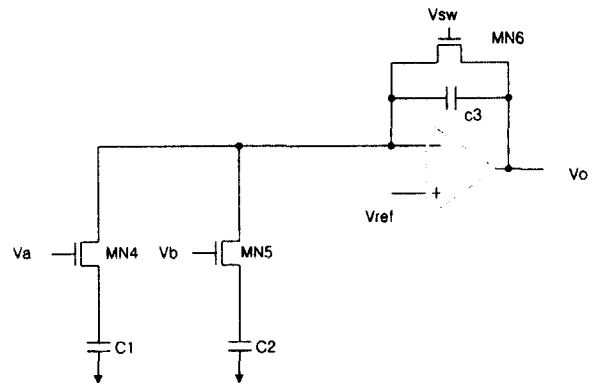


그림 5. 절대치회로

Fig. 5. An absolute differencing circuit

그림 5에는 차동증폭기, MOS트랜지스터와 캐패시터 등으로 이루어진 절대치회로가 나타나 있다. 절대치회로는 초기 동작으로서 차동증폭기의 +단자에 V_{ref} 를 인가하고 MN6을

은 시킴으로서 귀환회로에 의해 C3를 충전시킨다. 충전이 완료되면 MN4와 MN5의 게이트에 전압 Va와 Vb를 인가한다. 단 Va, Vb는 Vref-Vth 보다는 작아야 한다.

$$V_{ref} - V_{th} > \max(V_a, V_b) \quad (2)$$

여기에서 Vth는 MN5, 6의 문턱전압이고 max(Va, Vb)는 Va와 Vb 중에서 상대적으로 큰 값을 의미한다.

C1과 C2의 충전으로 MN4, MN5의 소오스 전위는 Va-Vth와 Vb-Vth이 된다. 캐패시터 C1, C2의 충전이 완료된 후에 M4와 M5에 인가되었던 전압 Va, Vb가 교차되고 MN6 스위치를 아프시키면, 캐패시터 C3가 방전하기 시작한다. 예를 들어 MN4, MN5에 인가된 전압 Va와 Vb중에서 Va가 더 큰 값이라고 가정하면 스위칭이 일어난 후에 MN4의 소오스 전위에는 변화가 없다. 그러나 MN5의 게이트에 새롭게 인가된 전위는 스위칭 이전의 전위에 비해 상대적으로 크기 때문에 C3의 전자가 C2로 이동하게 되고 이것은 MN5의 소오스단 전위가 Va-Vth이 될 때까지 지속될 것이다. 한편 상기 동작으로 인해 차동증폭기의 출력에는 Va와 Vb의 절대차 (|Va-Vb|)에 비례한 값이 나타나게 된다. Va가 Vb에 비해 상대적으로 작다고 해도 그 결과는 같다. 이와같은 절대치회로의 동작특성을 이용하여 외부로부터 인가된 전압(Va)과 아날로그 연상메모리에 저장된 값(Vb)간의 절대 전위차를 알 수 있을 것이다. 그림 6(a)는 Va와 Vb의 상대적 크기가 각기 다른 네 개의 입력에 대한 절대치회로의 Hspice 시뮬레이션 결과를 보인다. 블록0, 1, 2, 3의 Va와 Vb간의 전위차가 0.6, 0.4, 0.2, 0volt일 때의 절대값회로의 출력으로서 블록0의 출력이 가장 크게 나타나는 것을 볼 수 있다. 그림 6(b)는 상기회로의 입력값에 대한 절대치 동작 특성을 보인다.

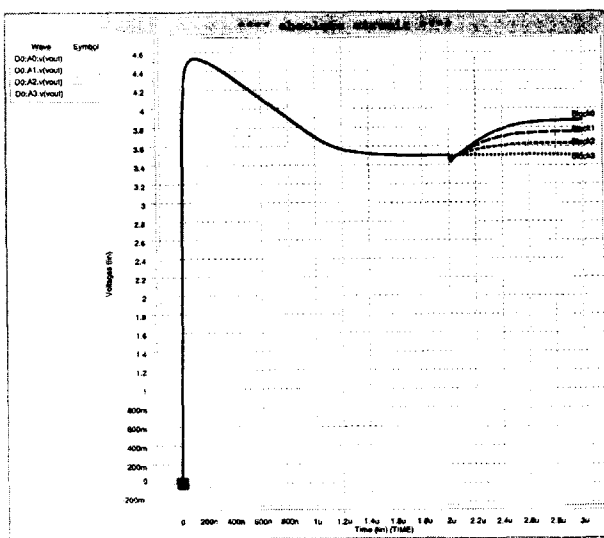


그림 6. (a) 절대치회로의 시뮬레이션 결과
(b) 절대치회로의 동작특성
Fig. 6. (a) Simulation result of a absolute differencing circuit (b) characteristics of absolute differencing circuit

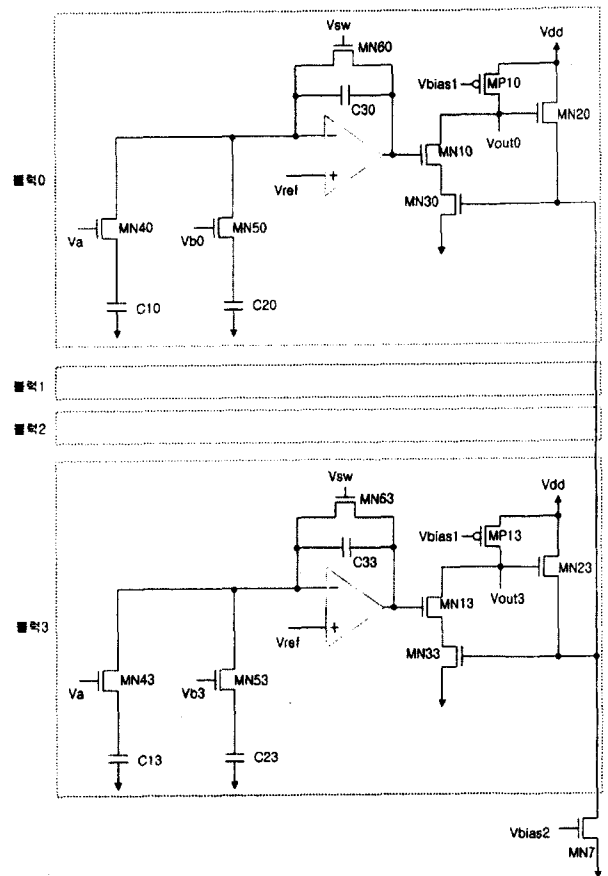
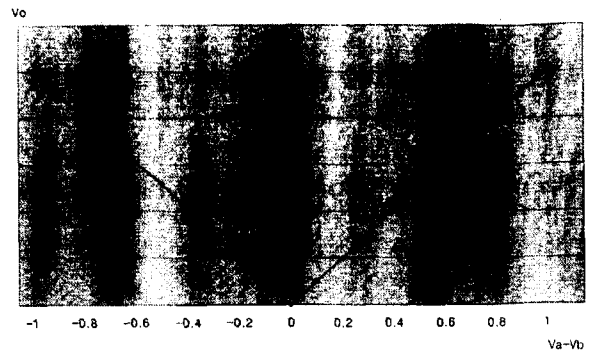


그림 7. 2x2 어레이의 각 블록에 연결된 절대치회로와 WTA회로도
Fig. 7. A circuit diagram of an absolute differencing circuit and WTA circuit pertaining to each cell

그림 7에 2x2어레이의 각 셀에 연결된 절대치회로와 WTA회로가 나타나 있다. WTA회로는 하나의 PMOS와 3개의 NMOS로 구성되어 있으며, 블록 0, 1, 2, 3은 각각 셀 (0,0), (0,1), (1,0), (1,1)에 연결된 절대치와 WTA회로를 나타내고, MOS나 캐패시터의 부호에서 두번째 숫자는 각 셀에 해당하는 블록번호를 의미한다.

연상메모리 시스템에서 WTA회로는 승자 전취메카니즘으로서 입력된 신호와 저장된 신호간의 Hamming Distance가 가장 작은 블록의 셀을 선택하는 기능을 갖고 있다. 따라서

WTA회로는 이 회로의 입력이 되는 절대치회로의 출력이 가장 작은 블럭을 선택하는 역할을 한다. 예를 들어 그림 7의 4개의 블럭으로 구성된 회로에서 블럭3의 MN13 게이트에 인가된 절대치회로의 출력이 가장 낮다고 가정하자. MP1의 게이트에 인가된 바이어스 전압이 4개의 블럭에 공통으로 인가되기 때문에 절대치회로의 출력전압에 의해 MP1, MN1의 컨덕턴스가 결정되어 Vout3이 가장 높게 나타날 것이다. 각 블럭의 MN2에 해당하는 트랜지스터의 소오스는 MN7의 드레인과 연결되어 공통드레인 회로를 구성한다. 따라서 MN23의 드레인 전위가 전체 블럭에서 가장 높게 나타난다. 한편 이 출력은 MP1, MN2, MN3로 구성된 CMOS 회로로 귀환된다. 이 귀환은 각 블럭의 MN1에 가장 낮은 전압이 인가된 블럭의 출력만을 논리 1을 만들고 나머지 블럭의 출력은 논리 0이 되게 할 것이다. 이것은 MN2의 드레인이 전원전압에 연결되어 포화상태나 차단상태만이 가능하기 때문이다. 즉 두 값의 오차가 가장 작은 블럭에 대해서는 MN2가 포화상태가 되고 그 나머지 블럭에 대해서는 MN2가 차단상태가 되는 것이다.

그림 6에서 적용되었던 4개의 값이 절대치와 WTA로 구성된 회로의 입력이 되어 그 동적인 전압특성을 나타내는 시뮬레이션 결과가 그림 8에 나타나 있다. 4개의 입력에서 두 값간의 절대치가 가장 낮은 블럭만이 초기 상태를 유지하고 나머지 블럭의 출력에서는 두 값간의 오차 크기에 따라 출력 캐패시터가 방전되는 것을 알 수 있다. 이러한 결과는 두 값(Va와 Vb)의 전위차가 가장 낮은 블럭만을 논리 1이 되게하고 나머지 블럭은 논리 0이 되도록 한다. 이와 같은 동작은 본 고의 아날로그 연상메모리가 입력신호와 메모리에 저장된 신호가 정확하게 같지 않아도 오차가 가장 작은 셀을 선택하는 근접매칭 방식의 신경망 회로 특성을 잘 보여준다.

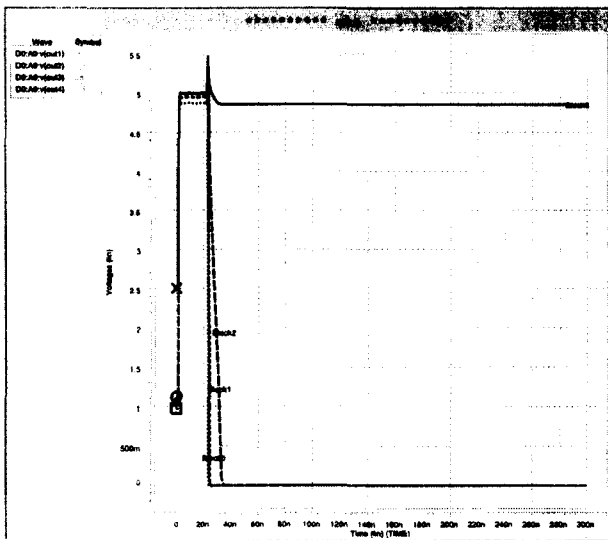


그림 8. 절대치와 WTA 회로의 동작특성을 나타내는 시뮬레이션 결과

Fig. 8. Simulation result for operational characteristics of an absolute differencing and a WTA circuit

3. 결 론

본 고를 통해 신경망 회로 기법을 이용한 아날로그 연상 메모리를 제안하였다. 연상메모리를 구성하는 셀은 poly-poly 주입 형태의 EEPROM으로 구성하였고, 셀의 인젝터 레이아웃을 다소 변형시키는 기법으로 프로그래밍 전압을 낮추는 방법을 제시하였다. 어레이의 프로그래밍에 의한 간섭 여부를 확인하기 위해 2x2 어레이 형태의 연상메모리 구조를 보이고 이를 통해 쓰기와 소거 동작을 위한 프로그래밍 전압 인가 방식을 제안하였다. 연상메모리의 읽기 동작을 위한 기본구성으로서 절대치회로와 WTA회로를 보이고 Hspice를 이용하여 이 회로의 동작을 검증하였다.

본 고에서 설계된 아날로그 연상메모리는 고속의 데이터 검색, 패턴인식기, 네트워크 라우터 개발 뿐만 아니라 고집적의 아날로그메모리의 기본 구조로의 활용도 가능할 것이다. 또한 근접매칭 방식을 이용한 음성, 문자, 패턴 등의 인식분야, 인공지능을 이용한 전문가 시스템 분야로의 응용도 예상된다.

감사의 글

본 연구는 1999년도 계명대학교 비사연구기금과 IDEC의 장비지원으로 이루어졌습니다.

참 고 문 헌

- [1] J. Huang et al., "A Multi-Winner Associative Memory", IEICE Trans. Inf. & Syst., Vol.E82-D, No.7, pp. 1117-1125, July 1999.
- [2] T.Ikenaga et al., "A fully parallel 1-mb CAM LSI for real-time pixel-parallel image processing", IEEE JSSC, V.35, No.4, pp. 536-544, Apr. 2000.
- [3] M. Alistair et al., "A High Speed Reconfigurable Firewall Based On Parameterizable FPGA-Based Content Addressable Memories", Proceedings of the International Conference on Parallel and Distributed Processing Techniques and Applications pp.1138-1144, June 1999.
- [4] T. Hanyu et al., "A new neural network: Hybrid location-content addressable memory", neurocomputing, Vol.11 No.1, Mar. 1996.
- [5] wysiwyg:122/http://developer.intel.com/design/flcomp/isfbgrnd.htm
- [6] K. Takeuchi et al., "A Double-Level-Vth Select Gate Array Architecture for Multilevel NAND Flash Memories", IEEE J. Solid-State Circuit, vol. 31, no. 4, Apr. 1996.
- [7] 채용웅 외 1, "부유게이트를 이용한 아날로그 어레이 설계", 대한전자공학회, pp. 800-807, 1998. 10.
- [8] Yong Yoong Chai, Floating gate MOSFET with reduced programming voltage", IEE Electronics Lett.

Vol. 30, No.18, pp. 1536-1537, 1996.
[9] Yong Yoong Chai, "A 2x2 Analog Memory implemented with a special layout injector", IEEE Journal of Solid-State Circuits, June, 1996.
[10] Guerrieri et al., "Low power analog absolute differencing circuit and architecture", US patents,

patent no. US5438293, Aug. 1, 1995
[11] L.G. Johnson et al., "MOS implementation of winner-Take-All network with application to content-addressable memory", Electronics Lett., vol.27, no.11, pp.957-958, May 1991.

저 자 소 개



채 용 응 (蔡 勇 雄)

1958년 8월 16일 생. 1985년 서강대 전자공학과 졸업. 1991년 Oklahoma State Univ. Electrical Engr. 졸업(석사), 1994년 Oklahoma State Univ. Electrical Engr. 졸업(공학), 1985년~'88년 LG정보통신 PABX 설계팀. 1995년~'96년 삼성전자 통신반도체 설계팀. 1997년~현재 계명대학교 컴퓨터전자공학부 조교수.
Tel : 053-580-5923, Fax : 053-580-5165
Email : yychai@kmu.ac.kr