

PCB 설계에서 기판의 전기적 파라미터 추출 기법 고찰 (Study on the methods of extracting Electrical parameters on PCB design process)

최 순 신 *
(Soon-Shin Choi)

요 약

본 논문에서는 PCB 설계에서 전기적 파라미터 추출과 기판의 전기적 모델링 방법을 기술하였다. 실제 PCB 구조에서 전기적 특성을 해석하기 위해 캐시메모리 시스템을 예로하여 6층의 기판을 설계하였다. 설계된 PCB 기판에서 배선 구조 및 비아, BGA Ball 등 기본회로 요소 구조를 설정하여, 전기적 변수를 추출하였고 이를 재결합하여 PCB 네트를 모델링하였다. 이후 SPICE, XNS 등의 분석 도구를 사용하여 전기적 특성을 분석하였다. 그 결과 최대 2.6ns 정도의 신호지연과 최대 281mV의 간섭잡음으로 시스템의 사양에 적합함을 알 수 있었다.

ABSTRACT

In this paper, we described extraction method of electrical parameters and modeling method of PCB nets on PCB design process. To analyze electrical characteristics of real PCB structure, we selected a cache memory system as an experimental board and designed 6 layer PCB substrate. For extraction of the electrical parameters, we divided circuit elements into the components of conductor types which are wires, via holes, BGA balls etc. and combined the calculated value by real net structure to modeling the PCB nets. We analyzed the electrical characteristics of the PCB nets with the simulation tools of SPICE and XNS. The simulation analysis has shown that the maximum signal delay was 2.6ns and the maximum crosstalk noise was 281mV and we found that the designed substrate was adequate to system specification

1. 서론

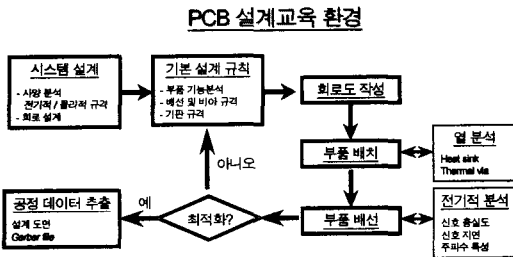
최근 PCB 설계에서의 주요한 이슈는 배선 밀도 증가에 따른 회로의 복잡성 증가 및 전자 제품의 사이클 단축에 따른 설계 기간의 단축으로 특징 지워진다. 기판에 실장되는 전자부품의 집적도가 크게 증가되어 다양한 기능을 하나의 칩 상에 구현함에 따라 입출력 단자의 수가 증가되고, 이를 위한 패키지 형태도 PGA(Pin Grid Array), QFP(Quad Flat Package) 및 BGA(Ball Grid Array) 등 고밀도 패키

지 형태로 대체됨으로써 PCB 기판의 배선 밀도 및 배선 층수의 급격한 증가를 가져왔다.[1,5] 더불어 새로운 기능의 전자 시스템이 빠른 속도로 출현하여 제품의 앞선 개발로 시장을 선점하기를 원하는 전자 업계의 경쟁으로 설계 기간은 더욱 단축되는 경향을 보인다. 따라서 EDA(Electronic Design Automation) 툴 사용을 통한 PCB 설계는 제품의 품질 향상 및 개발 기간의 단축이라는 사실로 당연하게 받아들여지고 있다.

* 정회원 : 용인송담대학 디지털 전자정보과 전임강사

기존 PCB 설계에서 EDA툴의 사용은 단순한 물리적 설계 도구로써 회로도 작성 및 PCB 아트웍을 중심으로 이루어져 왔고 PCB 설계 교육도 이에 치중되어 왔다. 그러나 최근의 PCB 기술은 회로 패턴 및 간격의 미세화와 더불어 회로 배선 층의 다층화의 경향을 갖는다. 이를 통해 기판의 물리적 크기를 감소시키고, 단위 면적 당 배선 밀도를 증가시켜, 넷 당 배선 길이를 축소함으로써 고속, 고밀도 시스템을 구현하고자한다. 그러나 밀집된 영역에 고속, 고밀도 칩을 탑재함으로써 발생하는 전기적 잡음과, 열적인 문제는 시스템의 성능과 밀접한 관계를 가지며, PCB 설계에서 매우 중요한 요소로 대두되고 있다.[3,4]

최근의 PCB 기판은 높은 동작 속도를 갖는 고집적 칩이 고밀도로 배선된 기판 상에서 연결되는 형태로 구성되어지고, 3차원적 다층 배선구조를 가지고 있으며, 칩간의 연결 요소와 배선 선로간의 간격 등이 고밀도로 설계되기 때문에 높은 주파수로 동작될 때는 시스템의 잡음 여유를 축소시키고 극심한 경우 오동작을 초래하기 쉽다. 이러한 문제들은 특정한 넷 구조만의 해석이나 단순화된 배선 모델만으로 모듈의 전기적 특성을 예측하기 어렵다. 따라서 PCB 기판의 설계와 제작상의 신뢰성을 확보하기 위해서는 설계 변수에 따라 설계된 각 넷의 회로 요소에 대한 전기적 변수 추출과 이를 통한 PCB 기판 전체 넷의 전기적 특성분석이 수반되어야 한다.[3,4] 아래그림은 PCB 설계를 위한 기본과정이다.



[그림 1] PCB 설계과정
[Fig. 1] PCB design flow

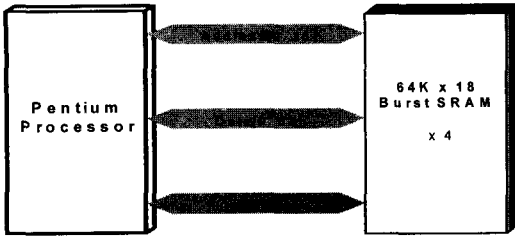
본 논문에서는 PCB 설계에서 기판의 전기적 특성을 해석하기 위한 전기적 변수 추출 및 모델링 방법을 살펴보았다. 실제의 PCB 보드에서의 전기적

특성을 분석하기 위해 테스트 시스템으로 CPU 칩과 캐시메모리를 사용하여 보드를 설계하였고, 이때의 전기적 특성과 잡음 특성을 분석하였다. 2장, 3장에서는 테스트 시스템의 구조와 보드 설계 규칙 및 방법을 서술하였고, 4장에서는 배선된 넷에서 전기적 잡음을 일으킬 수 있는 전기적 변수를 조사하였다. 전기적 변수 추출 과정에서는 배선구조를 스트립 라인, 마이크로스트립 라인, 비아홀 및 BGA ball 등 기본 배선 구조로 분할하였고, 전송선 전자기 해석 도구를 사용하여 L, C 값을 계산하였다. 이후 실제 배선된 구조로 계산된 변수 값을 결합하여 넷을 모델링 하였다. 5장에서는 모델링된 넷을 사용하여 PCB 기판상의 모든 넷의 신호특성 및 잡음 특성을 모의 실험을 통해 살펴보았다.

2. 테스트 시스템

캐시 메모리는 고속으로 동작하는 CPU와 상대적으로 낮은 데이터 접근 속도를 갖는 메인메모리 (DRAM) 사이에 위치하여 CPU와 메인메모리 사이의 데이터 전송지연의 병목을 제거하기 위한 것이다.[6] 일반적으로 빠른 데이터 접근 속도를 갖는 SRAM 또는 Burst (Pipelined) SRAM으로 구성되며, 자주 사용되는 데이터나 최근의 데이터를 미리 캐시 메모리 상에 저장하여 CPU의 데이터 읽기/쓰기 시간을 감소시키고 시스템 처리속도를 향상시킨다. CPU 칩 자체 내에도 각각 256Kbyte의 데이터 및 코드 캐시 메모리를 내장하고 있으나, 이로써는 용량이 부족하여 보통 256Kbyte 또는 512Kbyte의 2차 캐시 메모리를 추가하여 동작시키게 된다.[6,7]

[그림 2]는 캐시 메모리 시스템 블록도이며 CPU와 캐시 메모리 사이의 동작 주파수는 CPU 입력 주파수와 같은 66MHz ~ 133MHz로써 시스템의 다른 어느 부분보다도 높은 동작 주파수를 갖으며, 따라서 높은 전기적 신호 특성과 잡음 여유를 요구한다. 본 논문에서는 PCB 설계시 전기적 변수를 추출하기 위한 시험 모듈로써 캐시메모리 시스템 중에서 CPU와 512Kbyte 캐시메모리를 하나의 모듈로 구성하였다.

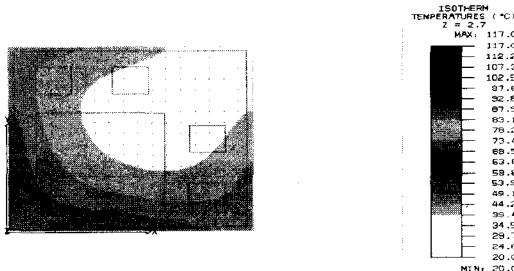


[그림 2] 캐시 메모리 시스템 블록도

[Fig. 2] Block diagram of cache memory system

3. PCB 기판 설계

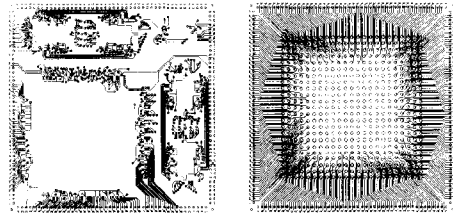
본 논문에서 테스트 시스템을 설계하기 위해 노트북용 CPU 칩 (실장면적=28.5mm×28.5mm)과 4개의 64K×18bit burst SRAM (실장면적 = 10.0mm×10.0mm)를 사용하여 55mm×55mm 배선 면적을 갖는 6층 PCB 기판에서 배치, 배선을 실시하였다. PCB 기판은 0.25 Oz(8.75μm) 두께의 동박층, 절연체는 비유전율 4.7을 갖는 100μm 두께의 FR-4를 가정하였고, 안정된 전원 및 접지 신호를 위해서 2층 및 5층에 전원/접지면을 각각 삽입하였다. 배선 규칙은 배선펍/배선퍼치 = 100μm/250μm, 비아홀은 직경/퍼치 = 500μm/900μm로 하였고 BGA 용 패드의 직경/퍼치 = 1000μm/2000μm로 설정하였다. 칩의 배치는 실장되는 부품의 소모전력(팬티엄 칩 10.1W(max), SRAM:1.2W(max))과 실장 면적의 비를 고려하였고, 열분석 도구인 Autotherm을 이용하여 동작 온도 (Tcase < 70℃)를 유지하게끔 모듈의 케이스 재질 및 열방출 핀(fin)의 크기를 결정하였다. [그림 3]은 풍속 1.5m/sec와 세라믹 방열판을 가정했을 때 최대 60℃ 미만의 열분포를 보여준다.[15]



[그림 3] 열분석 결과

[Fig. 3] Result of thermal analysis

배선 길이를 최소화하기 위해서 네트를 spanning tree 구조로 가정하고 칩 패드퍼치를 기본단위로 하는 맨하턴 길이를 계산하였고, 최소의 배선길이(계산 결과:8660.72mm)를 갖는 칩 배치 구조를 사용하였다.[2] 외부 회로와 연결시키기 위한 입출력 단자는 solder ball을 이용한 BGA(Ball Grid Array)패키지 방식을 이용하여 모듈 밑에 I/O ball을 형성하였고, 네트를 구성하는 신호 패드와의 길이가 균일하게 되도록 solder 패드를 형성하였다. 배치된 부품의 신호 배선은 모든 배선층에 균일한 배선 밀도 분포를 유지하도록 설계하였다. 이때 배선을 위한 톨로는 멘토사의 MCM-Station을 사용하였다. [그림 4]는 설계된 PCB 기판의 부품 및 솔더면을 보여준다.



a) 부품면

b)솔더면

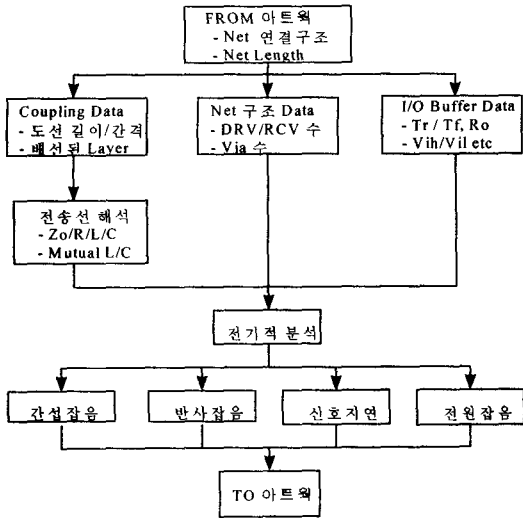
[그림 4] 배선된 PCB 회로 기판

[Fig. 4] Designed PCB board

4. 전기적 변수 추출 및 분석

4.1 전기적 분석 과정

전기적 분석은 배선이 완료된 PCB 기판에서 배선 길이, 배선 구조 및 층간의 연결 방법 등의 정보를 통해 기본 회로요소를 선정하고 전기적 파라미터를 추출한다. 추출된 파라미터를 보드에 배선된 구조에 따라 재결합하여 네트를 모델링하였고, 칩의 입출력 단자의 전기적 특성을 결합하여 신호지연, 반사잡음, 간섭잡음 등 신호 충실도에 영향을 미치는 요소를 분석, 수정하여 다시 PCB 기판에 반영한다. [그림 5]는 전기적 분석과정의 흐름도를 보여준다.

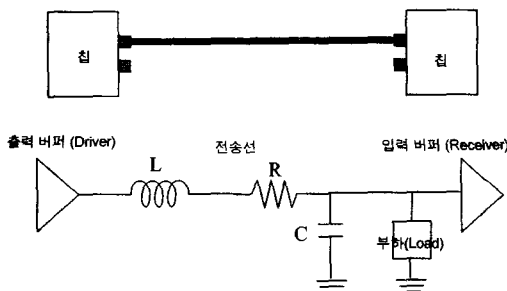


[그림 5] 전기적 분석과정 흐름도

[그림 5] Flow chart of electrical analysis

4.2 PCB 배선의 전송선 모델

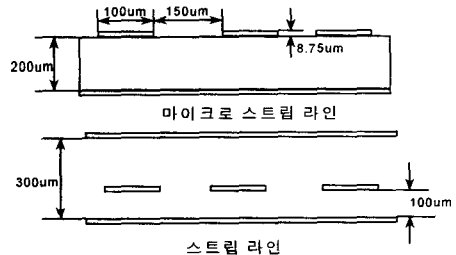
설계된 PCB 기판의 전기적 특성을 해석하기 위해서는 모든 배선 요소가 동작 주파수에 따라 집중정수 회로나 분포정수 회로로 해석하여야 한다. 즉 동작 주파수가 증가하면 PCB 배선의 전송선 효과로 인한 신호 지연, 신호 파형의 감쇠 및 전송 주파수 대역폭 감소 등과 같은 전송선 효과가 고려되어야 한다. 일반적으로 신호 상승시간(T_d) 및 전송 지연시간(T_d)가 $2.5T_d > T_d$ 일 때 전송선로로 해석한다. [그림 6]은 PCB 기판의 전송선 모델을 보여준다.



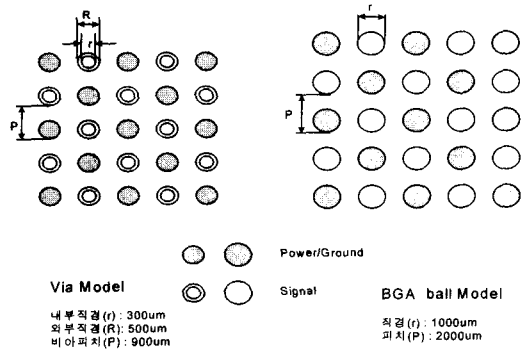
[그림 6] PCB 기판의 전기적 모델

[Fig. 6] Electrical model of PCB substrate

6층의 PCB 기판에서 나타날 수 있는 기본 회로 배선 요소는 칩과 칩을 연결하기 위한 배선과 층간의 연결을 위한 비아홀, 외부 보드와의 연결을 위한 BGA Ball이 있다. 배선 도선의 규격으로는 배선폭/배선피치 = $100\mu\text{m}/250\mu\text{m}$ 규격을 따랐고, 배선층에 따라 1층 및 6층은 마이크로스트립 라인 구조, 3층과 4층은 스트립라인 구조이며, 2층과 5층은 전원면이다. 비아홀은 FR-4 유전체에 삽입된 원통형 도체로 된 구조로써 내부직경/외부직경 = $300\mu\text{m}/500\mu\text{m}$ 이고 비아간의 최소 피치는 $900\mu\text{m}$ 이며 각 층간 연결 길이는 최소 $100\mu\text{m}$ 로 가정하였다. BGA ball은 외부 보드와 연결할 때 형성되는 공기 중에 노출된 원형 도체로써 직경/피치 = $1000\mu\text{m}/2000\mu\text{m}$ 로 모델링하였다.[8,9] [그림 7]은 테스트 기판에서의 기본 요소에 대한 회로요소의 구조를 보여주며 도체 구조에 따른 전기적 변수 추출을 위해서는 moment method를 이용한 2차원 전송선 분석 툴인 Quad사의 XFX 프로그램을 사용하였다.[10]



a) 스트립 라인의 규격



b) via, ball 규격

Via Model
 내부직경 (r) : $300\mu\text{m}$
 외부직경 (R) : $500\mu\text{m}$
 비아피치 (P) : $900\mu\text{m}$

BGA ball Model
 직경 (r) : $1000\mu\text{m}$
 피치 (P) : $2000\mu\text{m}$

[그림 7] 기본 회로요소 모델링

[Fig. 7] Basic circuit element modeling

기본 회로의 전기적 파라미터는 배선 구조에 따라 다른 값을 갖는다. 1층 및 6층은 마이크로 스트립라인 구조이며, 3층 및 4층은 중앙에서 이탈된 스트립라인 구조를 갖는다. 계산된 변수 값은 스트립 구조일 때 $L/C = 9.161\text{nH}/3.306\text{pF}$ 값으로 계산되었고, 배선 간격이 각각 $150\mu\text{m}$, $450\mu\text{m}$ 일 때 Lm/Cm 값은 L/C 값에 비해 7.7% 및 0.7~1.2% 정도로 나타났다. 비아홀은 드릴홀/패드지름 = 0.3/0.5mm, BGA ball은 실장 시 형성되는 $800\mu\text{m}$ 높이의 원형 도체를 가정하였다. [그림 8]은 기본회로의 계산된 값을 보여준다.

$$L = \begin{bmatrix} 13.41 & 3.41 & 1.39 \\ 3.41 & 13.39 & 3.41 \\ 1.39 & 3.41 & 13.41 \end{bmatrix} [\text{nH}]$$

$$C = \begin{bmatrix} 1.695 & -0.273 & -0.025 \\ -0.273 & 1.743 & -0.273 \\ -0.025 & -0.273 & 1.695 \end{bmatrix} [\text{pF}]$$

a) microstrip line

$$L = \begin{bmatrix} 9.161 & 0.710 & 0.067 \\ 0.710 & 9.104 & 0.710 \\ 0.067 & 0.710 & 9.158 \end{bmatrix} [\text{nH}]$$

$$C = \begin{bmatrix} 3.306 & -0.258 & -0.004 \\ -0.258 & 2.894 & -0.405 \\ -0.004 & -0.258 & 3.312 \end{bmatrix} [\text{pF}]$$

b) offset strip line

$L = 0.025$ [nH] $C = 0.02$ [pF] : $100\mu\text{m}$ Via hole
 $L = 0.200$ [nH] $C = 0.16$ [pF] : $800\mu\text{m}$ BGA ball

c) Via hole, BGA ball

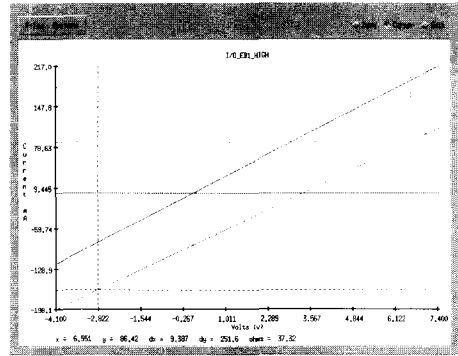
[그림 8] 기본 회로요소 전기적 변수값

[Fig. 8] Basic circuit elements electrical parameters

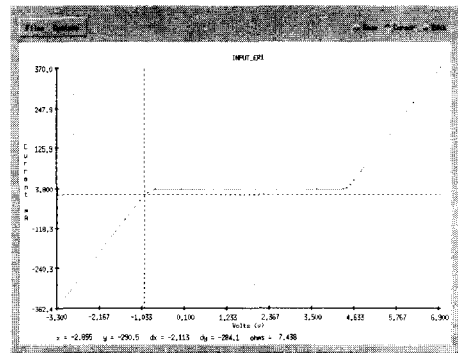
4.3 칩 입출력 버퍼 모델링

PCB 기판에서의 전기적 특성을 예측하기 위해서는 기판 회로 요소의 전기적 변수와 함께 연결되는 칩의 입출력 버퍼 특성은 매우 중요한 요소 중의 하나이다. 펜티엄칩의 경우 입출력 신호의 유형에 따라 8가지의 입출력 버퍼 모델을 가진다. 그러므로 칩의 입출력 신호에 적절한 특성을 부여하는 것이 중요하며, 본 연구에서는 인텔에서 제공하는 IBIS(I/O Buffer Information Specification) 데이터를 사용하였다. 출력 버퍼 모델의 상승 시간 및 하강 시간은 0.8V~2.0V의 영역을 기준으로 하여 $T_r/T_f = 1.25\text{ns} \sim 1.95\text{ns}/1.65\text{ns} \sim 1.8\text{ns}$ 를 나타

내며 출력 저항은 $9.15\Omega \sim 37.2\Omega$ 사이의 영역에서 존재한다.[7]



(a) 구동단



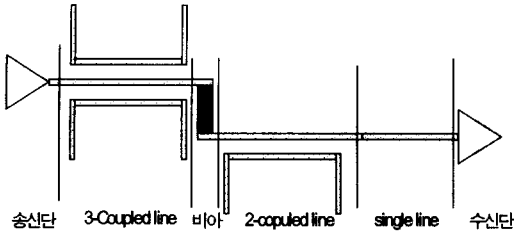
b) 수신단

[그림 9] 입출력 버퍼 모델

[Fig. 9] I/O buffer model

4.4 PCB 네트 모델링

PCB 기판의 잡음 특성을 분석하기 위해서 배선 구조에 따른 단위 길이 당 인덕턴스 및 캐패시턴스 값을 이용하여 네트를 모델링한다. PCB 기판의 신호선은 [그림 10]에서와 같이 기본 회로요소로 분할할 수 있으며, 분할된 각 성분에 대한 전기적 변수 값을 계산하여 결합하면 모든 네트에 대한 핀-핀 사이의 도선의 L, C 값을 계산할 수 있다. 인접한 도선 사이의 Lm/Cm 값은 선간격이 $500\mu\text{m}$ 이상이 될 경우 L/C 값의 1% 미만으로 계산되었기 때문에 $500\mu\text{m}$ 이내의 도선만을 분석 과정에서 고려하였다.



[그림 10] 기본 회로요소로 분할

[Fig. 10] Divide into basic circuit elements

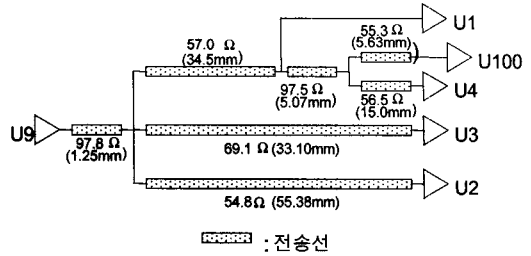
<표 1>은 어드레스 네트 가운데 HA3 네트구조를 예로 들어 각 핀-핀 사이의 도선길이 및 인덕턴스, 캐패시턴스 값을 나타내었다. U9칩(CPU)을 기준으로 메모리칩(U1,U2,U3,U4) 간의 배선 길이는 34mm~57mm이며 이때 배선된 길이만을 고려할 때 각 핀-핀 배선에서의 신호지연(\sqrt{LC})은 0.68ns~1.23ns로 계산되었다.

<표 1> 핀-핀 배선의 L/C (HA3)

<Table 1> Pin-pin wire capacitance/inductance(HA3)

핀핀	길이(mm)	L+Lm (nH)	C+Cm (pF)	delay(ns)
U9-U1	35.75	14.78	4.25	0.79
U9-U2	56.63	21.40	7.06	1.23
U9-U3	34.34	14.309	3.18	0.68
U9-U4	55.83	22.56	6.40	1.20
U9-U100	46.45	18.85	5.22	0.99

더불어 네트의 구조는 네트에 포함되는 핀(포트)의 수에 따라 여러 개의 핀을 갖는 다중포트 구조로 되어 있다. 다중포트 구조는 하나의 송신단과 하나의 수신단이 연결되는 단일포트 구조에 비해 여러 I/O 버퍼의 출력저항과 도선의 특성 임피던스와의 불일치, 네트가 분리되는 절점에서의 특성임피던스의 변화 및 연결되는 핀 수의 증가에 따른 배선길이의 증가와 이에 따른 간섭 길이의 증가 등 복잡한 전기적 특성을 갖는다.[4,10] 따라서 테스트 기판에서의 잡음은 최대 6개의 핀이 연결되는 어드레스 네트(HA3-HA18)가 주요 요인으로 것으로 간주할 수 있다. [그림 11]은 다중포트 네트 HA3을 배선된 도선의 길이와 특성임피던스로 나타내었다.



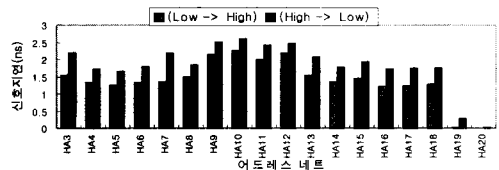
[그림 11] 다중 포트 네트구조(HA3 네트)

[Fig. 11] Multi port net topology (HA3 net)

5. PCB 네트의 잡음분석

PCB 기판의 잡음분석을 위해서 4장에서 추출된 기본회로 요소를 통해 모델링된 네트 구조와 입출력 버퍼 모델로는 IBIS (I/O Buffer Information Specification) 데이터를 사용하여 아날로그/디지털 신호분석 툴인 SPICE와 멘토사의 전송선 해석툴인 XNS의 프로그램을 사용하여 분석하였다.[10]

[그림 12]는 테스트 기판에서의 어드레스 네트에서 신호지연을 보여준다. 신호지연 시간은 신호 파형의 1.5V가 되는 시간을 기준으로 측정하였다. 일반적으로 단일포트로 구성된 네트에서의 신호지연 시간은 0.3ns 정도인 반면 다중포트 구조에서(HA10) 최대 신호하강/신호상승=2.61ns/2.26ns의 신호지연 시간을 보여주고 있다. 이 지연시간은 CPU와 메모리 사이의 어드레스 네트의 신호지연(min: 1ns, max: 8ns) 범위를 만족함을 알 수 있다.[7]

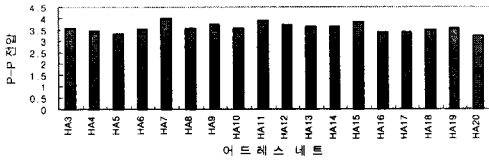


[그림 12] 테스트 보드에서의 신호지연

[Fig. 12] Signal delay of test board

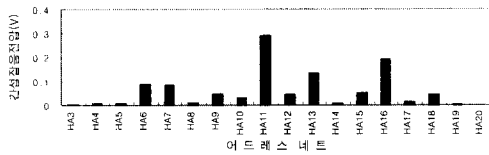
[그림 13]은 최대 반사잡음을 나타낸다. 반사잡음은 칩 입출력 핀, 도선 및 비아홀 등 다양한 회로요소가 연결될 때 임피던스 불일치에서 기인한 것으로 본 테스트 기판에서 송신단의 출력 신호를 3.3V로 가정시

최대 신호 V_{pp} 는 HA7 네트에서 3.90V로 나타났다. 일반적으로 신호 전압은 정격 전압 $3.3V \pm 10\%$ (3.96V) 정도이다.



[그림 13] 테스트 보드에서의 반사잡음
[Fig. 13] Reflection noise of test board

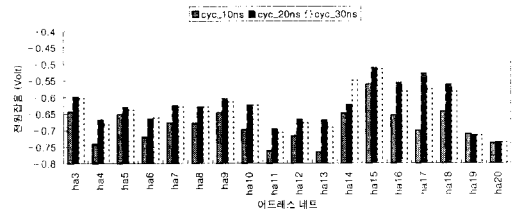
간섭잡음은 인접한 도선 사이의 전자기적 간섭에 기인한 것으로 인접한 네트 사이의 간격과 길이에 비례한다. 잡음요소가 과도한 경우 전달되는 논리신호의 왜곡을 유발할 수 있으므로 잡음의 정도가 신호파형(TTL level 입력 신호: $V_{ih}/V_{il}=2.0V/0.8V$)을 왜곡시키지 않도록 제한하여야 한다. 간섭 잡음은 x 신호층, y 신호층을 엇갈린 구조로 배선하고 배선층 사이에 전원 및 접지면을 삽입함으로써 배선층간의 간섭길이를 최소화하였다 그 결과 간섭 잡음은 최대 0.289V 정도로 나타났으며 TTL 출력 신호 ($V_{oh}/V_{ol} = 2.4V/0.4V$)와 TTL 입력 신호($V_{ih}/V_{il} = 2.0V/0.8V$)를 가정 할 때도 안정된 신호 전달이 가능하다.



[그림 14] 테스트 보드에서의 간섭 잡음
[Fig. 14] Crosstalk noise of test board

전원잡음은 전원/접지를 연결하는 전선이나 리드의 인덕턴스와 전원에 흐르는 전류의 변화량에 비례하여 나타난다. 본 논문에서는 전원/접지면을 삽입하여 전원/접지 배선길이를 최소화하였다. 그 결과 92개의 전원핀과 97개의 접지면을 연결하기 위한 총 배선길이는 전원선/접지선 = 153.71mm/ 203.56mm로 100 μ m 배선폭을 가정할 경우 각 전원 접지면 당 평

균 인덕턴스는 0.66nH/0.95nH 정도이다. 따라서 전원잡음 분석을 위해 전원/접지선의 평균 인덕턴스와 CPU칩 자체의 인덕턴스(6.1nH)를 전원/접지핀의 유효 인덕턴스로 가정하였다. 또한 1개의 전원/접지핀과 연결된 I/O 버퍼 수는 펜티엄 칩 상의 신호 핀과 전원/접지핀 수와 비례관계에 있다고 가정하고 3개의 I/O 버퍼가 동시에 스위칭될 때 전원 및 접지 핀에 유기되는 전원잡음을 모의 실험하였고 전원잡음의 크기는 최대 -0.75V 정도로 나타났다.



[그림 15] 테스트 보드에서의 전원 잡음
[Fig. 15] Ground bounce noise of test board

7. 결론

본 논문에서는 CAD 툴을 이용한 PCB 기판 설계 시 PCB 기판의 전기적 특성을 분석하기 위한 회로요소의 전기적 파라미터 추출 방법과 이를 통한 네트 모델링 및 잡음 분석과정을 캐시 메모리 시스템을 예로하여 기술하였다.

실제 기판 구조를 분석하기 위해 6층의 PCB 상에 회로를 배선하였고, 배선된 도선을 여러 개의 기본 회로요소로 분할하고 각각의 회로요소에 대한 전기적 파라미터 값을 추출하였다. 이후 배선된 네트 구조에 따라 기본 회로요소를 결합하여 배선된 모든 네트를 모델링하였고, SPICE와 XNS 툴을 사용하여 설계된 PCB 기판의 잡음 특성을 분석하였다. 그 결과 네트의 최대 신호지연은 최대 2.61ns, 피크-피크 전압값은 3.9V 정도 그리고 도선 간의 간섭잡음은 최대 0.289V로 나타났으며, 시스템이 요구하는 사양을 만족하는 것으로 나타났다.

이상과 같은 PCB 기판의 전기적 특성 분석 과정은 최근의 PCB 설계에서 반드시 필요한 과정으로 제품의 신뢰성 향상 및 개발기간 단축이라는 측면에

서 의미를 갖는다. 특히 시스템의 사양이 고성능화 될수록, PCB 기판의 회로요소에 대한 정확한 파라미터 분석과 적합한 모델링 기법은 최종 시스템의 성능을 좌우하는 중요한 요소로써, 시스템의 경박단소화 및 불량 분석을 위해서는 반드시 고려해야할 사항이다. 따라서 최근의 산업체 또는 교육 단체의 PCB 설계 교육에서 전기적 분석을 위한 파라미터 분석 및 모델링 기법을 위한 과정은 적극 검토되어야 할 것이다.

※ 참고문헌

[1] R.R. Tummala and E.J. Rymaszewski, *Microelectronics Packaging Handbook*, Van Nostrand Reinhold, 1989.
 [2] M. Pecht, *Placement and Routing of Electronic Modules*, Marcel Dekker, Inc., 1993.
 [3] A. Tanaka, H. Shinohara, K. Yamada, M. Honda, T. Hatada, A. Yamagiwa, and Y. Shirai, "A CPU Chip-On-Board Module," *IEEE Trans. Components, Packaging and Manufacturing Tech.*, pp 115-117, vol.17, no.1, Feb., 1994.
 [4] A. Sarfaraz, J. Crocker, and M. Nealon, "Electrical Design of an MCM Package for a Multi-Processor Digital System," *IEEE Trans. Components, Packaging, and Manufacturing Tech.*, pp 127-143, vol.18, no.1, Feb., 1995.
 [5] A. Pappas and P. Treen, "Workstation Board Pushes SI Envelope," *Electronic Engineering TIMES*, Sep., 2, 1996.
 [6] D. Anderson and T. Sharnley, *Pentium Processor System Architecture*, MindShare, Inc., 1993.
 [7] Intel Corporation, *Pentium™ Processors and Related Products*, Order number: 241732-002.
 [8] S. Simovich, S. Mehrotra, P. Franzon, and M. Steer, "Delay and Reflection Noise Macromodeling for Signal Integrity Management of PCBs and MCMs," *IEEE Trans. Components, Packaging, and Manufacturing Tech.*, pp 15-20, vol.17, no.1, Feb., 1994.
 [9] M.E. Goldfarb and R.A. Pucel, "Modeling Via Hole Grounds in Microstrip," *Microwave and*

Guided Wave Letters, vol.1, no.6, Jun., 1991.
 [10] Mentor Graphics, *Transmission Lines and Crosstalk Products User's Manual*, Order number: 058667.
 [11] Mentor Graphics, *AutoTherm User's Manual*, Software Version 8.4_2.

최순신



1991년 서강대
전자공학과 졸업
1993년 서강대
전자공학과 대학원 졸
1993년-95년 현대전자 반도체
연구소 연구원
1997년 서강대학교 박사과정
수료.
1998년-현재 용인송담대
전임강사