

DDS(Direct Digital Synthesis)를 이용한 6채널DSB(Double-SideBand) 변조기 구현에 관한 연구 (A Study on Implementation of 6 Channel DSB Modulator using DDS)

하 재 승*
(Jae-Seung Ha)

요 약

본 논문에서는 DDS 기법을 사용하여 광학음향효과 발생기의 고 정밀 6채널 DSB 변조기를 설계를 하였다. 또한 IEEE-488 인터페이스를 사용하여 다른 계측기와의 연동이 가능하도록 구성하였으며, DDS와 DAC의 제어 위한 디바이스 드라이버를 80C51계열의 마이크로프로세서 어셈블러를 이용하여 작성하였다. 이러한 결과로 고 정밀 6채널 DSB 변조기는 기존의 변조기에 비해 주파수 가변 범위, 분해능, 스위칭 시간 등의 중요한 특성들이 개선되었으며, 이로 인해 정밀한 주파수 합성 시스템으로 사용이 가능할 것이라 예측된다.

ABSTRACT

In this paper, we designed a high resolution six channel DSB modulator of Acousto-Optic effect generator make use of DDS technology. Also, configured seamless connection for other instruments to use IEEE-488 bus interface. We programmed the device driver for DDS and DAC control by 80C51 assembler language. And, high resolution 6 channel DSB modulator has improved the important characteristics of that the frequency tuning range, the resolution, the switching time. This DSB modulator system can use high precision frequency synthesizer for instruments.

1. 서론

현재의 통신 시스템에서 사용되는 주파수 합성기(Frequency Synthesizer)는 통신 기기의 핵심 블록으로서 변조된 기저 대역 신호를 전송하기 위하여 주파수를 상승시키거나, 수신된주파수를 복조 하는데 정밀한 참조 주파수(reference frequency)를 제공한다. 정보 통신 시스템의 구현에 있어서 주파수 합성기는 매우 중요한 역할을 하므로, 오랜 연구를 통해 성능 향상과 가격 경쟁력 확보에 상당한 노력을 기울이고 있다.

대부분 주파수 합성기의 설계는 단순한 PLL(Phase-Locked Loop) 기법이나 DDS(Direct Digital Synthesis)기법 중에서 선택을 하며, 비용과 성능에서의 절충 점을 찾아 감내할 수 있는 결함을 수용하는 결단이 필요하다. 이러한 절충 점들은 주파수의 대역폭(bandwidth), 분해능(resolution), 스위칭시간(switching time), 잡음(noise), 회로(Circuits)의 구성 요소에 의해 결정된다.[1][9][10]

간단한 주파수 합성기의 경우 단일 주파수에서는 정밀한 크리스탈 회로에 의한 트랜지스터 오실레이터로 구성이 되지만, 가변 주파수에서는 그 주파수

* 학생회원 : 명지대학교 공과대학 대학원 박사과정

에서의 공진회로의 특성에 의지하게 된다. 이는 시스템 구성에 많은 노고를 수반하므로 PLL을 내장하여 가변 주파수의 범위를 넓히고 그 성능을 향상시키는 방식이다. 또한 DDS 기술은 디지털 기법을 이용하여 넓은 범위의 주파수 합성과 파형 합성을 해내는 기술로 개발되었으며, 일반적으로 고주파 주파수 합성기의 구현은 PLL 기법과 DDS 기법에 의해 이루어지며 DDS 단일방식, Single-Loop PLL 방식, Multi-Loop PLL 방식, DDS/PLL Hybrid 방식 등이 있다.[7]

각 방식의 특성을 보면 대역폭에 있어서 DDS 단일 방식은 협대역(narrow bandwidth) 특성이 있으며, 주파수 해상도에 있어서 Single-Loop PLL은 매우 거친 특성을 보이고 Multi-Loop PLL은 중간정도의 해상도를 갖는다. 또한 DDS 단일방식과 DDS/PLL 하이브리드 방식은 매우 정밀한 해상도를 갖는다. 주파수 스위칭 시간에 있어서는 Multi-Loop PLL방식이 매우 느린 특성을 갖는다. 의사잡음(Spurious Noise)에서는 Single-Loop PLL방식이 다른 방식에 비해서 매우 좋은 특성을 보인다.[2][3]

각각의 통신 시스템에서는 주파수 합성기의 품질과 합성된 신호의 잡음과 일그러짐 그리고 의사 응답의 최소화가 시스템의 고성능화에 결정적인 영향을 미치고, 광학 노치 필터(optic notch filter)의 광학 음향효과(Acousto-Optic Effect) 발생기에서 주파수 합성에도 매우 정밀하고 정교하게 조정되는 주파수 합성기가 필요하다.

이에 본 논문에서는 DDS기법을 사용하여 각 채널의 주파수 가변 범위가 $1.5\text{MHz} \sim 3\text{MHz}$, 주파수 분해능이 100Hz , 주파수 안정성이 100Hz , 주파수 스위칭 시간이 $1\mu\text{sec}$, 채널의 최대출력전압은 $\pm 10\text{V}$, 전압의 분해능은 10mV 를 갖는 매우 정밀하게 조정되는 광학음향효과 발생기의 고정밀 6채널 DSB(Double Side Band)변조기를 구현하였다. 그리고 다른 계측 장비와의 연동을 위하여 GPIB(General Purpose Interface Bus, IEEE-488)를 지원하는 인터페이스를 구성하였고 디바이스 드라이버(device driver)의 작성은 어셈블리어를 사용하였다.

2. 본론

2.1 Direct Digital Synthesis(DDS) 기법

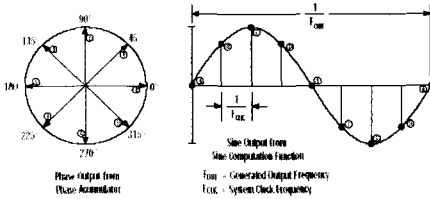
DDS는 실질적으로 높은 정밀도와 고주파적으로 순수한 신호의 디지털 표현이라고 정의된다. 이러한 디지털 표현은 고속 DAC(High-Speed Digital to Analog Converter)에 의하여 재구성되고 사인파(sine-wave) 혹은 톤(tone)의 연속과 같은 아날로그 신호로 출력된다. 높은 클럭 속도와 분해능을 갖는 고성능 DAC들은 DDS-DAC으로 부터 극히 적은 의사 잡음(spurious noise)을 달성할 수 있다. DDS 출력은 디지털로 처리되기 때문에, 그 기능을 보다 쉬운 소프트웨어적인 구성과 탄력적으로 유용성을 내장시킬 수 있다.

DDS 기법은 다른 주파수 합성 방법에 비하여 몇 가지 중요한 성능을 제공한다. 첫째, 비록 나이퀴스트(nyquist)기준에 의해 인가되는 참조 클럭이 1/2 이상으로 제한되지만, DDS는 주파수 해상도를 밀리헤르쯔(mili-hertz) 단계의 크기로 제어가 가능하다. 둘째, 위상 해상도 제어는 밀리헤르쯔에서 나노헤르쯔(nano-hertz) 수준까지 제어가 가능하다. 셋째, 디지털 제어를 위하여 안정 시간(settling time) 없이 주파수 변화를 할 수 있다. 넷째, 나노초(nano-seconds)에서 몇 마이크로초(micro-seconds)까지의 시간에 해당하는 빠른 주파수 스위칭 속도를 가진다. 넷째, 위상의 끊김 없이 자동적으로 변화하는 주파수의 위상에 완벽한 연속성을 가진다. 마지막으로 신호의 발생이 디지털 영역에서 이루어지기 때문에 뛰어난 정확도를 가지고 조작할 수 있다. 이러한 성능으로 인해 정밀한 주파수와 위상의 제어가 가능하며 주파수 변조(FSK: Frequency Shift Keying)와 위상 변조(PSK: Phase Shift Keying)의 쉬운 조정이 가능하게 된다.

또한, 마이크로프로세서 제어 시스템에서 특정 디바이스나 특정 시스템 파라미터(Parameter)를 위한 주파수의 획득에 저장된 보상 값들을 이용한다면 정밀한 주파수를 얻을 수 있다. 그리고 마이크로프로세서는 DDS를 제어하여 필요한 주파수를 동적으로 정정할 수 있으며, 수신 시스템에서 적절한 주파수 디텍터 설계나 폐루프 시스템(closed loop system) 등을 쉽게 구성하게 해 준다.[4][5][6]

2.2 DDS의 동작 원리

DDS는 고주파에서 축적된 위상 변화에 의해 원하는 주파수의 디지털화된 파형(digitized waveform)을 발생시키는 원리에 의해 동작하며, 샘플링 이론에 따라 클럭 주파수의 절반(Nyquist Rate)만을 발생시킬 수 있다.



[그림 1] 클럭 주파수의 위상 축적

[Fig. 1] Phase accumulator of clock-frequency

[그림 1]은 클럭 주파수의 1/8과 같은 생성된 사인파의 위상 축적을 나타낸다. 그림에서 원은 각 클럭 사이클에서의 $\pi/4$ 위상 축적이 이루어짐을 보이고 있으며, 원상의 점들은 주어진 시간에서의 위상값의 표현이고 사인파와 일치함을 나타낸다.

이러한 위상의 진폭으로 전환은 사인파lookup(ine lookup)에서 일어나며, 위상 증가는 클럭 주기가 $\pi/4$ 인 동안 이루어지는 것에 주의해야 한다.

2.2.1 일반적인 DDS 동작

입력주파수 레지스터(register)에 저장된 위상값은 시스템 클럭의 각 주기 동안 한번 위상 축적에 더해진다. 위상의 결과값($0 \sim 2\pi$)은 각 클럭 사이클 동안 사인파lookup에 한번 적용된다. lookup은 [그림 1]에 보인 것처럼 일치된 사인파 진폭으로 위상 정보를 전환하고, DDS로부터 디지털워드(digital word)값이 출력된다.

2.2.2 위상 증가값

각각의 주파수 출력에서 연상된 위상 증가값은 입력 주파수 레지스터로 로드되어야 하며, 위상증가값($\Delta\Phi$)은 출력 주파수(F_{out})와 클럭 주파수(F_{clk})로 아래식 1과 같이 나타낸다. N은 위상 누산기(Phase Accumulator)에서 비트 수와 같다.

$$F_{out} = \frac{F_{clk} \Delta \Phi}{2^N} \quad (1)$$

위 식을 이용하여 주파수 해상도를 정확한 Hz 스텝에서 생성할 수 있다. 예를 들어 주어진 시스템 클럭이 30 MHz이고 원하는 주파수가 7.5 MHz라면 32-비트 위상 누산기이면 N은 32이므로 위 식에 대입하면 다음과 같다.

$$7.5 \text{ MHz} = (30 \text{ MHz} \times \Delta \Phi)$$

$$\Delta \Phi = (7.5 \text{ MHz}) / (2^{32})$$

$$30 \text{ MHz} = 2^{30} = 40000000(\text{hex})$$

여기서 $2^{25} \text{ Hz}(33,554,432 \text{ Hz})$ 의 클럭 주파수를 이용한다면, 실제 10진 주파수는 다음과 같이 된다.

$$F_{clk} = 2^{25} \text{ Hz} = 33,554,432 \text{ Hz}$$

$$\text{Frequency Resolution} = 2^{25} \text{ Hz} / 2^{32}$$

$$= 1 \text{ Hz} / 2^7, N = 32$$

$\therefore F_{out} = ((1 \text{ Hz} / 2^7) \times \Delta \Phi)$ 이다.

만약, $\Delta \Phi = 2^7(80 \text{ Hex})$ 면 $F_{out} = 1 \text{ Hz}$,

$\Delta \Phi = 2^8(100 \text{ Hex})$ 이면, $F_{out} = 2 \text{ Hz}$ 그리고

$\Delta \Phi = 2^9(200 \text{ Hex})$ 이면, $F_{out} = 4 \text{ Hz}$ 가 된다.

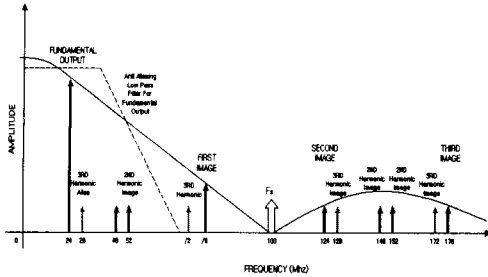
2.2.3 주파수 해상도

어떠한 주파수라도 위상 누산기의 비트 분해능(Bit Resolution)내에서 위상의 변화를 프로그래밍하여 주파수를 발생할 수 있다. 그 주파수의 해상도는 아래식으로 나타내어진다.

$$\text{Frequency Resolution} = F_{clk} / 2^N \quad (2)$$

예를 들어 $F_{clk} = 20 \text{ MHz}$ 이고 $N = 32$ 이면, 주파수 해상도 $= 20 \text{ MHz} / 2^{32} = 0.00465 \text{ Hz}$ 가 된다. 이렇게 디지털화된 사인파는 DAC을 거쳐 아날로그 파형으로 전환된다.

[그림 2]는 DDS의 디지털화된 파형이 DAC을 거쳐 나온 출력을 LPF(Low Pass Filter)를 이용하여 원하는 레벨(Level)의 이미지 신호를 제거하는 과정을 나타내었다.



[그림 2] DAC 비선형성 효과의 DDS 출력
 [Fig. 2] DDS output showing effect of DAC non-linearities

2.2.4 스펙트럴 순수도(Spectral Purity)

DDS 시스템의 스펙트럼 특성은 클럭 소스의 위상 노이즈, 사인lookup기능(sine lookup function)에 적용되는 위상 비트의 수(Phase truncation), 룩업으로부터 나오는 출력 비트수(amplitude truncation)에 의하여 좌우된다.

DAC의 사양, LPF 설계 그리고 PCB의 설계가 전환된 사인파의 특성에 영향을 미치며, DAC의 선형성과 글리치 에너지(glitch energy) 사양은 순수한 사인파 신호의 생성에 있어서 중요한 요소가 된다. 또한 PCB 설계 시 레이아웃(Layout)배치는 주파수 합성기의 잡음을 제한하는데 있어서 중요한 요소이다. 디지털 스위칭과 전원 잡음은 아날로그 신호와 커플링된 클럭으로부터 고립되어야 한다.

2.3 혼성된 이미지(aliased images) 제거

주의깊은 클럭 주파수의 선택은 $F_{clk} < (n+1) F_{max}$ 일 때 n^{th} 차수 혼성된 이미지를 제거할 수 있다. 여기서 n 은 혼성된 이미지의 차수(order of aliased image)이며, F_{max} 는 가장 높은 통과대역의 에지(upper edge of passband)를 의미한다. 따라서 주파수 선택은 n^{th} 차수 이미지를 제거할 수 있을 뿐만 아니라 모든 낮은 차수 혼성 이미지(lower-order aliased images)도 제거할 수 있다.

예를 들어, $F_{max}=25MHz$ 가 주어졌을때, 아래 <표 1>과 같이 n^{th} 차수 혼성된 이미지들을 제거하기 위해서는 F_{clk} 가 혼성되어진 이미지들보다 높은 주파수를 가져야 한다.

<표 1> 혼성 이미지 제거
 <Table 1> Avoiding Aliased Images

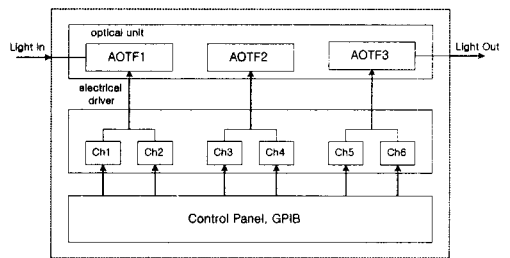
n^{th} order of aliased image	Clock Frequency Fclk(MHz) Must Exceed
2	75
3	100
4	125

따라서, 125MHz 이상의 클럭 주파수는 4th 차수를 통하여 모든 혼성된 이미지들을 제거 할 수 있다. 이는 단지 클럭의 기본주파수에 영향을 주는 단일 이미지(signal image)만을 생각한 것이다.

3. 실험 및 고찰

3.1 시스템 구성

변조는 진폭변조(AM:Amplitude Modulation), 주파수변조(FM:Frequency Modulation) 및 위상변조(PM:Phase Modulation)로 분류되며, 일반적으로 주파수변조, 위상변조는 변조방식이 근본적으로 비슷하므로 하나로 묶어서 각변조(Angle Modulation)라고 하고 진폭변조와 구별한다.



[그림 3] 시스템 구성 블록도

[Fig. 3] Block diagram of System Configuration

반송파를 갖는 진폭변조를 AM신호라 하는데, 엄격하게 정의한다면 DSB-LC(Double Side-Band Lge Carrier)라 할 수 있다. 이러한 DSB-LC를 파장-의존적 손실 스펙트럼(Wavelength-Dependent Loss Spectrum)을 갖는 광학 노치 필터 시스템에 적용하면 빛의 손실-스펙트럼을 전기적으로 제어할 수 있으며,

이를 응용하면 EDFAs(Erbium Doped Fiber Amplifiers)의 이득 평탄화, 수동 필터 설계, 브로드밴드 광(broadband lights)의 스펙트럼형성 등에 적용할 수 있다.[8]

따라서 본 논문에서 이러한 특성을 얻기 위한 시스템 구성을 [그림 3]에 나타내었다.

3.2 IEEE-488 인터페이스 구성

구현한 6채널 DSB 변조기의 동작은 프론트 패널(front panel)의 키 입력에 의해서 전압과 주파수를 조절할 수 있으며, 다른 계측기와의 연동을 위하여 계측기 접속 표준인 IEEE-488버스 인터페이스를 구현하였다. IEEE-488버스는 HPIB(Hewlett-Packard Interface Bus) 또는 GPIB(General Purpose Interface Bus)라 불리우며, 오늘날 계측기 접속의 표준으로 가장 널리 사용되는 규격이다.

GPIB 인터페이스를 위하여 내셔널 인스트루먼트(National Instrument)사의 NAT9914 컨트롤로를 사용하여 버스인터페이스 로직을 구성하였다. 또한 디바이스 드라이버는 DDS와 DAC을 제어하는 80C51 계열의 마이크로프로세서 어셈블러 언어로 작성하였으며 약 2만 라인의 어셈블러 코드로 프로그램 할 수 있었다. 다수의 명령어를 처리할 수 있도록 수신측 버퍼(Buffer)의 스택(Stack)을 64Byte로 구성하였다. 또한 명령어 중에 "Head on", "Head off"를 구현하여 데이터를 읽을 때 Head를 생략 또는 추가할 수 있도록 하였다. 에러 메시지(Error Message) 처리를 위하여 두 채널의 합해진 출력 전압이 15V를 초과하는 경우 Over Voltage beep음을 내도록 하였다.

3.3 실험 방법

본 논문에서 구현한 시스템의 각 채널의 최대 전압은 $\pm 10V$ 이며, 분해능의 $10mV$ 제어를 위하여 아날로그 디바이스(Analog Device)사의 AD7237 듀얼(dual) 12-비트 DAC을 사용하였다. 채널의 결합은 (CH1+CH2), (CH3+CH4), (CH5+CH6)으로 합해지며 최종출력은 3개가 된다. 합해진 출력의 최대 전압은 $\pm 10V$ 이며, 차동 출력이므로 플로팅(floating)된 출력 단자 사이의 최대 전압차이는 $\pm 30V$ 가 된다. 차동출

력의 위상부정합은 ± 10 도 이내로 고정하였으며, 위상 안정성은 ± 0.5 도 이내가 되도록 하였다.

각 채널의 진폭변조를 위하여 진폭변조입력은 3개가 있으며, 변조 주파수는 $0Hz$ 에서 $10KHz$ 이고, 입력전압이 $0V$ 이면 출력전압이 표출된 값과 동일한 반면, $10V$ 이면 출력전압이 $0.4V$ 가 되는 동작, 즉 선형 반비례 동작을 하도록 구성하였다. 그리고 CH2, CH4, CH6의 진폭변조는 서로 동기화되어 있으며, 진폭변조 입력의 입력 임피던스(input impedance)는 $10K$ 이상이다. 또한 하나의 외부 입력신호로 3개 채널을 동시에 진폭변조할 경우 서로 동기화 되어 있어 3개 채널의 변조 위상이 서로 일치하도록 하였다. 생성된 사인파의 가중 합산(weighted summing)을 위하여 AD734 멀티플라이어(multiplier)를 사용하였다. 모든 채널의 주파수 가변범위는 $1.5MHz$ 에서 $3.5MHz$ 이며, 분해능은 $100Hz$ 이고 주파수 안정성은 $\pm 100Hz$ 이다.

3.4 실험 결과 및 고찰

실험에서 DUT(Device Under Test)에 가변 범위의 주파수와 진폭 조절을 위하여 GPIB로 연결된 PC(Personal Computer)에 테스트 프로그램을 작성하여 주파수는 $100Hz$ 스텝으로, 진폭을 $10mV$ 스텝으로 증가와 감소를 시켜가며 출력을 관찰하였다. DDS를 제어하기 위한 주파수 가감 알고리즘은 기준 주파수 $50MHz$ 오실레이터를 사용하여 작성한 결과 측정값과 $\pm 100Hz$ 이내의 범위에서 주파수 안정도를 보였으며, 진폭은 약 $\pm 1mV$ 의 오차를 나타내었다. 주파수 스위칭시에는 $1\mu sec$ 의 안정화 시간(settling time)을 가져 빠른 스위칭 특성을 측정할 수 있었다. 또한 주파수를 발생하는 DUT의 경우 외부 진동에 공진하는 특성이 있으나 DDS로 구현한 본 연구의 DSB 변조기는 1G(Gravity)에서 10G까지의 순간 충격에 매우 안정된 출력이 관측되었다.

4. 결론

본 연구에서는 6채널 DSB 변조기의 출력 전압을 신뢰성 있고, 정밀하게 제어하기 위하여, DDS와 마이크로프로세서를 이용하여 주파수 발생기와 변조부 제어를 설계 및 제작을 하였다. 마이크로프로세서를 구동하는 펌웨어(firmware)는 인텔 80C51 계열의 어셈블러 언어와 컴파일러를 이용하여 프로그래밍하였다. 출력 주파수와 진폭의 입력은 키 입력과 죠그 스위치(Jog Switch) 입력을 처리할 수 있도록 프론트패널을 제작하였으며, 계측기 접속 표준 IEEE-488버스를 구현하여 타 계측기와 연동은 물론 계측기 통합 운영 프로그램에 쉽게 접속할 수 있도록 하였다. DDS로 구현한 6채널 DSB 변조기는 공진에 매우 강한 특성을 나타내었으며, 가변주파수 1.5MHz~3.5MHz에서 안정도 높은 정밀한 주파수 변조를 가능하게 하였다. 또한, $\pm 1mV$ 의 오차를 나타내는 진폭 변조는 고성능 DSB 변조기에 최적임을 확인할 수 있었다.

※ 참고문헌

[1] J. Tierney, C. Rader, and B. Gold "A digital frequency synthesizer," IEEE Trans. Audio Electroacoust., vol. AU-19, pp. 48-57, Mar. 1971

[2] P. H. Saul and D. G. Taylor, "A high-speed direct frequency synthesizer," IEEE J.Solid-State Circuits Conf., pp. 32-33, 1994

[3] J. Vankka, M. Waltari, M. Kosunen, K. A. I. Halonen "A direct digital synthesizer with an on-chip D/A-converter," IEEE J. Solid-State Circuits., vol. 33, NO. 2, pp.218-227, Feb. 1998

[4] C. McNeilage, E. N. Ivanov, P. R. Stockwell, J. H. Searls "Review of feedback and feedforward noise reduction techniques," IEEE Int'l Frequency Control Symposium, pp. 146-155, 1998

[5] D. R. Becker "High quality, all-digital RF Frequency modulation generation with the ADSP-2181 DSP and the AD9850 direct digital synthesizer," Analog Device, AN-35, Sep, 1998

[6] R. Cushing "800 to 2500MHz Sing-Sideband upconversion of quadrature DDS signals," Analog Devices, Technical Note

[7] L. E. Larson, RF and Microwave Circuit design for Wireless Communication, Artech House, 1996

[8] E. A. Lee, D. G. Messerschmitt, Digital Communication, Second edition, Kluwer Academic Publishers, 1994

[9] A. S. Sedra and K. C. Smith, Microelectronic Circuits, Oxford univ, 1998

[10] J. Smith, Modern Communication Circuits, New York, NY:McGraw-Hill, 1986

하재승



1987. 3. 5~1991. 2. 25
 명지대학교 공과대학
 전자공학과 전자공학 공학사

1991. 3. 4~1993. 2. 25
 명지대학교 공과대학 대학원
 전자공학과 전자공학
 공학석사

1998. 9. 1~현재
 명지대학교 공과대학 대학원
 전자공학과 전자공학
 박사 과정

1993. 3. 17~1998. 5. 31
 주식회사 내외반도체
 선임연구원

1998.12. 11~2001. 6. 15
 (주)다익마이크로 개발이사

2001. 6. 16~2001.10. 31
 (주)다익정보통신부장