

# MPEG-2 비디오 부호화기의 프레임 메모리 인터페이스 개선에 관한 연구

## (A Study on the Improvement of Frame Memory Interface of MPEG-2 Video Encoder)

이 인 섭\*   임 순 자\*\*   김 환 용\*\*\*  
(In-Sup Lee) (Soon-Ja Lim) (Hwan-Yong Kim)

### 요 약

본 논문에서는 동영상 부호화기에서 프레임 메모리 인터페이스의 하드웨어 구현을 위해 기존의 DRAM이 아닌 SDRAM을 사용하여 효율적인 메모리 맵의 구조를 제안한다. 동일한 버스에서도 효과적인 메모리 맵과 내부 버퍼 크기를 줄여 하드웨어 복잡도를 개선하고 내부 로직을 간략화하여 면적을 최소화하였다. 기존의 시스템은 매크로 블록 단위로 메모리에 저장하고 다시 출력을 위해서 랜덤하게 저장되어 있는 데이터를 액세스 하여 많은 시간을 소비한다. 따라서 데이터를 라인 단위로 저장 및 처리하므로 메모리의 액세스 시간을 효과적으로 줄일 수 있는 방법을 제시하였다.

### ABSTRACT

In this paper, we propose the structure of utilizing the memory map, which is using not conventional DRAM but SDRAM, for the hardware implementation of frame memory interface module to the video encoder. As reducing the size of memory map and interface buffer within the same bus, the hardware complexity is improved and the hardware size is minimized as simplifying the interface logic. The conventional system is wasted access time, because of accessing randomly stored data in order to store and output the memories in macro-block unit. therefore the method, which is proposed in this paper, can be effectively reducing the access time of memory, because of the data is stored and processed by line unit.

### 1. 서론

정보화 사회에서 기존의 통신매체를 이용하여 보다 많은 정보를 전송하는데 있어 데이터 압축이라는 새로운 연구분야가 탄생하였다. 영상 압축을 위한 시스템의 구현에 있어서 영상 데이터 자체의 양이 제한된 전송로의 용량을 초과하기 때문에 많은 기법의 영상 데이터 압축기술을 사용하여 영상 데이터의 양을 감소시키는 방법들이 제안되었고 그 중 효과적인 여러 방법들은 이미 JPEG, H.261, MPEG 등에 의해 국제적인 표준화가 이루어졌다.[1]-[4]

이러한 응용분야로 동영상 압축 기술이 HDTV에도 적용되기 시작했고 동영상의 경우 제한된 대역폭 내에서 많은 데이터 량을 갖는 동영상을 전송하기 위해서는 효과적인 동영상 처리 방법들이 요구된다. 방대한 양의 데이터를 처리하는 멀티미디어 시스템은 외부 메모리를 효과적으로 제어하여 시스템의 특성을 개선하는 것이 중요하다.[5]-[6]

\* 학생회원 : 원광대학교 전자공학과 박사과정  
\*\* 학생회원 : 원광대학교 전자공학과 박사수료  
\*\*\* 정회원 : 원광대학교 전기전자 및 정보공학부 교수

MPEG-2 동영상 부호화에서 프레임 메모리는 외부 메모리를 제어하는 역할을 수행하는데 외부에서 입력된 영상신호를 처리하는 입력처리(IP) 모듈, 움직임 보상 및 추정(ME/MC) 모듈, 변환 및 양자화(DCTQ) 모듈, 가변길이 부호화(VLC) 모듈, 부호화 과정을 전체적으로 제어하는 제어 (Controller) 모듈, 그리고 각 모듈에서 발생하는 데이터를 저장하고 필요한 시기에 전달하는 프레임 메모리 인터페이스(Frame Memory Interface) 모듈 등 6개의 부분으로 구성되어 있다.

본 논문은 외부 인터페이스에서 처리속도가 느린 DRAM 메모리가 아닌 SDRAM방식을 사용하고 효율적인 메모리 맵, 버퍼의 사이즈, 데이터 폭 등을 향상시켰다. 따라서 외부에 속도가 빠른 듀얼 뱅크로 동작하는 SDRAM을 사용하여 메모리 액세스에 필요한 클럭 수 및 내부 버퍼의 사이즈를 최소화하였다. 메모리 인터페이스의 데이터 폭을 줄여서 로직 회로에 대한 복잡도를 개선하였고 하드웨어 면적도 줄였다.

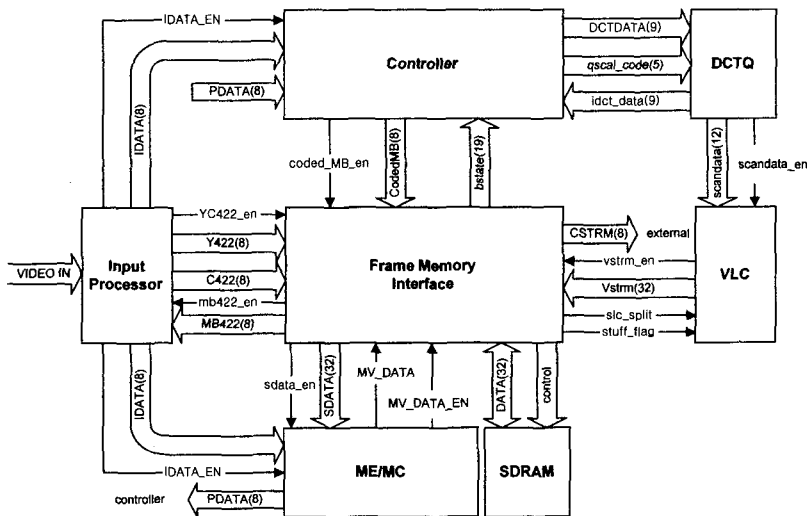
## 2. MPEG-2 비디오 부호화기의 구조

본 논문에서 설계한 MPEG-2 비디오 부호화기는 [그림 1]과 같이 구성된다. 프레임 메모리에서 영상 데이터를 프레임별로 저장하고 이 데이터를 기준 영

상데이터와 비교하여 차이 값을 계산 후 DCT 변환된다. 움직임 보상 및 추정에서는 매크로 블록단위로 프레임간 움직임 벡터를 추정하며 프레임간 차분 부호화를 위해 필요한 기준 프레임 데이터를 제공하며 부호화기는 가변길이 부호화를 수행하고 이 결과를 출력한다.[7]-[8]

MPEG-2 동영상 부호화기에서 입력처리 모듈은 입력된 다양한 형식의 데이터를 부호화기가 처리하기에 알맞은 형태로 변환하는 역할을 수행한다. 처리되는 입력 영상은 4:4:4 형식의 RGB, 4:2:2 형식의 YUV 형식의 데이터들이며 출력은 4:2:0 형식의 YCbCr로 출력된다. 프레임 메모리는 입력 처리 모듈이 변환한 4:2:2 형식의 데이터를 인터페이스 신호인 Y422, C422, Y422\_en 신호를 이용하여 메모리에 일시적으로 저장한 후, 다시 입력 처리 모듈로 mb422, mb422\_en 신호를 이용하여 전달함으로써 입력 처리 모듈이 4:2:0 형식의 데이터로 변환할 수 있게 한다.

프레임 메모리 인터페이스 모듈은 정해진 타이밍에 따라 4:2:2 형식의 데이터를 매크로 블록 단위로 입력처리 모듈로 전달한다. 또한 부호화된 데이터를 움직임 추정 및 보상에 데이터를 제공하며, 가변 길이 부호화 모듈로부터 부호화된 비트열을 입력받아 외부 메모리와 인터페이스 역할을 한다.



[그림 1] MPEG-2 비디오 부호화기의 구조

[Fig.1] Block diagram of MPEG-2 video encoder

변환 및 양자화 모듈은 입력데이터 처리 모듈이 동작하는데 필요한 수평 기준 신호(Horizontal Reference Signal), 움직임 보상 및 추정 모듈이 필드 단위로 부호화하는데 필요한 필드 기준신호 뿐만 아니라 프레임 단위로 부호화하는데 필요한 프레임 기준 신호들을 생성한다. 또한 버퍼상태, 부호화 방법 그리고 부호화기 내부의 각 모듈들에서 필요한 각종 타이밍 정보들을 제공한다.

가변길이 부호화 모듈은 압축 정보 및 압축된 데이터를 고정 및 가변 길이로 부호화하여 MPEG-2의 데이터 포맷에 맞게 정리하여 프레임 메모리 모듈에 고정 길이로 패키징 된 데이터를 제공한다. 부호화된 비트 스트림은 프레임메모리 인터페이스를 통해 외부 메모리의 채널 버퍼에 저장되고 비트 스트림은 채널의 요구에 의해 외부로 출력된다.

제어모듈은 비디오 인코더의 각 모듈에게 부호화에 필요한 클럭, 버퍼 상태, 부호화 모드 등을 제어한다. 제어모듈에서 생성된 클럭들은 비디오 인코더 내부의 각 모듈에게 부호화 시작을 알리고, 전송율, 영상크기 등의 부호화 사양은 호스트 인터페이스로부터 입력받아 인코더내의 각 모듈에게 전달된다. 그밖에 제어모듈은 인트라/인터 영상, 프레임/필드 DCT, 움직임 추정 모드 및 움직임 추정 범위를 결정하는 역할을 한다.

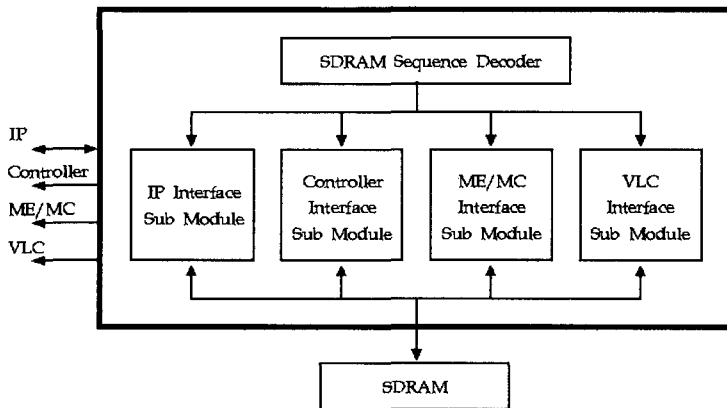
움직임 보상 및 추정 모듈은 휘도 신호에 대한 움직임 추정과 색도 신호에 대한 움직임 보상의 역할을 하는데 프레임 메모리 인터페이스로부터 한 개의

매크로 블록 당 6개의 다른 매크로블록을 전송 받아 움직임 추정에 대한 연산을 수행한다. 따라서 움직임 벡터의 계산이 끝나면 해당 매크로 블록에 대한 움직임 보상을 수행하여 예측 데이터 연산을 실행한다.[9][10]

### 3. 프레임 메모리 인터페이스의 구성

프레임 메모리 인터페이스 모듈은 외부 SDRAM을 제어하여 부호화 과정에서 발생하는 데이터를 각 모듈의 요구에 따라 적시에 저장 및 공급하는 역할을 하며 입력되는 데이터를 내부 버퍼에 담아두었다가 SDRAM의 액세스 타이밍 스케줄링에 따라 각 데이터를 32 비트씩 묶어 SDRAM에 저장해두고, 내부 모듈의 데이터 공급 요구에 따라 SDRAM으로부터 읽어와 내부 버퍼에 임시로 저장하였다가 요구하는 모듈에 공급한다.

[그림 2]는 프레임 메모리 인터페이스 모듈의 구성을 보인 것으로 인코더의 각 모듈과 인터페이스를 전달하는 서브 모듈의 동작 시간을 관리하는 시퀀스 디코더로 구성된다. 각 서브 모듈은 SDRAM과의 데이터를 주고받는 제어기와 내부 버퍼로 구성되며, 프레임 메모리 인터페이스의 설계는 내부 버퍼의 크기와 제어기의 로직을 최소화하였다. 본 비디오 인코더는 유효 영상 크기가 720×480인 NTSC 비디오 데이터를 RGB 4:4:4, YUV, 혹은 CCIR 601/656등의



[그림 2] 프레임 메모리의 인터페이스 모듈에 대한 블록도  
 [Fig.2] Block diagram of interface module of frame memory

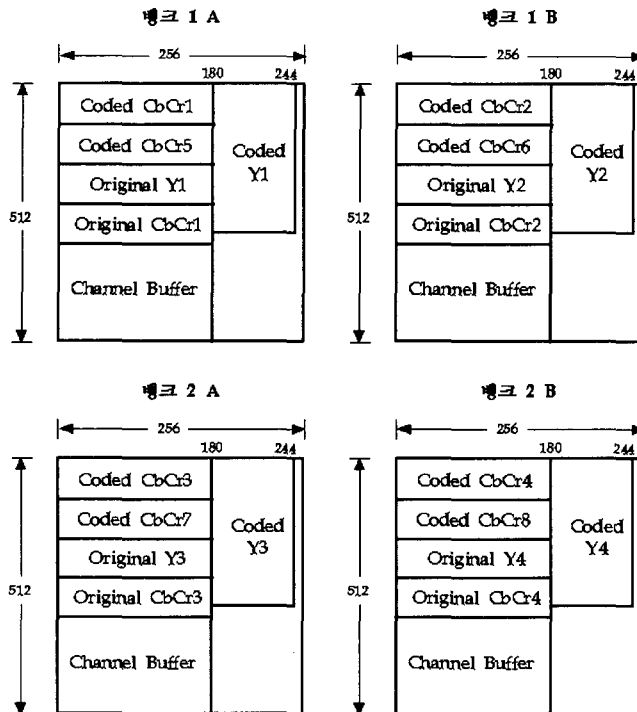
형태로 받아들일 수 있다. NTSC 입력 영상의 최대 크기는  $858 \times 525$ 이므로 한 매크로 블록 당 333.6개의 13.5Mbps 클럭을 할당 할 수 있다. 따라서 27Mbps 클럭의 경우 한 매크로 블록 기간 동안 667 클럭, 54Mbps의 경우 1334 클럭을 할당할 수 있다.

본 설계에서는 하드웨어 구현상의 편의를 위해서 한 매크로 블록 당 27Mbps와 54Mbps 클럭에 대해서 각각 667 및 1334개의 클럭을 할당하였다. 프레임 메모리 인터페이스를 위해서 54Mbps 클럭을 사용하므로 한 매크로 블록 당 1334개의 클럭을 할당하여 메모리 액세스 시간을 스케줄링 하였다.

기존에는 외부에 일반 DRAM을 사용하여 27Mbps 클럭에 동작하도록 하였기 때문에 64비트의 인터페이스 버스를 사용한 반면에, 개선된 프레임 메모리 인터페이스에서는 32비트의 버스 폭을 갖는 SDRAM을 사용하고 액세스 사이클은 54Mbps로 하였다. 이렇게 설계하였을 경우에 동작속도의 상승으로 인하여 전력소모가 늘어날 것으로 여겨지나 실제 27Mbps 클럭

을 사용할 경우와 비교해서 처리해야 할 데이터의 량은 동일하므로 칩 외부와의 인터페이스로 인한 전력 소모가 줄었다.

본 설계에 사용된 SDRAM은  $256k \times 32\text{비트} \times 2\text{개} \times 2\text{-뱅크}$ 이며 듀얼 뱅크 동작과 버스트 길이 변화를 사용하여 연속적으로 데이터를 액세스 할 때 제어기간편해지는 SDRAM의 특징을 최대한으로 이용하였다. DRAM의 경우, 데이터를 읽고 쓸 때마다 CAS 신호와 주소의 변경을 한번만 수행하더라도 한 행의 모든 데이터를 액세스할 수 있다. 듀얼 뱅크의 특징을 잘 활용함으로써 뱅크간에 연속적인 액세스 동작의 랜덤 액세스 지연시간을 숨기게 하였다. 그림 3은 2개의 듀얼 뱅크를 사용하는 SDRAM의 메모리 맵의 구성이다. 홀수 번의 데이터를 뱅크 1A와 1B로 나누어 저장하며 짝수번의 데이터는 뱅크 2A와 2B로 저장된다.

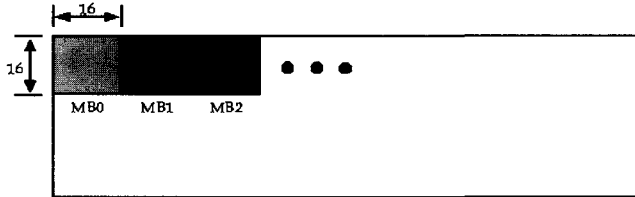


[그림 3] 제안된 SDRAM의 메모리 맵 구성

[Fig.3] The proposed memory map structure of SDRAM

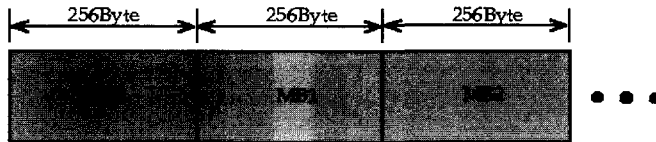
### 3.1 휘도 신호의 메모리 맵 구성

메모리 영역에 해당 데이터를 저장할 때, 데이터를 저장하는 방법에 따라서 시스템의 성능이 달라질 수 있다. coded Y 영역은 DCT와 양자화된 결과를 저장하기 위한 곳이며 움직임 추정 시에 매크로 블록 단위로 움직임 보상 및 추정 모듈로 전달한다. 속도가 빠른 SDRAM에 매크로 블록을 찾아서 라인 단위로 연속적으로 저장하여 메모리를 최대 활용할 수 있도록 하였다. 그림 4는 매크로 블록의 데이터를 라인 단위로 처리하는 방법으로 부호화된 휘도 영상의 매크로 블록 위치를 나타낸 것이다. 그림 5는 데이터의 메모리를 연속적으로 저장한 것으로 매크로 블록의 Coded Y 처리 방법을 나타낸 것이다.



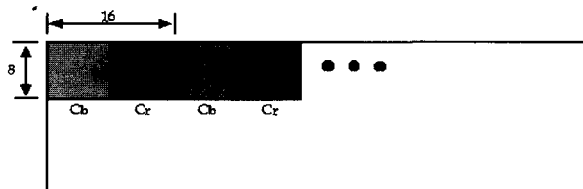
[그림 4] 부호화된 휘도 영상의 매크로 블록의 위치

[Fig.4] Location of macro block of encoded luminance image



[그림 5] 매크로 블록의 Coded Y 처리 방법

[Fig.5] Coded Y processing method of macro block



[그림 6] 색차 신호의 CbCr 영상 신호의 매크로 블록의 위치

[Fig.6] Location of macro block for CbCr image original of signal chrominance

### 3.2 색차 신호의 메모리 맵 구성

Coded CbCr 영역에 데이터를 처리하기 위한 방법으로 그림 6은 색차 신호에서 CbCr로 구성된 영상 신호의 매크로 블록 위치를 순서대로 나타낸 것이다. 그림 7은 Coded Y의 경우와 같이 매크로 블록 단위로 데이터를 처리하는 Coded CbCr 처리 방법이며 그림 8은 라인 단위로 데이터를 처리하여 저장하는 방법을 나타내었다.

Coded CbCr은 매크로 블록 단위로 SDRAM에 전달되는데 매크로 블록의 범위 이외의 위치에 해당하는 데이터들을 전달할 경우가 발생한다. 따라서 매크로 블록단위 보다는 라인 단위로 저장하는 것이 메모리의 사용 효율을 증가시킬 수 있다. 예를 들어 색차 신호를 매크로블록 단위로 정리한 후에 저장하고 데이터를 매크로 블록 단위로 처리한다고 가정하면

움직임 보상에 사용될 데이터가 매크로 블록의 경계를 벗어나게 되는 값들은 SDRAM에서 서로 다른 메모리의 열에 대한 어드레스를 갖게되어 잦은 메모리 액세스를 전체 시스템의 성능을 저하시키는 원인이 된다.

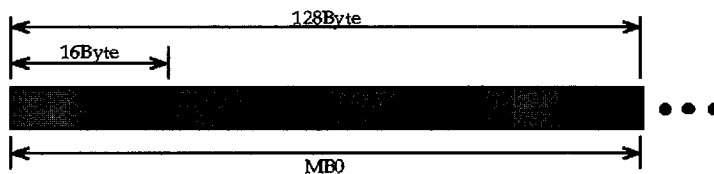
### 3.3 입력 영상의 메모리 맵

입력처리 모듈은 입력 영상에 대해 크기 변환만을 수행하기 때문에 데이터 처리 단위는 라인 혹은 매크로 블록 단위로 모두 가능하다. 그러나 입력처리 모듈에서 입력 영상을 매크로 블록 단위로 처리한다고 가정하면 매크로 블록 단위로 데이터를 정렬하기 위한 부가적인 메모리가 필요하게 되어 전체적인 시스템의 크기가 증가하기 때문에 영상이 입력되는 순서대로 데이터를 처리하는 것이 필요하다. 뿐만 아니라 SDRAM의 메모리 맵에서 Original Y 경계를 CbCr 영상의 4 라인으로 제안하여 영상의 한 라인에 해당하는 데이터가 메모리의 새로운 열에 저장되는 것을 방지함으로써 SDRAM의 사용 효율을 높일 수 있도록 하였다. Original Y, CbCr 메모리 영역에 대한 데이터 처리 방법은 coded CbCr 메모리 영역에 적용한 방법과 동일하다.

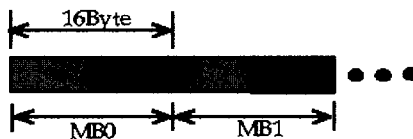
여기에 사용된 채널 버퍼는 가변길이 부호화 모듈이 출력한 데이터를 처리하기 위한 것으로 가변길이 부호화 모듈이 발생시킨 가변 길이 데이터를 채널 버퍼 영역에 순차적으로 저장하고 채널이 요구하는 전송률에 맞추어 저장된 순서대로 출력하는 FIFO의 형태로 구성되어있다.

### 4. 설계 및 모의실험 결과

하드웨어 기능 검증은 SDRAM을 사용하여 타이밍에서 SDRAM의 어드레스, SDRAM 인터페이스와 관련된 여러 제어신호(RAS, CAS, OE, WE), 입출력되는 SDRAM의 데이터들이 각 타이밍에서 유효한지를 검증함으로써 전체 동작을 확인하였다. 그림 9는 SDRAM을 제어하기 위한 액세스에 대한 모의 실험 결과이며 각 인터페이스 서브 모듈별로 검증된 것이다. 그림 10은 프레임 기반 부호화에 대한 입력처리 모듈의 모의실험 결과로 각 제어신호(RAS, CAS, WE)와 출력 데이터(data)로 구성되어 있다. 그림 11은 움직임 추정 및 보상 모듈의 모의실험 결과이다.



[그림 7] 매크로 블록 단위의 Coded CbCr 처리 방법  
[Fig.7] Coded CbCr processing method by macro block unit



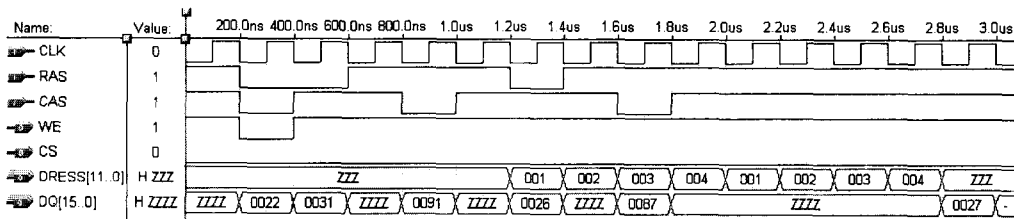
[그림 8] 라인 단위의 Coded CbCr 처리 방법

[Fig.8] Coded CbCr processing method by line unit

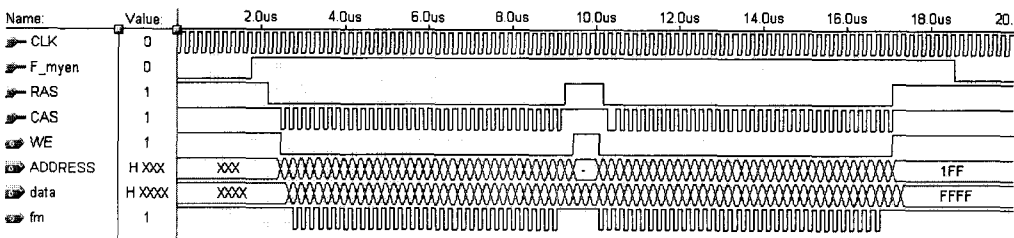
본 논문에서는 SDRAM의 특성을 이용하여 외부 메모리를 2개 사용하여 한 주소 당 4개의 픽셀 값을 저장하도록 하였다. 듀얼뱅크 동작과 버스트 모드의 적절한 선택으로 각 동작 당 필요한 클럭 수를 줄임으로써 그 여유분의 클럭을 여러 번의 램덤 액세스 시간에 할당하여 버스 크기를 줄일 수 있었고 기존의 구조에 비해서 버퍼의 크기를 20% 줄일 수 있었다. 기존의 구조가 DRAM을 사용하는 반면에 제안된 구조는 dual-port로 동작하는 SDRAM을 사용하여 메모리를 효율적으로 사용하였기 때문에 메모리 액세스 측면에서 효과적인 제어를 할 수 있도록 하였다.[11]

### 5. 결론

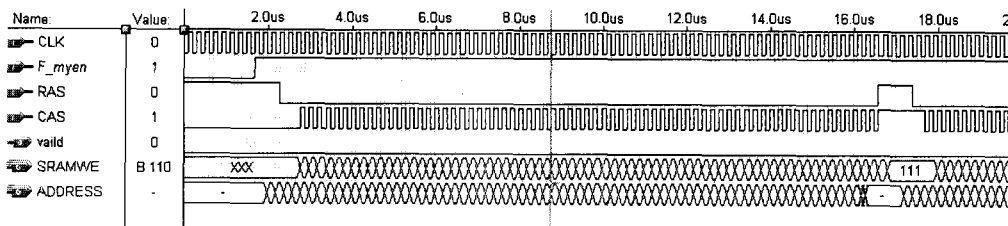
본 논문에서는 MPEG-2 비디오 부호화기의 성능을 개선할 수 있는 방안으로 효율적인 프레임 메모리의 하드웨어 구조를 제안하였다. 제안된 구조는 효율적인 메모리 맵을 바탕으로 내부 버퍼 크기와 내부 로직을 약 20% 개선하였으며 기존의 DRAM 방식보다 빠른 SDRAM을 사용하여 제어하였는데 동일한 버스에서도 효과적인 메모리 맵과 내부 버퍼 크기를 줄여 하드웨어 복잡도를 개선시키고 내부 로직을 간략화하여 면적을 최소화하였다. 또한 기존의 시스템은 매크로 블록 단위로 DRAM에 저장하고 다시 출력하기 위해서는 랜덤하게 저장되어 있는 데이터



[그림 9] SDRAM 액세스 모의 실험  
[Fig.9] Simulation result for access of SDRAM



[그림 10] 프레임 기반 부호화에 대한 입력 처리 모듈의 모의실험 결과  
[Fig.10] Simulation result of IP for frame-based encoding



[그림 11] 움직임 보상 및 추정의 모의실험 결과  
[Fig.11] Simulation result of ME/MC

를 액세스하기 때문에 많은 시간이 소비된다. 따라서 라인 단위로 데이터를 저장 및 처리하여 SDRAM의 액세스 시간을 기존에 비해 약 25% 줄일 수 있었다. 제안된 구조의 설계 방법은 VHDL을 이용하여 Top-down 방식으로 설계하였으며 사용한 Tools는 Max+plus2와 Synopsys 그리고 Mentor를 사용하였다.

향후 멀티미디어의 동영상 데이터 신호처리와 같은 다양한 형태의 정보 서비스에 응용 될 수 있으며 효율적인 데이터 전송을 위한 영상 압축의 새로운 알고리즘 연구 개발이 필요하다. 따라서 MPEG-2 코덱을 위한 단일 ASIC의 IP화가 가능하다고 사료된다.

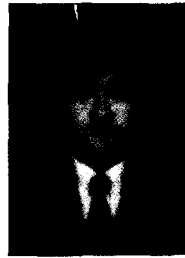
※ 참고문헌

[1] ISO/IEC JTC1/SC29/WG11 13818-2 : Moving Picture Experts Group, IS, May 1996.  
 [2] ITU-T Recommendation H.261, Video codec for audio visual services at px64 kbit/s, 1993.  
 [3] ITU-T Recommendation H.263, Video coding for low bit-rate communication, May 1996.  
 [4] ISO-IEC 11172-1: 1993 Information technology, Coding of Moving Pictures and Associated Audio for digital storage media at up to about 1.5 Mbit/s, Switzerland, 1993.  
 [5] P. Pirsch, N. Demassieux, and W. Gehrke, "VLSI Architecture for Video Compression," Proc. IEEE ICASSP, vol. 83, pp. 220-246, Feb. 1995.  
 [6] 임순자 외 1인 "화상정보처리를 위한 엔트로피 부호화기 설계" 대한전자공학회 논문지 제 36권 C편 제1호, pp. 59-65, 1999. 1  
 [7] Y. K. Ko, K. H. Lee, E. S. Kang, S. H. Lee, S. H. Jang, S. J. Ko, "The Design of the Frame memory module for MPEG-2 Video Encoder," Summer Conference of KICS, vol.15, no. 1, pp. 452-458, July 1996.  
 [8] 조돈민 외 8인 "MPEG-2 부호화기를 위한 DCT 계수 부호화부 및 패커부 설계", 한국통신학회 종합학술대회 논문집, 1996.  
 [9] Samsung Electronics Co., Ltd., Graphic Memory, pp. 231-278, May 1997.  
 [10] P.Pirsch "VLSI Implementations for Image Communications" ADVANCES IN IMAGE COM-

MUNICATION 2 pp. 14-18, pp345-349, 1993.

[11] R. Airiau, J. Berge, and V. Olive, Circuit Synthesis with VHDL, Kluwer Academic Publishers, Boston, 1993.

이 인 섭



1997년 2월 원광대학교  
전자공학과 (공학사)  
1999년 2월 원광대학교 대학원  
전자공학과 (공학석사)  
1999년 3월 원광대학교 대학원  
전자공학과 (박사과정)  
주관심 분야 : 멀티미디어 통신,  
영상신호처리,  
컴퓨터 통신 네트워크, ASIC

임 순 자



1985년 2월 원광대학교  
전자공학과 (공학사)  
1991년 8월 원광대학교 대학원  
전자공학과 (공학석사)  
1997년 8월 원광대학교 대학원  
전자공학과 (박사과정 수료)  
주관심 분야 : 멀티미디어 통신,  
영상정보 처리 및 압축,  
통신 프로토콜, ASIC

김 환 용

1973년 2월 전북대학교  
전자공학과 (공학사)  
1978년 2월 전북대학교 대학원  
전자공학과 (공학석사)  
1984년 2월 전북대학교 대학원  
전자공학과 (공학박사)  
1979년 3월~현재 : 원광대학교  
전기전자 및 정보공학부 교수  
주관심 분야 :  
영상 신호처리 및 압축,  
디지털 통신, 멀티미디어 통신