
버스트 QPSK 수신기의 동기 알고리즘 설계

남옥우* · 김재형**

Design of Synchronization Algorithms for Burst QPSK Receiver

Ock-woo Nam* · Jae-hyung Kim**

이 논문은 2001년도 창원대학교 연구비에 의하여 연구되었음

요 약

본 논문에서는 BWLL 상향링크에 적용할 수 있는 버스트 QPSK 수신기의 동기알고리즘을 설계하였다. 본 논문에서 설계한 버스트 수신기는 디지털 다운컨버터와 정합필터 그리고 동기회로로 구성되어 있다. 동기회로의 경우 심벌 타이밍 복구를 위하여 가드너 알고리즘을 사용하였고 반송파 주파수 복구를 위하여 4승법을 사용하였으며 반송파 위상 복구는 DD알고리즘을 사용하였다. 성능 분석을 위하여 제안된 알고리즘에 대한 시뮬레이션 결과와 VHDL로 코딩되어 FPGA에 구현된 실제회로의 결과를 비교, 분석하였다. 성능분석 결과 주파수 오프셋이 심벌율의 4.7% 까지 동기기가 잘 동작 하였다.

ABSTRACT

In this paper we describe the design of synchronization algorithms for burst QPSK receiver, which are applicable to BWLL uplink. The demodulator consists of digital down converter, matched filter and synchronization circuits. For symbol timing recovery we use Gardner algorithm. And we use forth power method and decision directed method for carrier frequency recovery and phase recovery, respectively. For the sake of performance analysis, we compare simulation results with the board implemented by FPGA which is APEX20KE series chip for Alter. The performance results show it works quite well up to the condition that a frequency offset equal to 4.7% of symbol rate.

키워드

BWLL, QPSK, burst receiver, Synchronization algorithm

* 창원전문대학 전자통신과

** 창원대학교 제어계측공학과

접수일자: 2001. 12. 14

1. 서론

전세계적으로 급속히 늘어나는 정보통신 수요와 인터넷 시장의 급성장으로 인하여 빠른 전송속도와 많은 정보의 이용에 대한 요구가 계속 높아짐에 따라 문자, 음성, 영상 등 멀티미디어 정보를 고품질로 전송할 수 있는 광대역 밀리미터파 무선통신이 각광받고 있다. 밀리미터파 대역은 전통적으로 군사용으로 주파수가 할당되어 연구되어 왔는데, 최근 상업적 필요성이 대두되면서 광대역 무선가입자망(BWLL)과 같은 기술이 부각되고 있다. BWLL이란 26 GHz대역의 무선주파수를 사용하여 전화, 고속데이터, 전용회선, 영상분배 등의 서비스를 유선과 동일한 품질로 제공하는 고정 무선 통신시스템이다. TTA표준에 의하면 BWLL은 TDMA 버스트 변조에서 채널 대역폭에 따라 다른 심벌 전송률과 QPSK 변조방식을 지원해야 하며, 각 변조 포맷은 대역 효율성을 위하여 펄스성형을 해야 한다[1]. BWLL의 경우와 같이 TDMA방식으로 디지털 데이터를 버스트 전송할 경우 수신기에서는 동기가 무엇보다도 중요하다. 따라서 본 논문에서는 TTA 잠정 표준을 바탕으로 BWLL 상향링크에 적용할 수 있는 버스트 QPSK 수신기의 동기알고리즘을 설계하였다. 본 논문에서 설계한 버스트 수신기는 디지털 다운컨버터와 정합필터 그리고 동기회로로 구성되어 있다. 전체적인 수신기 구조와 각 구성요소를 2장에서 설명하고, 설계된 수신기를 컴퓨터 시뮬레이션에 의하여 평가한 결과를 3장에서 설명한다. 그리고 마지막으로 4장에서 본 논문의 결론을 맺는다.

II. 수신기 구조

그림 1은 본 논문에서 제안한 BWLL 기지국용 상향링크 수신기에 대한 블록도이다.

수신된 IF 신호는 중심주파수가 5 MHz이고 대역폭이 5 MHz인 IF 필터를 거친 후, 고정클럭의 ADC를 사용하여 샘플링된다. 이 때 한 심벌 당 4 번의 샘플링을 함으로써 심볼율은 2.5 Msymbol/sec가 되게 하였다. AD 변환된 수신신호는 디지털 다운 컨버터를 거치면서 I와 Q 성분의 복소기저대역 신호로 변환된 후 정합필터의 입력으로 들어온다.

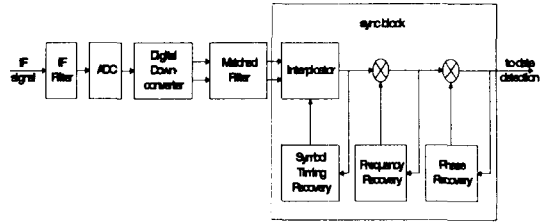


그림 1. 제안된 BWLL 기지국용 상향링크 수신기
Fig. 1 Proposed uplink receiver for BWLL base station

1. 정합필터

수신기 필터 출력 샘플의 주파수 특성을 위하여 불 오프가 0.25인 상승 여현 함수를 사용하는데, 최적의 전송을 위하여 나이퀴스트 제곱근 상승 여현 필터(SQRC)를 사용한다. 송신기의 경우에는 다소 많은 탭의 SQRC 필터를 사용하지만[2], 수신기는 상대적으로 적은 탭 수의 필터를 사용한다. 본 논문에서는 25탭의 FIR 필터를 사용하였다.

2. 심벌 타이밍 복구

동기 회로의 경우 최적의 ML(Maximum Likelihood) 수신기를 위하여 그림에서 보듯이 타이밍복구 후 위상 복구가 수행된다[3]. 타이밍복구가 위상 복구 이전에 이루어지기 때문에 타이밍추정 알고리즘은 임의의 반송파 위상 오차나 주파수 오프셋이 존재하는 상태 하에서도 잘 동작을 해야 한다. 이를 위하여 심벌 타이밍 복구회로는 NDA(Non Data Aided)방법으로 타이밍 오차를 검출하고 디지털 보간기를 이용해서 타이밍을 조절하는 가드너(Gardner) 알고리즘[4]을 사용하였다.

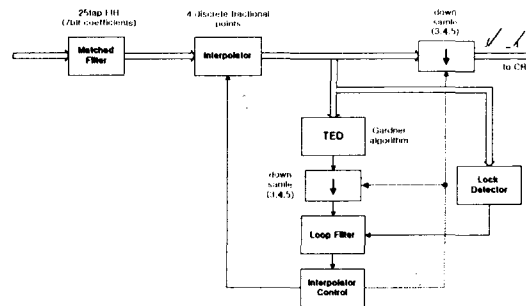


그림 2. 심벌 타이밍 복구회로의 블록도
Fig. 2 Block diagram of symbol timing recovery

그림 2는 심벌 타이밍 복구회로의 기능적인 블록도를 나타낸 것이다.

가드너 알고리즘은 아날로그-디지털 변환 시 I 채널과 Q 채널에서 한 심벌에 두 샘플씩을 취한다. 이 값이 타이밍 오차 검출기의 입력이 된다. 가드너 알고리즘의 타이밍 오차값 $x_{NDA}(n)$ 은 식 (1)과 같다.

$$\begin{aligned}
 x_{NDA}(n) &= \text{Re}\{z(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z^*(nT + \hat{\epsilon}T) - z^*((n-1)T + \hat{\epsilon}T)]\} \\
 &= z_I(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z_I^*(nT + \hat{\epsilon}T) - z_I^*((n-1)T + \hat{\epsilon}T)] \\
 &\quad + z_Q(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad [z_Q^*(nT + \hat{\epsilon}T) - z_Q^*((n-1)T + \hat{\epsilon}T)]
 \end{aligned}
 \tag{1}$$

여기서, z 는 정합 필터 출력이고, I 와 Q 는 각각 I 와 Q 채널 값이며 $\text{Re}(\cdot)$ 는 실수 값을 나타낸다. 그리고 $z_I(nT + \hat{\epsilon}T)$ 와 $z_Q(nT + \hat{\epsilon}T)$ 는 심벌의 중앙에서 취한 값이며, $z_I(nT - T/2 + \hat{\epsilon}T)$ 와 $z_Q(nT - T/2 + \hat{\epsilon}T)$ 는 심벌의 천이 지점에서 취한 값이다.

본 논문에서는 하드웨어 구현을 고려하여 가드너 알고리즘을 수정하여 사용하였다. 즉, 식 (1)에서 각 심벌의 중앙에서 취한 샘플 값의 실제 값 대신 부호값만을 이용하였다. 이 경우 타이밍 오차는 식(2)와 같이 표현될 수 있다.

$$\begin{aligned}
 x_{NDA}(n) &= z_I(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad \{ \text{sgn}[z_I^*(nT + \hat{\epsilon}T)] - \text{sgn}[z_I^*((n-1)T + \hat{\epsilon}T)] \} \\
 &\quad + z_Q(nT - T/2 + \hat{\epsilon}T) \cdot \\
 &\quad \{ \text{sgn}[z_Q^*(nT + \hat{\epsilon}T)] - \text{sgn}[z_Q^*((n-1)T + \hat{\epsilon}T)] \}
 \end{aligned}
 \tag{2}$$

식 (2)에서 구한 타이밍 오차값을 심벌 타이밍 복원에 이용하면 잡음의 영향이 줄어들어 개선된 심벌 타이밍의 추적 성능을 얻을 수 있고, 곱셈 계산이 줄어들어 하드웨어의 부담을 덜어 줄 수 있다. 그림 3에 수정된 가드너 알고리즘의 구현을 위한 블록도를 나타내었다.

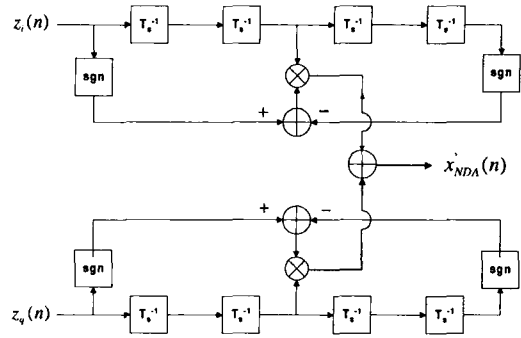


그림 3. 타이밍 오차 검출기
Fig. 3 Timing error detector

타이밍 오차 검출기로부터 나온 오차값은 루프필터로 들어가서 오차값에 대한 평균치가 계산된다. 가드너 알고리즘과 같은 폐환 동기는 오차 검출기를 사용하기 때문에 동기가 이루어 졌는지(lock) 아닌지에 대한 신뢰할만한 지시가 필요하다. 이를 위하여 락 검출기를 사용하였다[5].

마지막으로 보간기 제어 블록에서는 루프필터의 출력을 받아 오버플로의 발생여부에 따라 오버플로가 발생하면 새로운 입력 심벌을 받아들이고 기준 점(\hat{m}_k)이 한 심벌 이동(이를 데시메이션이라 함)하게 되고, 그렇지 않을 경우에는 작은 간격의 지연($\hat{\mu}_k$)에 따라 보간기의 샘플위치를 조절(이를 보간이라 함)한다. 이를 그림 4에 나타내었다.

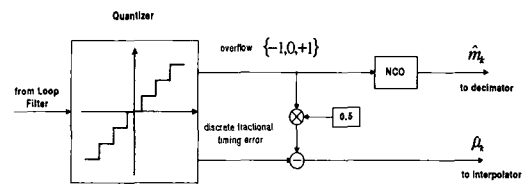


그림 4. 보간기 제어 블록
Fig. 4 Interpolator control block

3. 반송파 주파수 복구

만약 주파수 옵셋이 심벌율의 12.5%를 초과하지 않는다고 가정하면 STR 앞단에 AFC가 없어도 가드너 알고리즘은 잘 동작한다. 따라서 심벌 타이밍이 복구된 이후에 주파수 복구를 하는 것이 가능하다. 즉, 한 심벌 당 한 샘플을 이용하여 주파수 옵셋을 추정할 수

있다. 정합 필터 출력을 다음과 같이 두자.

$$z(k) = a_i e^{j2\pi\Omega T + \theta} + noise \quad (3)$$

여기서, $\{a_i\}$ 는 전송된 심벌의 복소 값이고, Ω 는 주파수 오프셋을 나타내며, θ 는 초기위상편이를 나타낸다. 따라서, 만약 올바른 샘플링 순간의 정합 필터 출력샘플과 이것의 한 심벌(네 샘플) 지연된 샘플을 곱하면 심벌 간 위상 오차 신호는 다음과 같이 된다.

$$\theta_{diff}(n) = z(k) z^*(k-4) = A e^{j2\pi\Omega T + \phi} \quad (4)$$

여기서, k 와 n 은 각각 샘플 간격과 심벌 간격을 나타내고, A 는 임의의 양의 실수이며, ϕ 는 4개의 가능한 위상 $\{0, 90, 180, 270\}$ 중의 하나이다.

복소 샘플 $\theta_{diff}(n)$ 로부터 데이터 복조를 제거하기 위하여 V&V(Viterbi and Viterbi) 알고리즘을 사용한다[6].

$$S(k) = F(\theta_{diff}(n)) e^{jG \cdot \arg(\theta_{diff}(n))} \quad (5)$$

여기서, $F(\theta_{diff}(n)) = |\theta_{diff}(n)|^\omega$, ω even $\leq M$ 이다. V&V 알고리즘에서는 NDA의 경우, $\omega = 0$ 이고, G 는 $G = M$ 이다. 본 논문에서는 QPSK 변조를 고려하므로 $M = 4$ 가 되어 위 식(4)에서 구한 위상 오차 샘플의 4승값을 구하면, 샘플의 위상 값에 상관없이 $\exp(j\phi)$ 의 4승 값은 항상 +1이기 때문에 결과적으로 다음과 같이 된다.

$$\theta_{diff}(n)^4 = A^4 e^{j2\pi 16\Omega T + 4\phi} = B e^{j2\pi 16\Omega T} \quad (6)$$

단, B 는 양의 실수이다. 만약, 여기서 $\theta_{diff}(n)^4$ 의 위상각을 \hat{a} 이라고 하면 다음과 같은 샘플을 얻을 수 있다.

$$\begin{aligned} \arg[\theta_{diff}(n)^4] &= \hat{a}(n) = \tan^{-1} \frac{\text{Im}[\theta_{diff}(n)^4]}{\text{Re}[\theta_{diff}(n)^4]} \\ &= \tan^{-1} \frac{\sin(2\pi 16\Omega T)}{\cos(2\pi 16\Omega T)} \end{aligned} \quad (7)$$

이것은 샘플링 율로 정규화된 값의 16배(혹은, 심벌 율로 정규화된 값의 4배)에 해당하는 주파수 오프셋이다. 식 (7)에서 구한 순시 주파수 추정값 시퀀스 $\{\hat{a}\}$ 를 심벌 간격으로 누적하여 평균을 취하고, 이 값을 4로 나누어주면 다음과 같이 심벌 간격으로 필터링된

주파수 추정값을 얻을 수 있다.

$$\hat{\Omega T} = \frac{1}{2\pi} \frac{1}{4} \frac{1}{N} \sum_{k=1}^N \hat{a}(n) \quad (8)$$

여기서, N 은 심벌 수이다. 식 (8)에서 구한 주파수 추정값의 복소 공액값을 취한 시켜 정합 필터 출력 값을 회전(derotation)시키면 된다. 그림 5에 주파수 복구 회로의 블록도를 나타내었다.

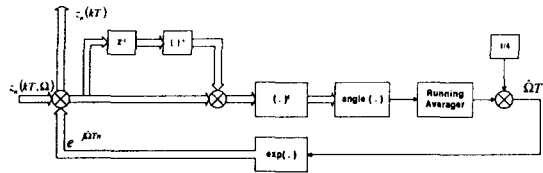


그림 5. 주파수 복구 회로의 블록도
Fig. 5 Block diagram of frequency recovery

4. 반송파 위상 복구

본 논문에서 제안한 동기 알고리즘은 심벌 타이밍 복구가 위상 복구보다 먼저 이루어지기 때문에 만약 타이밍을 알고 있다면, 잔류 주파수가 보상된 정합 필터 출력샘플 값을 경판정하여 사용하는 DD(Decision Directed)알고리즘을 사용할 수 있다. 그림 6은 본 논문에서 사용한 DD 위상 복구회로의 블록도를 나타낸 것이다.

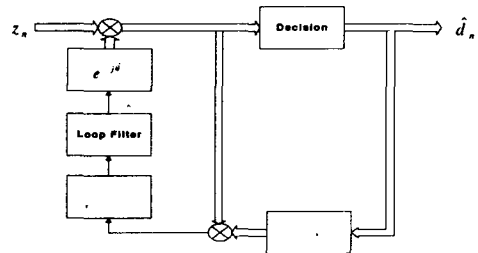


그림 6. 위상 복구 회로의 블록도
Fig. 6 Block diagram of phase recovery

n 번째 데이터 심벌을 수신했을 때 위상 오차 검출기의 출력 값 즉, 오차 신호는 다음과 같다.

$$x_\theta(k; \hat{\theta}) = \text{Im}[\hat{a}_n^* z_n \exp(-j\hat{\theta})] \quad (9)$$

여기서, \hat{a}_n^* 는 결정된 값의 복소공액을 나타내고,

$\hat{\theta}$ 는 올바른 반송파 위상 θ_0 의 추정값을 나타낸다.
 이 오차 검출기 출력 값이 루프필터를 통과하여, 다음과 같은 디지털 적분기에서 위상 추정값의 갱신이 수행된다.

$$\hat{\theta}_{n+1} = \hat{\theta}_n + K_1 e_n \quad (10)$$

여기서, K_1 은 상수이고 e_n 은 루프필터의 출력 값이다. 주파수 동기 회로가 없더라도 아주 작은 잔류 주파수 오차(대략 심벌율의 0.1%내외)는 이러한 시변 위상추정 방법만을 통해서도 해결할 수 있다.

III. 시뮬레이션 결과

본 장에서는 제안한 동기 알고리즘을 이용하여 설계한 BWLL 기저대역 상향링크 수신기의 성능을 컴퓨터 시뮬레이션에 의하여 평가한 결과와 실제 구현된 모델의 결과를 비교, 분석하고자 한다. 본 논문에서의 시뮬레이션은 실제 하드웨어로의 구현을 위하여 부동소수점방식으로 수행하였다. 수신기의 ADC를 통해 샘플링된 IF 신호를 다운컨버전 한 뒤 로직 분석기를 이용하여 캡춰한 후 시뮬레이션 데이터로 사용하여 성능을 평가하였다[7,8].

그림 7과 8은 각각 타이밍 옵셋을 심벌내에서 한 샘플

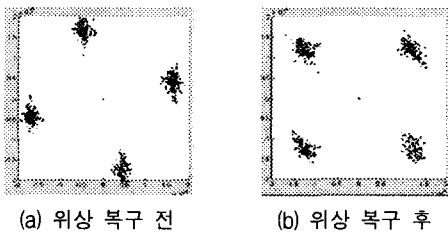


그림 7. 시뮬레이션 결과(주파수옵셋이 존재하지 않을 경우)
 Fig. 7 Simulation results (no frequency offset)

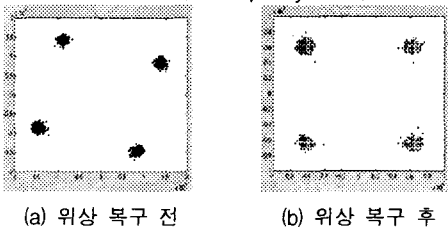


그림 8. 실제 구현된 모델의 신호성상도
 Fig. 8 Signal constellation of practically implemented modem

플과 1/4의 작은간격의 지연을 가정하고, 샘플의 초기 위상 오차가 1/16[rad]이고, 주파수 옵셋은 존재하지 않는 경우의 시뮬레이션 결과와 실제 구현된 모델의 신호성상도 결과를 나타낸 것이다

비록 주파수 옵셋은 없다고 가정하였만 송·수신기 간의 클럭오차로 인하여 약 25ppm (125Hz)정도의 옵셋이 존재한다. 반송파 위상 복구 후의 결과 파형을 보면 반송파 위상 동기 알고리즘이 잘 동작하고 있음을 알 수 있다.

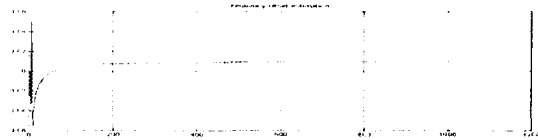
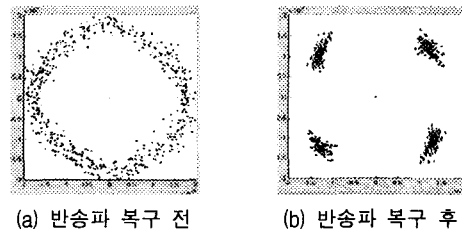
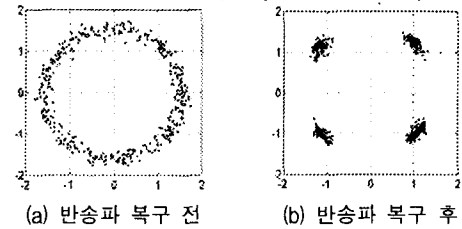


그림 9. 주파수 옵셋 추정(심벌율의 약 0.16%)
 Fig. 9 Frequency offset estimation(about 0.16% of symbol rate)

그림 9는 그림 7과 8에서 가정한 타이밍 옵셋과 위상옵셋에 주파수 옵셋이 심벌율의 약 0.16%인 경우에 대한 주파수 추정결과이다. 가로축과 세로축은 각각 심벌수와 주파수옵셋을 나타낸다. 그림에서 보듯이 약 100심벌 이내에 정확히 주파수 옵셋을 추정한다. 본 논문에서 사용한 4승법의 경우 최대 주파수 옵셋이 심벌율의 약 6%까지 추정이 가능함을 실험을 통하여 알 수 있었다.



(a) 반송파 복구 전 (b) 반송파 복구 후
 그림 10. 시뮬레이션 결과 (주파수옵셋=심벌율의 4.7%)
 Fig. 10 Simulation results (frequency offset=4.7% of symbol rate)

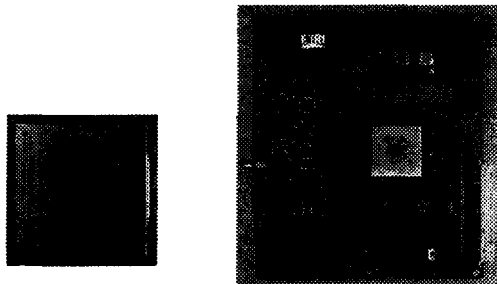


(a) 반송파 복구 전 (b) 반송파 복구 후
 그림 11. 실제 구현된 모델의 신호성상도 (주파수옵셋=심벌율의 4.7%)
 Fig. 11 Signal constellation of practically implemented modem (frequency offset=4.7% of symbol rate)

그림 10과 11은 각각 주파수 옵셋이 심벌율의 4.7% 인 경우에 대한 시뮬레이션 결과와 실제 구현된 모델의 신호 성장도 결과이다.

그림에서 보듯이 주파수 옵셋으로 인하여 신호 성장점이 회진하고 있다. 반송파 복구 후의 성장점을 보면 다소 많은 주파수 옵셋임에도 불구하고 주파수 복구회로로 인하여 복구가 잘 됨을 알 수 있다.

파 주파수 복구를 위하여 4승법을 사용하였으며 반송파 위상 복구는 DD알고리즘을 사용하였다. 성능 분석을 위하여 제안된 알고리즘에 대한 시뮬레이션 결과와 VHDL로 코딩되어 FPGA에 구현된 실제회로의 결과를 비교, 분석하였다. 실험에 사용된 칩은 Alter사의 APEX20KE 시리즈의 60만 게이트 칩이다. 성능분석 결과 주파수 옵셋이 심벌율의 4.7% 까지 동기기가 잘 동작 하였다.



(a) FPGA 칩 (b) 모델 보드
 그림 12. FPGA 칩과 실제 구현된 기지국모뎀 사진
 Fig. 12 Photos of practically implemented base station modem and FPGA chip

마지막으로 그림 12의 (a)와 (b)는 각각 FPGA 칩과 실제 제작된 모델 보드의 외형을 나타낸 것이다. 사용한 FPGA 칩은 Alter사의 APEX20KE 시리즈의 60만 게이트 칩이고, 제작된 보드는 FPGA 칩으로 인하여 6층 PCB 기판으로 제작되었다. 보드를 살펴보면, 하나의 보드에서 송·수신을 담당할 수 있도록 ADC와 DAC를 같이 설치하였으며, 인터페이스 슬롯을 통하여 외부와 데이터 송·수신이 이루어진다. 그리고 FPGA 칩의 데이터 구성을 위하여 ROM을 설치하였고, X-tal 하나를 사용하여 칩 내부적으로 클럭을 분주하여 사용하였다.

IV. 결 론

본 논문에서는 TTA 잠정표준을 바탕으로 BWLL 상향링크에 적용할 수 있는 버스터 QPSK 수신기의 동기알고리즘을 설계하였다. 본 논문에서 설계한 버스트 수신기는 디지털 다운컨버터와 정합필터 그리고 동기회로로 구성되어 있다. 동기회로의 경우 심벌 타이밍 복구를 위하여 가드너 알고리즘을 사용하였고 반송

참 고 문 헌

- [1] 광대역무선가입자망 무선접속규격 잠정표준, 한국정보통신기술협회, 1999.
- [2] DAVIC 1.3 Specification Part 8, "Lower Layer Protocols and Physical Interfaces", Digital Audio-Visual Council, 1997.
- [3] H. Meyr, M. Moeneclaey and S.A.Fechtel, "Digital Communication Receivers", Wiley-Interscience, 1998.
- [4] F. M. Gardner, "A BPSK/QPSK Timing-Error Detector for Sampled Receivers", IEEE Trans. on Commun., vol. COM-34, pp.423-429, May 1986.
- [5] A. Mileant, S. Hinedi, "Lock Detection in Costas Loops", IEEE Trans. Commun, vol. COM-40, pp. 480-483, Mar. 1992.
- [6] A. J. Viterbi, A. M. Viterbi, "Non-Linear Estimation of PSK-Modulated Carrier Phase with Application to Burst Digital Transmission", IEEE Trans. on Info. Theory, vol. IT-29, no.4, pp.543-551, July 1983.
- [7] O. Nam, "A study on the design and implementation of synchronization algorithms for BWLL base station modem", a doctoral dissertation, Changwon Nat'l. Univ. 2001.

저 자 소 개



남옥우(Ock-Woo Nam)

1993년 2월 : 창원대학교 제어계측
공학과 공학사

1994년 3월~1995년 4월 : 한국전
력공사

1998년 2월 : 창원대학교 전기전자
제어공학과 공학석사

2001년 8월 : 창원대학교 전기전자제어공학과 공학박사

2001 현재 : 창원전문대학 전자통신과 연구교수

※ 관심분야 : 이동통신, 디지털무선통신, BWLL

김재형(Jae-Hyung Kim)

1983년 2월 고려대학교 전자공학과 공학사

1985년 2월 고려대학교 전자공학과 공학석사

1989년 8월 고려대학교 전자공학과 공학박사

1991년 9월~현재 창원대학교 제어계측공학과 부교수

1994년 3월~1995년 2월 캐나다 Simon Fraser Univ.
방문교수

※ 관심분야 : 이동통신, 디지털무선통신, BWLL