
Seeding Method를 이용한 인이 도우핑된 Amorphous-Si에서의 HSG형성 조건

정양희* · 강성준**

Hemispherical Grained Silicon Formation Condition on In-Situ
Phosphorous Doped Amorphous-Si Using The Seeding Method

Yang-Hee Joung* · Seong-Jun Kang**

요 약

본 논문에서는 HSG형성을 위한 Si_2H_6 의 조사와 어닐링을 통한 seeding method를 64Mbit DRAM에 적용하였다. 이 기술을 사용함으로써 인이 도우핑된 Amorphous 실리콘의 전극에 HSG grain 크기를 조절할 수 있었고, 이 새로운 HSG형성조건은 기존의 stack 캐패시터보다 약 2배의 정전용량을 확보할 수 있었다. 이와같은 방법을 이용한 HSG형성에서 인농도, 저장폴리 증착온도 및 HSG의 두께에 대한 공정 최적조건으로는 각각 $3.0\text{-}4.0\text{E}19\text{atoms}/\text{cm}^2$, 530°C 및 400\AA 이었다. 이들 최적화된 공정조건으로 64M bit DRAM캐패시터에 적용시 질화막의 두께 한계는 65\AA 으로 확인되었다.

ABSTRACT

In this paper, a new HSG-Si formation technology, "seeding method", which employs Si_2H_6 -molecule irradiation and annealing, was applied for realizing 64Mbit DRAMs. By using this technique, grain size controlled HSG-Si can be fabricated on in-situ phosphorous-doped amorphous-Si electrode. The new HSG-Si fabrication technology achieves twice the storage capacitance with high reliability for the stacked capacitors. In this technique, optimum process conditions of the phosphorous concentration, storage polysilicon deposition temperature and thickness of hemispherical grain silicon are in the range of $3.0\text{-}4.0\text{E}19\text{atoms}/\text{cm}^2$, 530°C and 400\AA , respectively. In the 64M bit DRAM capacitor using optimum process conditions, limit thickness of dielectric nitride is about 65\AA .

키워드

HSG-Si, Seeding method, In-situ Phosphorous, dielectric limit thickness

*여수대학교 전기 및 반도체 공학과
접수일자: 2001년 11월 8일

**여수대학교 반도체·응용물리학과

1. 서론

최근 HSG로 덮인 저장전극을 이용한 메모리 셀 구조가 DRAM에 적용되고 있다. 이는 소자의 소형화에 따라 캐패시터 형성 면적의 축소를 가져오게 되었고 결국 캐패시턴스 확장에 매우 큰 지장을 초래하였다. 따라서 제한된 면적에서의 충분한 캐패시턴스 확보를 위해 저장전극 면적의 향상을 위한 많은 연구가 이루어지고 있다[1]. 캐패시터의 정전용량 증대를 위한 표면 확장방법으로는 하부전극을 1.0, 1.5 Fin, 상자, 크라운 링 타입등으로 제작하여 전극면적을 확장시키는 방법과 캐패시터의 하부전극 폴리실리콘 표면을 이온 반응 에칭이나 열산화막 성장후 grain에 따른 선택적 에칭등이 있다. 그러나 캐패시터의 구조변경은 정전용량 확보에 한계를 나타내고 있으며, 실리콘의 표면처리에 의한 방법은 공정의 신뢰성과 대량생산 특히 8인치 이상의 대구경화된 웨이퍼에 있어 균일성 측면등에서 여러 가지 문제가 대두되어[2-4] 최근 Low Pressure Chemical Vapor Deposition(LPCVD)를 이용한 amorphous doped 폴리실리콘을 증착하고 Si₂H₆를 조사한후 진공에서 annealing을 통하여 HSG-Si를 형성하는 seeding method에 매우 많은 관심이 집중되고 있다[5-10]. 따라서 본 논문에서는 64Mbit DRAM에서 고용량 캐패시턴스를 확보하기 위한 HSG-Si형성의 최적화를 위한 공정조건에 대하여 평가하도록 하고 결정화에 대하여 논의하도록 한다.

II. 시료제작 및 실험방법

본 실험에 사용되어진 시료는 비저항이 9~10Ω·cm 인 p-type 8인치 웨이퍼로 셀 사이즈가 0.482μm²이며 캐패시터 구조는 box형을 이용하였다. 실험에 적용된 64Mbit DRAM의 개략적인 구성도는 그림 1과 같다.

그림 1에서 (a)는 설계도면상의 Hemispherical Grain Silicon을 형성 단면을 나타낸 것이며, (b)는 실제 64Mbit DRAM에 HSG-Si를 적용하여 단면을 주사현미경을 통하여 관찰한 모습을 나타낸 것이다.

그림 1에서 캐패시터의 기본적인 제작과정은 저장폴리 증착 전세정 실시후 KE사의 LPCVD (model : DJ-835V)를 이용하여 온도와 압력을 각각 520℃, 133Pa로 하고, SiH₄/PH₃을 1000/99 sccm으로 한 in-

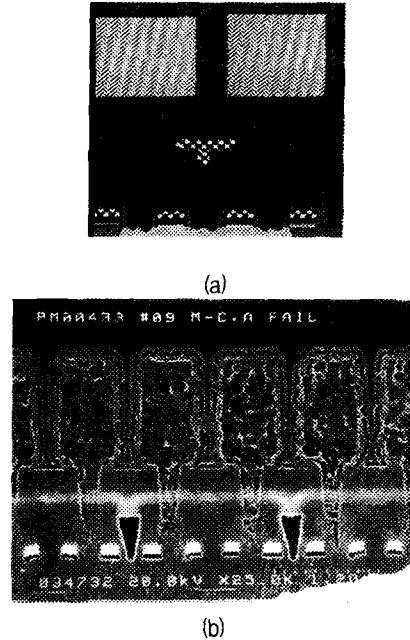


그림 1. 캐패시터 단면도
Fig. 1. The cross section of capacitor

situ doped amorphous 실리콘을 11,300Å 증착하였다. 기준 시료에 대한 인농도는 3.0E19 atoms/cm²으로 하였다. 저장폴리 증착후 사진식각과 건식각을 통하여 box형의 저장폴리를 형성하였다. HSG-Si의 형성 조건으로는 온도를 730℃에서 10sccm의 Si₂H₆를 100초간 주입하고 10⁻⁷ Torr의 진공상태에서 100초동안 어닐링하였다. HSG가 형성된 시료는 자연산화막 제거를 위해 1:500HF처리후 유전막으로 질화막을 약 70Å 성장시킨후 약 700Å의 in-situ doped plate poly를 증착하여 캐패시터를 제작하였다. 캐패시터의 개략적인 제조과정은 그림 2에 나타내었다.

실험방법으로는 HSG-Si가 없는 기존의 simple stacked capacitor와 기존의 시료에 HSG-Si를 형성한 시료에 대하여 각각 셀 캐패시턴스(Cs)를 측정하였다. 이때 캐패시턴스의 측정은 Keithley S-475를 이용하였다. 또한 amorphous 실리콘의 인농도를 2.5~5.0E19 atoms/cm²으로 변화하여 HSG-Si 형성두께에 미치는 영향과 이들 HSG-Si의 두께가 Cs에 미치는 영향을 조사 분석하였다. HSG-Si의 두께 측정에는 Nanometrics사의 nano-8000을 이용하였다.

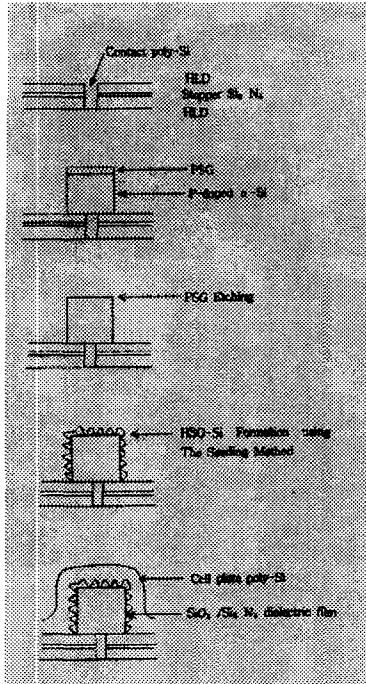


그림 2. HSG-Si 공정 흐름도
Fig. 2. Process flow for making HSG-Si capacitor

Amorphous 실리콘 증착시 온도변화가 HSG-Si형성에 미치는 영향을 고찰하였으며 마지막으로 상기의 실험을 통한 최적조건으로 유전막으로 사용된 질화막 두께의 한계를 확인하기 위하여 I-V측정을 통한 누설전류와 절연파괴 전압을 측정하여 HSG-Si형성을 이용한 캐패시터 제조의 공정 조건을 최적화하여 HSG-Si형성시 공정조건 특히 인농도 및 증착온도에 따른 결정화가 미치는 영향과 절연파괴전기장에 대하여 고찰하였다.

III. 결과 및 논의

캐패시턴스의 확보를 위해 HSG가 적용된 box형 저장폴리의 형상은 그림 3과 같다.

그림 3은 doped amorphous 실리콘 증착후 진공에서의 어닐링을 통한 HSG-Si의 모양을 Scanning electron microscope(SEM)을 통하여 관찰한 사진으로 기존에 일반적으로 사용되어진 Stacked capacitor의 저장 폴리 형상과는 달리 저장폴리의 표면이 반구의 형태로 형성되어 있어 표면적의 증가를 확인할 수 있

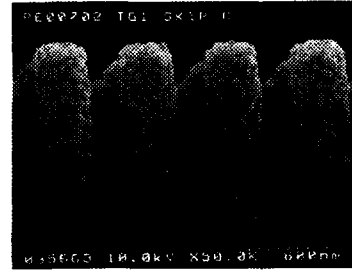


그림 3. HSG-Si형성후 전극 SEM사진
Fig. 3. SEM micrograph of electrodes after HSG-Si formation

고, 여기에 증착되는 절연막의 형태는 저장폴리의 형태를 이루기 때문에 캐패시턴스의 증가효과를 예상할 수 있다. 따라서 simple stacked capacitor와 여기에 HSG-Si를 형성한 Capacitor의 셀 캐패시턴스를 측정하여 그림 4에 나타내었다.

그림 4에서 #24, 25는 simple stacked capacitor의 셀 캐패시턴스이고, 나머지 웨이퍼는 HSG-Si가 형성된 시료에 대한 셀 캐패시턴스를 비교하여 나타낸 것이다. 그림에서와 같이 HSG-Si가 적용된 웨이퍼의 경우는 기존의 일반 simple stacked capacitor와 비교하여 셀 캐패시턴스가 최소 약 2.0배가량 높은 26-28fF/cell을 나타내고 있어 HSG-Si에 의해 표면적의 증대가 있음을 명확히 확인할 수 있어 이는 최근 반도체 소자의 고집적화, 초소형화에 따른 면적의 한계를 극복할 수 있는 유용한 프로세스 기술이라고 판단된다.

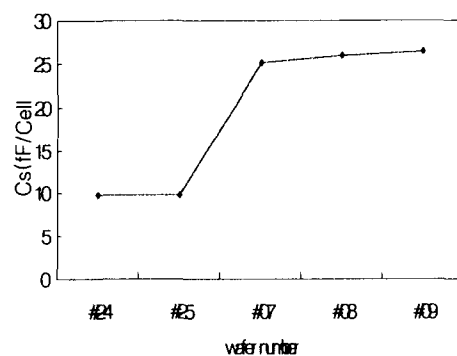


그림 4. HSG와 일반 캐패시턴스
Fig. 4. Cell capacitance for simple and HSG-Si

또한 HSG형성 두께가 셀 캐패시턴스에 미치는 영향을 조사하기 위하여 각각의 시료에서 nano-8000을 이용하여 HSG의 두께를 구분하고 이 시료에 대한 Cs를 조사 비교한 결과를 그림 5에 나타내었다.

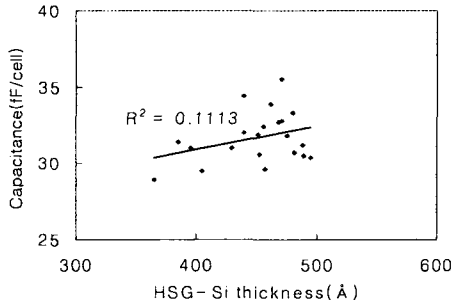


그림 5. HSG두께와 캐패시턴스 관계
Fig. 5. Relationship of cell capacitance HSG-Si thickness

그림 5에서 보는바와 같이 HSG-Si의 두께가 약 400~500 Å의 범위에 있는데 이는 Batch type LPCVD 장치내의 zone에 따른 공정조건의 영향에 기인된 것으로 판단되고 HSG의 크기가 증가됨에 따라 표면적의 증대로 셀 캐패시턴스도 증가하는 것으로 확인되었다. 그러나 HSG가 500 Å 이상으로 과도하게 성장하는 경우 이들 grain이 떨어져 전극간의 short를 유발하는 불량률 발생시켜 불량율이 증가됨을 알수 있었다. 이를 그림 6에 나타내었다.

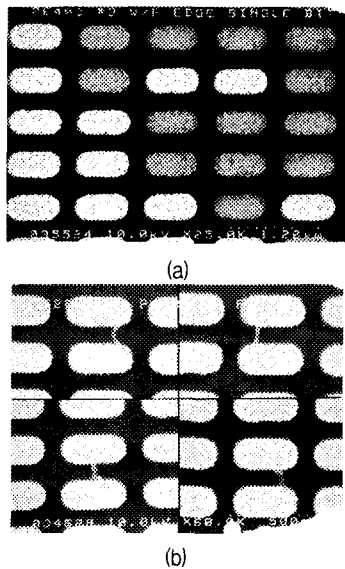


그림 6. HSG-Si short 불량
Fig. 6. HSG-Si node to node short by SEM

그림 6에서 (a)는 정상적인 저장전극의 HSG가 형성된 모양이며 (b)는 HSG가 과도하게 성장하여 전극간의 short를 유발시킨 상태의 사진을 나타낸 것이다. 또한 인농도가 HSG-Si 두께에 미치는 영향을 평가하기 위하여 동일한 공정 조건에서 인농도의 변화에 따른 HSG-Si의 두께를 조사한 결과를 그림 7에 나타내었다. 그림 7에서 보는바와 같이 인농도의 증가에 따라 HSG-Si의 두께가 감소하는 것으로 나타났는데 이는 고진공에서의 열처리과정에서 인농도가 높을 때 열에너지에 의한 out diffusion으로 진공도의 지하에 기인한 것으로 해석할 수 있다[11].

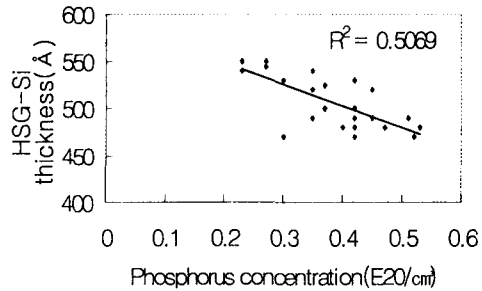
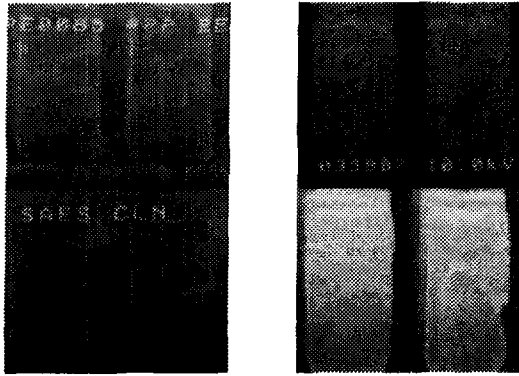


그림 7. 인농도와 HSG-Si 두께
Fig. 7. HSG-Si thickness versus phosphorous concentration

또한 인농도가 5.0E19 atoms/cm³ 이상으로 높은 경우 HSG-Si 형성 불량률과 함께 Cs가 20fF/cell이하로 나타나는 경우가 있었는데 이는 amorphous실리콘 성장시 인농도의 증가가 결정화를 촉진시키고, 실리콘 원자의 migration을 둔화시킨 것으로 해석할 수 있다. 이들 HSG-Si의 형성불량률은 그림 8에 나타내었다.

그림 9는 인농도가 5.0E19 atoms/cm³인 경우 64Mbit DRAM에 적용하여 확인한 단면으로서 위의 결과에서와 마찬가지로 HSG-Si형성 불량률을 볼 수 있었다.

이와같은 문제는 특히 LPCVD 시스템의 up zone에 loading된 웨이퍼들에서 나타났는데 이는 PH3의 공급이 chamber의 아래에서 위로 향하도록 되어있어 공급압력 차이에 의한 농도변화를 최소화하기 위하여 up zone 노즐 사이즈가 크게 형성되어 있는데 기인한 것으로 일반적인 평행평판 저장폴리의 형성에서는 크게 문제가 되지 않았으나 HSG-Si의 형성에는 결정화라



a) Before HSG b) After HSG
 그림 8. HSG-Si형성 전후의 SEM 사진
 Fig. 8. Before and after HSG-Si formation by SEM

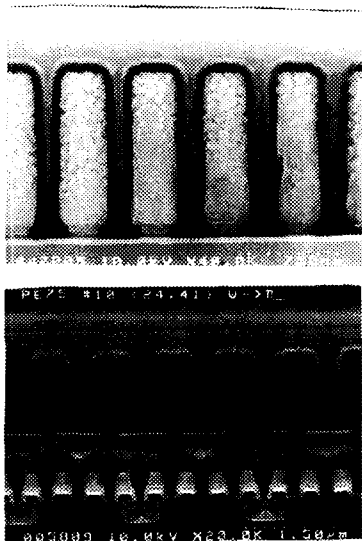


그림 9. 64Mbit DRAM에서의 HSG 형성 불량
 Fig. 9. Cross section of HSG-Si formation defect in 64Mbit DRAM

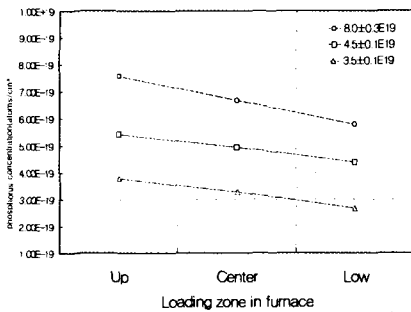


그림 10. zone별 인농도의 변화
 Fig. 10. Loading zone dependence of the phosphorus concentration

는 측면에서 민감하게 작용하고 있음을 알 수 있다. 따라서 각 zone별 인농도의 변화를 확인하기 위하여 각 농도별 인농도의 변화를 조사하여 그림 10에 나타내었다. 그림 10에서 보는바와 같이 같은 인농도에서도 up zone의 경우가 농도가 높게 나타났고 앞의 up zone에서 HSG-Si가 제대로 형성되지 않는 것과 연관시켜 볼 때 역시 인농도의 과다는 실리콘의 migration을 억제시키는 것으로 해석할 수 있다. 또한 높은 인농도가 실리콘의 결정화를 촉진시키는 것에 대한 분석으로 동일 농도의 각 zone별 시료에 대하여 XRD분석 결과를 그림 11에 나타내었는데 그림에서 보는바와 같이 up zone에서 결정화 피크가 나타났다.

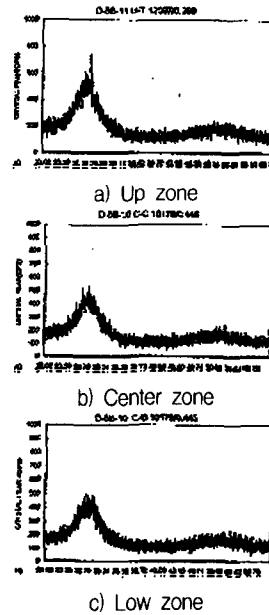


그림 11. XRD에 의한 zone별 결정 피크
 Fig. 11. Crystal peak with contents of zone by XRD

결국 어떤 원인에 의하여 폴리실리콘의 결정화가 유발되면 HSG-Si의 형성에는 치명적이기 때문에 이에 대한 추가 조사로서 amorphous의 결정화에 가장 민감하게 작용할 수 있는 공정으로 amorphous 실리콘 성장시의 공정온도를 520 - 540℃로 구분하여 성장 시킨후 이들 시료에 대한 HSG-Si의 형성, Cs, XRD분석

을 실시하여 이중 XRD분석 결과를 그림 12에 나타내었다.

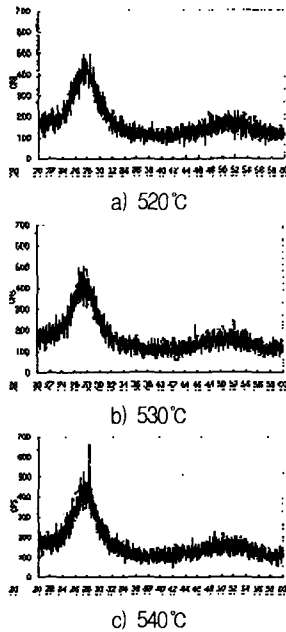


그림 12. 증착온도별 결정피크
Fig. 12. Crystal peak with contents of depo. temp.

그림에서 보는바와 같이 XRD분석 결과는 인농도의 증가에 의한 결정화에서와 마찬가지로 520, 530°C까지는 결정화 피크가 나타나지 않았으나 540°C에서는 결정화 피크가 나타나기 시작하였음을 볼 수 있다. 또한 HSG-Si의 형성과 Cs의 측정 결과는 정도의 차이는 있었으나 인농도의 향상에 의하여 나타났던 것과 같은 양상으로 540°C의 시료에서 HSG-Si의 형성 불량과 Cs의 저하를 초래하였다.

이와같은 상기의 결과에서 인농도는 4.0×10^{19} atoms/cm², amorphous성장 온도는 530°C, HSG-Si의 두께치는 400Å으로 설정하고 이들 조건에서 절연막의 두께 한계를 확인하기 위하여 70, 64, 60, 52Å으로 구분하여 누설전류, 절연파괴전압, 캐패시턴스, 절연파괴전기장 및 누설전류에 대한 불량을 조사하여 그림13, 14, 15, 16에 나타내었다.

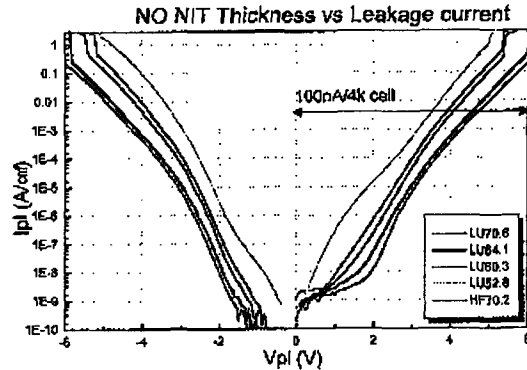


그림 13. 질화막 두께와 누설전류
Fig. 13. Leakage current Vs Nitride thickness

그림 13에서 보는바와 같이 절연막 두께가 대략 60 Å 이하의 경우는 2V이하의 낮은 전압에서도 누설전류가 많이 흐름을 볼 수 있어 절연막 두께 감소는 약 64Å이 한계임을 알 수 있다.

또한 그림 14에서 보는바와 같이 절연막의 두께가 감소됨에 따라 셀 캐패시턴스가 질화막 두께 5Å감소시 약 1.65fF/cell정도의 증가를 나타내고 있으나 절연파괴 전압은 두께에 비례하여 감소됨을 확인할 수 있었다.

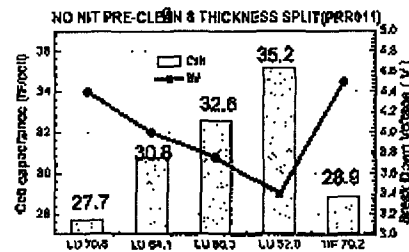


그림 14. 질화막 두께 대 캐패시턴스와 절연파괴 전압
Fig. 14. Capacitance and Breakdown voltage with contents of nitride thickness

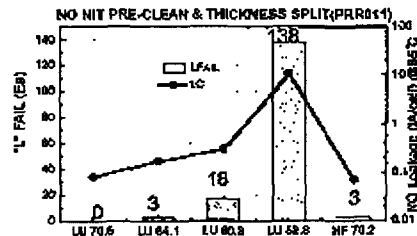


그림 15. 질화막 두께에 따른 불량률
Fig. 15. Failure with contents of nitride thickness

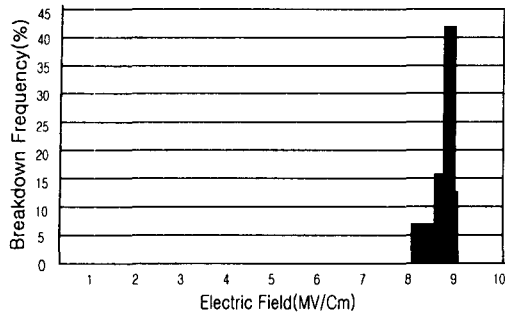


그림 16. HSG-Si 캐패시터의 절연파괴 전기장
Fig. 16. Breakdown field distribution of HSG-Si capacitor

그림 15는 이들 절연막 두께에 따른 시료에 대하여 누설전류에 대한 불량을 나타낸 것으로서 I-V 측정의 결과에서와 마찬가지로 60Å 이하의 경우 불량이 급격히 증가됨을 재확인할 수 있었다. 따라서 이들 시료에 대한 전기적 특성의 결과로 절연막의 두께는 약 65Å이 최적 조건임을 평가하였고 이들 조건에서의 절연 파괴 전기장은 그림 16에 나타내었는데 그림에서와 같이 절연파괴 전기장이 8~9MV/cm로 일반적인 기존의 stacked capacitor에 대한 전기장과 크게 변동이 없게 나타난 것으로 미루어 HSG를 형성한 캐패시터의 결합 밀도가 낮고 전기적 특성에 문제가 없다고 판단된다.

N. 결론

HSG-Si의 형성으로 저장전극의 표면적을 증가시켜 기존의 캐패시터보다 약 2배가량의 셀캐패시턴스 향상을 확보할수 있음을 확인하였고, 인농도의 변화가 HSG의 grain크기에 밀접하게 관계됨을 알수 있었다. 또한 HSG의 두께에 따라 Cs는 증가하는 것으로 나타났지만 500Å 이상으로의 과도한 형성은 전극간을 연결시키는 가교불량이 유발 됨을 확인하였다. 이들 시료에 대한 절연파괴전기장을 측정한 결과 8~9MV/cm에 집중적으로 분포되어있는 것으로 보아 결합밀도에 문제가 없는 것으로 사료되며 인농도가 증가되면서 저장전극이 결정화 피크를 나타내고 이로인하여 HSG의 형성불량이 나타나고 이와 유사한 현상으로 저장전극의 증착 온도가 540°C 이상인 시료에서는 결정 피크가 나타나며 Cs도 저하되는 현상이 나타났다. 이상의 결과로 HSG형성의 최적 조건은 인농도가 3.0-4.0E19

atoms/cm², 저장폴리의 증착 온도는 530°C, HSG의 두께는 약 400Å이 최적의 공정 조건이며, 또한 이들 공정조건을 이용한 캐패시터의 형성시 유전막의 두께는 65Å이 한계임을 확인되었다. 단, CVD 챔버 내부의 가스공급 튜브의 개선이 추후 과제로 남아있다.

참고문헌

- [1] Y. Kawamoto, T. Kaqa, "A 1.28μm² bit-line shielded memory cell technology for 64Mb DRAM," in Proc. Symp. VLSI Technol., 1990, pp. 13-14.
- [2] T. Ema, S. Kawanago, and T. Nishida, "3-dimensional stacked capacitor cell for 16M and 64M DRAM's," in IEDM Tech. Dig., 1988, pp. 592-595.
- [3] S. Inoue, A. Nitayama and Horiguchi, "A new stacked capacitor cell with thin box structured storage node," Proc. 21st Solid-State Devices and Materials Conf., 1989, pp. 141-144.
- [4] W. Wakamiya, Y. Tanaka, and H. Kimura, "Novel stacked capacitor cell for 64Mb DRAM," Proc. Symp. VLSI Technol., 1989, pp. 69-70.
- [5] H. Watanabe, N. Aoto, S. Adachi and K. Terada, "A new stacked capacitor structure using hemispherical-grain poly-silicon electrodes," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 873-876.
- [6] Y. Hayashide, and H. Miyatake, "Fabrication of storage capacitance-enhanced capacitors with a rough electrode," Proc. 22nd Solid-State Devices and Materials Conf., 1990, pp. 869-872.
- [7] M. Sakao, N. Kasai, T. Ishijima, and E. Ikawa, "A capacitor-over-bit-line cell with a hemisphericalgrain storage node for 64Mb DRAM," IEDM Tech. Dig., 1990, pp. 655-658.
- [8] M. Yoshimaru, J. Miyano, and M. Ino, "Rugged surface poly-Si electrode and low temperature deposition Si₃N₄ for 64Mbit and STC DRAM cell," IEDM Tech. Dig., 1990, p. 659.

- [9] H. Watanabe, and N. Aoto, "New stacked capacitor structure using hemispherical grain polycrystalline-silicon electrodes," Appl. Phys. Lett., vol. 58, 1991, pp. 251-253.
- [10] H. Watanabe, S. Adachi and N. Aoto, "Device application and structure observation for hemispherical grained Si," J. Appl. Phys., vol. 71, 1992, p.3538.
- [11] H. watanabe, T. tatsumi, "HSG-Si formation on in-situ Phorphous doped amorphous-Si Electrode for 256Mb DRAM's capacitor," IEEE Tran. on ED., vol. 42, no. 7, 1995



정양희(Yng-Hee Joung)

1983년 2월 단국대 응용물리학과 졸업
(공학사)

1985년 8월 인하대 응용물리학과 졸업
(공학석사)

1993년 8월 인하대 전자재료공학과 졸업
(공학박사)

1988-1995년 LG반도체 선임연구원

1995-현재 여수대학교 전기공학과 조교수

※관심분야 : VLSI공정 및 반도체물성

강성준(Seong-Jun Kang)

1989년 2월 인하대 응용물리학과 졸업(공학사)

1994년 8월 인하대 전자재료공학과 졸업(공학석사)

1999년 2월 인하대 전자재료공학과 졸업(공학박사)

현재 여수대학교 반도체,응용물리학과 전임강사

※관심분야 : VLSI materials, 강유전체박막