
나노 구조 MOSFET의 스켈링에 대한 특성 분석

장광균*, 정학기*, 이종인*

Analysis on the Scaling of Nano Structure MOSFET

Kwang-Gyun Jang, Hak-kee Jung, Jong-In Lee

이 논문은 2000년도 군산대학교 두뇌한국21사업에 의하여 일부 지원되었음

요 약

소자의 고집적화를 위한 특성분석 기술은 빠른 변화를 보이고 있다. 이에 따라 고집적 소자의 특성을 시뮬레이션을 통하여 이해하고 이에 맞게 제작하는 기술은 매우 중요한 과제 중의 하나가 되었다. 소자가 마이크로급에서 나노급 이하로 작아지면서 그에 맞는 소자개발을 위해 여러 가지 구조가 제시되고 있는데 본 논문에서는 TCAD를 이용하여 여러 가지 구조 중에서 고농도로 도핑된 ground plane 위에 적층하여 만든 EPI MOSFET를 조사하였다. 이 구조의 특성과 임팩트이온화와 전계 그리고 I-V특성 곡선을 저 농도로 도핑된 드레인(LDD) MOSFET와 비교 분석하였다. 또한 TCAD의 유용성을 조사하여 시뮬레이터로서 적합함과 나노구조 소자에서의 스켈링이론의 적합함을 보았다.

ABSTRACT

The technology for characteristic analysis of device for high integration is changing rapidly. Therefore to understand characteristics of high-integrated device by computer simulation and fabricate the device having such characteristics became one of very important subjects. As devices become smaller from submicron to nanometer, we have investigated MOSFET built on an epitaxial layer(EPI) of a heavily-doped ground plane by TCAD(Technology Computer Aided Design) to develop optimum device structure. We analyzed and compared the EPI device characteristics such as impact ionization, electric field and I-V curve with those of lightly doped drain(LDD) MOSFET. Also, we presented that TCAD simulator is suitable for device simulation and the scaling theory is suitable at nano structure device.

군산대학교 전자정보공학부

접수일자 :

1. 서 론

최근 소자의 집적도가 증가함에 따라 MOS-FET의 디자인룰(design rule)이 현재 130nm까지 감소하였으며, 2010년 이후 35nm까지 감소할 것으로 예측하고 있다[1]. 그에 따라 MOSFET 자체의 커패시턴스는 감소하고 채널 길이가 짧아져서 소자의 동작속도는 빨라지게 된다. 그러나 크기가 작은 MOSFET에서의 전류-전압 특성의 열화 및 기생 커패시턴스에 의한 성능 감쇠 등이 나타나게 되었다. 소스와 드레인 접합깊이가 얇아지면 소스와 드레인 저항이 증가하여 소자 성능이 떨어지게 된다. 또한 얇은 접합에서는 드레인 영역이 고농도가 되므로 드레인 접합부근에서 전계가 높아지게 되어 고온 캐리어 효과(hot carrier effect)가 일어난다[2][3]. 이를 해결하기 위해 소자 구조의 개선이 필요한데 본 논문에서는 개선된 구조중에서 MOSFET를 고도핑 ground plane 위에 적층하여 만든 EPI MOSFET의 타당성을 조사·분석하였으며 드레인 영역의 전계를 낮추기 위해서 드레인과 채널이 만나는 지점의 도핑농도를 줄이고 접점부위의 드레인은 도전율의 감소를 방지하기 위해 기존의 높은 도핑농도를 유지하는 저도핑 드레인(Lightly Doped Drain : LDD) MOSFET와 비교하였다. 각 구조는 Si-기반의 n-채널이며, 스켈링한 후 게이트 길이에 따른 소자의 특성 및 임팩트 이온화와 전계, 전류-전압 특성을 비교 분석하였다. 스케일링 방법은 전압과 전력을 일정하게 유지하는 정전압 스케일링(Constant Voltage Scaling)을 사용하였고, 스켈링이론이 나노 구조 소자에서 얼마나 적합한지를 고찰하기 위하여 TCAD를 사용하여 시뮬레이션 하였다.

II. 이론적 배경

초고집적회로에 사용하기 위해서는 저전력 초고속으로 동작하는 미세소자가 필요하며 이에 대한 구조적 해석을 위하여 스켈링에 대한 관심이 고조되고 있다. 스켈링에 관한 이론은 이미

1970년대 초에 정립되었으며 스켈링이론의 바탕은 소자를 줄이면서 소자 내 전계의 모양과 크기를 일정하게 유지하도록 하여서 본래의 I-V 특성곡선이 그대로 유지되도록 하는 것이다.

스켈링이론은 먼저 산화막의 함박이나 펀치스루(punch-through)현상을 방지하며 소자내의 전계가 일정하게 유지되도록 하는 풀스켈링(full scaling 또는 constant field scaling)이 있으며, 이는 모든 기하학적 크기와 전압을 스켈링 인수인 λ ($\lambda > 0$)에 의하여 소자의 크기를 $1/\lambda$ 로 선형적으로 축소시킨 경우다. 한편 트랜지스터의 인가전압이 회로의 요구되는 조건에 의해서 결정되고 소자의 크기만 $1/\lambda$ 배로 줄이는 것이 필요하다. 이것이 본 논문에서 사용한 정전압 스켈링이다[4]-[6]. 스켈링은 크기를 줄일 수 있을 뿐만 아니라 단위 면적당 소모되는 전력량과 소자의 스위칭 시간을 줄일 수 있으나 소자의 크기가 감소함에 따라 조단 채널의 형성으로 인한 고전계의 발생과 이로 인한 임팩트이온화 현상의 확대 및 펀치스루나 핀치오프현상의 조기 발생을 유도하게 된다[4]. 그러나 LDD구조를 사용하면 고전계 현상을 방지하여 게이트 전압에 의한 핀치오프 현상을 줄일 수 있고 오버랩 커패시턴스(overlap capacitance)를 감소시킬 수 있다. 또한 EPI MOSFET 구조를 사용하면 펀치스루나 분턱전압을 제어 할 수도 있다.

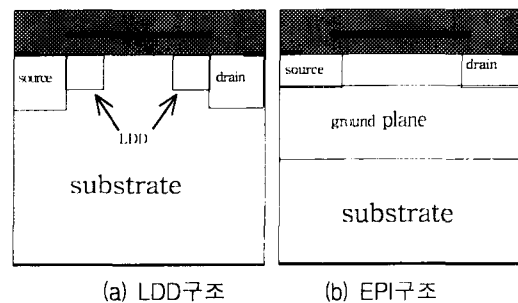


그림 1. MOSFET 구조
Fig 1. MOSFET structure

본 논문에서는 그림 1에서 도시한 LDD MOSFET와 EPI MOSFET에 대하여 정전압 스

캐일링을 사용하여 V_d-I_d , V_g-I_d 관계를 비교하여 g_m 의 변화 및 전계와 임팩트 이온화의 변화를 비교 분석하였고, 스케일링을 계속하였을 때 기존 이론의 적용 한계를 살펴보았다.

III. 실험 및 고찰

본 논문에서는 게이트 길이 180nm를 기준으로 스케일링 이론을 적용하였다. 즉, 게이트 길이 180nm인 스케일링 인수 1일 때를 기준으로 하여 스케일링 인수 2일 때 게이트길이 90nm, 3일 때 60nm, 4일 때 45nm를 각각 TCAD의 DESSIS틀로 시뮬레이션하였다.

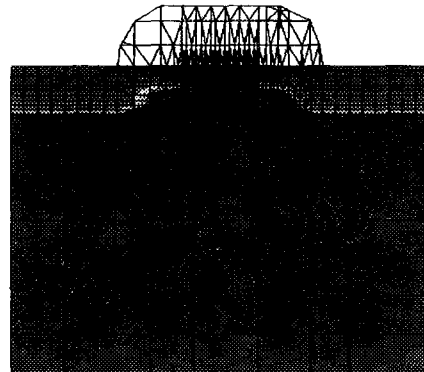
각 영역의 도핑은 가우시안(Gaussian)함수에 따른 도핑방법을 사용하였다. 각각의 게이트 길이에 따른 각 영역의 도핑농도와 게이트 산화층 두께를 표 1에 제시하였다. 각각의 도핑에서 게이트와 소스영역에는 접합깊이의 0.6, LDD 영역에는 0.5의 측면확산효과를 주었다.

바이어스 조건은 드레인 전압 $V_d=3V$, 기판 전압 $V_s=0V$ 를 인가하고 게이트 전압을 먼저 2V로 하여 LDD 구조와 EPI 구조를 관찰한 뒤 1V에서 3V까지 변화시켜가면서 게이트전압(1~3V)에 대한 전류와 전계 및 임팩트이온화를 시뮬레이션 하였다.

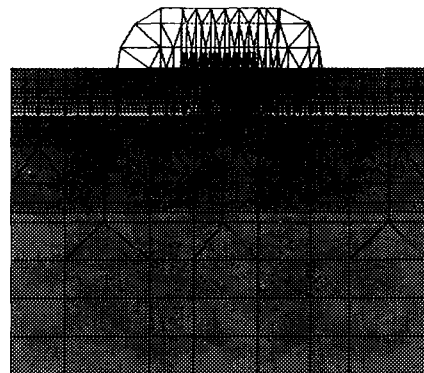
표 1 게이트 길이(L_g)에 따른 도핑농도와 게이트 산화층의 두께

Table 1. Doping concentration and depth of oxide layer for Gate length

게이트길이 (nm)		180	90	60	45	
도핑 농도 ($/cm^3$)	소스&드레인	Max	5.0×10^{19}	2.0×10^{20}	4.5×10^{20}	8.0×10^{20}
		Min	3.0×10^{16}	1.2×10^{17}	2.7×10^{17}	4.8×10^{17}
	게이트	Max	2.0×10^{16}	8.0×10^{16}	1.8×10^{17}	3.2×10^{17}
		Min	1.0×10^{16}	4.0×10^{16}	9.0×10^{16}	1.6×10^{17}
	LDD	Max	8.0×10^{18}	3.2×10^{19}	7.2×10^{19}	1.28×10^{20}
		Min	5.0×10^{16}	2.0×10^{17}	4.5×10^{17}	8.0×10^{17}
	Ground plane		3.0×10^{16}	1.2×10^{17}	2.7×10^{17}	4.8×10^{17}
	기판		3.0×10^{16}	1.2×10^{17}	2.7×10^{17}	4.8×10^{17}
	산화층두께 (nm)		4	2	1.33333	1



(a) LDD MOSFET 구조

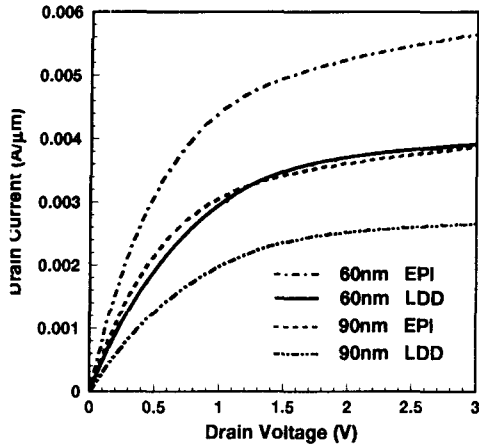


(b) EPI MOSFET 구조

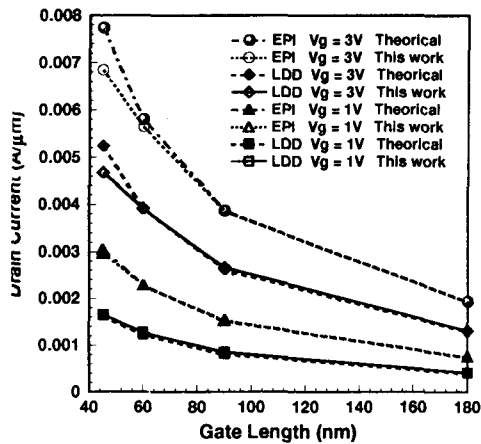
그림 2. EPI와 LDD MOSFET 그리드구조
Fig 2. Grid structure of EPI and LDD MOSFET

본 논문에서 사용한 TCAD의 MDRAW 툴로 LDD, EPI MOSFET의 그리드를 형성하여 그림 2에 도시하였다. 이러한 그리드를 사용하여 전류, 전압 및 임팩트 이온화 등을 계산하는데 사용하였다.

그림 3-(a)에서 각 게이트 길이에 대한 전류-전압 특성 곡선을 보면 EPI구조에서 전류가 더 높게 나타나는데 이것은 EPI 구조가 LDD 구조보다 동일 게이트 전압에 대해 저항이 작다는 것을 의미한다. 이것은 같은 전류가 흐를 때 EPI 구조가 LDD 구조보다 낮은 전압을 요구한다는 것을 의미하므로 EPI MOSFET를 사용하면 소비전력을 낮출 수 있다.



(a) 드레인 전압-드레인 전류 곡선



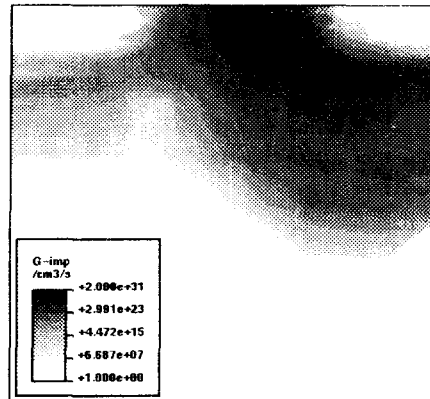
(b) 스케일링의 이론값과 모의실험값 비교

그림 3. 게이트 전압과 드레인 전류비교
Fig 3. Compare Gate voltage with Drain current

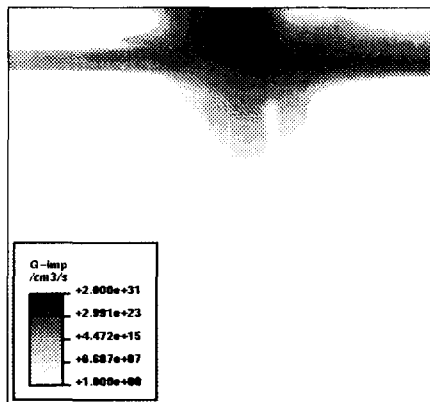
그림 3-(b)는 드레인 전압을 3V로 일정하게 유지시키면서 게이트 길이와 게이트 전압을 변화시킨 것이다. 위에서 볼 수 있듯이 실제 이론적인 스케일링 결과와 시뮬레이션 결과가 거의 같게 나오는 것을 볼 수 있고 게이트 전압이 높을수록 그리고 게이트 길이가 작아질수록 전류는 더 많이 흐르는 것을 알 수 있다.

스케일링하면 전류는 스케일링 인수배만큼 증가하

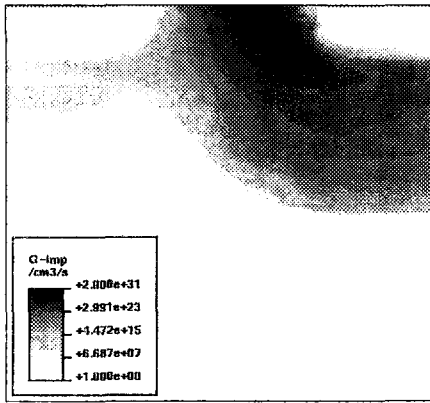
고, 전계 및 임팩트 이온화와 2차적 효과들이 증가한다. 그림 3에서 볼 수 있듯이 게이트 길이가 60nm보다 클때는 전류가 실험값과 이론값의 오차가 적으므로 스케일링이론에 적합하나 60nm이하에서는 I-V곡선이 이론에 적절하지 않음을 볼 수가 있다. 소자의 크기가 클 때 무시해도 되는 효과들이 소자가 작아지면서 소자에 영향을 미친다. 또한, 스케일링방법측면에서 보면 스케일링 인자가 4이상이면 적합하지 않는다는 것을 알 수가 있다. 이는 정전압 스케일링할 때 도핑, 산화층 두께, 영역의 크기등의 스케일링 함수들이 수정되어야 한다는 것을 제시한다. 그러므로 이에 적합한 스케일링이론이 제시되어야 하겠다.



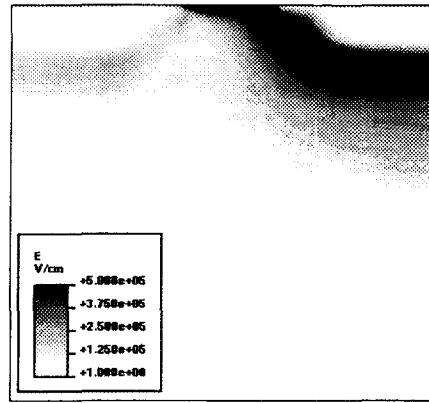
(a) 게이트 길이 60nm LDD구조



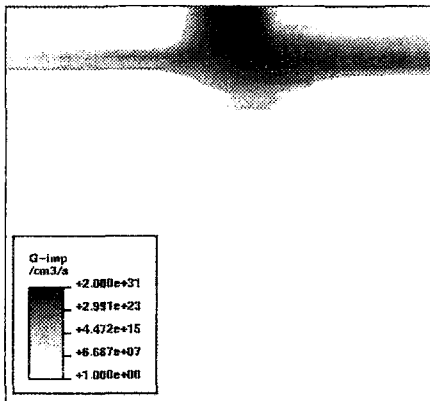
(b) 게이트 길이 60nm EPI 구조



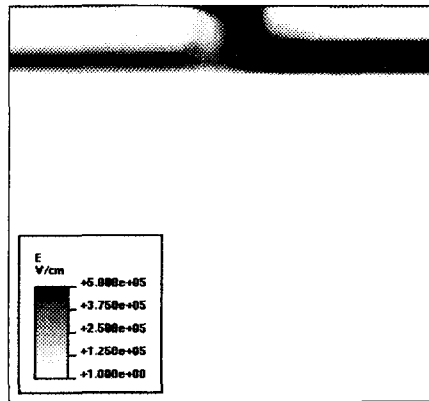
(c) 게이트 길이 90nm LDD 구조



(a) 게이트 길이 60nm LDD 구조



(d) 게이트 길이 90nm EPI 구조

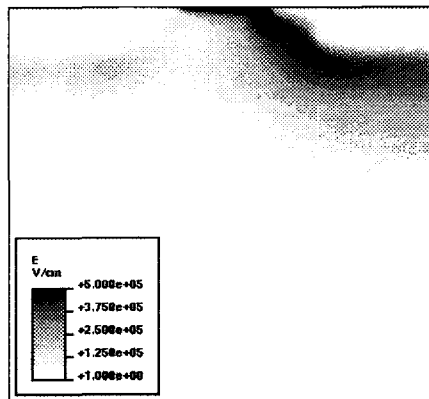


(b) 게이트 길이 60nm EPI 구조

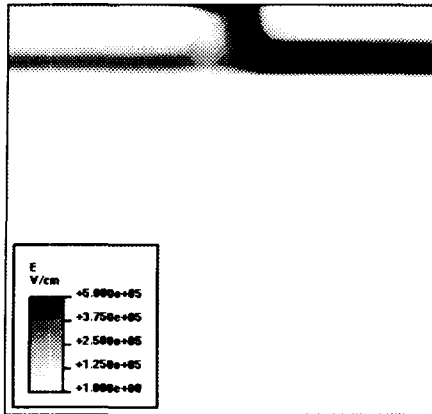
그림 4. EPI와 LDD구조에서의 임팩트 이온화
Fig 4. Impact Ionization of EPI and LDD MOSFET structure

그림 4와 5는 드레인 전압 3V, 게이트 전압 3V를 가했을 때, 임팩트 이온화율 및 전계의 크기를 나타낸 것이다. 임팩트 이온화는 고온 캐리어에 의한 산란에 의하여 전자-정공쌍을 생성하는 과정으로써 [7] [9] 전계가 높을수록 임팩트 이온화는 높게 나타난다 [10]-[12]. 그림 4와 5에서 볼 수 있듯이 채널 길이가 작아지면서 임팩트 이온화나 전계가 증가하는 것을 볼 수 있다.

전계는 측면 확산영역 안에서 최고치를 갖는다. 이러한 전계의 상승이 임팩트 이온화율의 상승을 초래한다는 것을 그림으로 알 수 있다.



(c) 게이트 길이 90nm LDD 구조



(d) 게이트 길이 90nm EPI 구조

그림 5. EPI와 LDD구조에서의 전계 세기
Fig 5. Electric field of EPI and LDD MOSFET structure

임팩트 이온화율과 전계는 LDD구조에서 드레인 접합에서 최고치를 갖는다. 이에 반해 EPI 구조는 드레인 접합에서부터 채널 깊이방향의 안쪽, 그리고 ground plane의 접합지점에서 증가하는 것을 볼 수가 있다. 이런 현상에서 EPI 구조가 고전계에서는 전력소모가 커 열이 많이 발생하나, 저전계에서는 LDD 구조보다 더 높은 구동전류를 얻을 수 있다. 높은 구동전류는 큰 용량성의 부하를 더 빠르게 스위칭할 수 있게끔 한다. 이것은 고속의 소자에서 LDD 구조보다 우수하다는 의미이다. 또한 높은 구동전류는 증폭기 특성도 향상시킬 수 있다는 장점이 있다.

일반적으로 MOSFET의 중요 관점은 속도와 집적도며, 결과적으로 LDD 구조는 집적도에서 우수한 특성을 보였고, EPI 구조는 속도와 증폭기 즉, 통신적인 면에서 우수한 특성을 보였다.

V. 결 론

본 논문에서는 정전압 스케일링 이론에 의해 채널 길이에 따라 MOSFET를 스케일링하였다. 게이트 길이가 감소되면서 임팩트 이온화율, 전계 및 전류가 증가하는 것을 확인 할 수 있었다.

EPI MOSFET구조와 LDD MOSFET구조의 전류-전압 특성을 보면 같은 전압이 인가되었을 때 LDD구조보다 EPI구조에서 더 많은 전류가 흐르는 것을 볼 수 있었다. 이것은 LDD 구조보다 EPI 구조가 더 낮은 저항을 가짐을 알 수 있다. 고전계와 임팩트 이온화율은 LDD구조보다 EPI구조에서 더 많이 발생하는데 이러한 현상은 EPI 구조가 LDD 구조 보다 낮은 전압을 요구한다는 것을 알 수 있다. 즉 전력소모가 더 낮으므로 소자의 집적도를 높일 수 있음을 알 수 있다.

스케일링 인수가 4이상에서 전류의 증가가 약간 둔화되며, 60nm이하에서는 임팩트 이온화 현상이 두드러짐을 볼 수 있었다. 따라서 60nm까지는 전류와 전압의 비례가 스케일링 이론과 거의 일치하고 임팩트 이온화 현상과 전계의 크기가 더 작은 채널 길이에 비해 양호한 수준이므로 60nm까지의 스케일링이 가장 적합하다는 것을 알 수 있었다. 그러므로 스케일링 인수 4 이상에 적합한 스케일링 이론이 제시되어야 한다고 사료된다. 또한 현재 사용되고 있는 소자의 구조는 나노구조까지는 여러 가지 전기적 요소들을 수용할 수 있겠으나 그 이하로 소자의 크기가 줄어들 경우 보다 새로운 소자 구조를 개발할 필요가 있음을 알았으며 스케일링이론의 수정 등 이론적인 개선이 요구됨을 알았다.

감사의 글

본 연구는 2000도 군산대학교 두뇌한국21 사업에 의하여 이루어진 연구로서, 관계부처에 감사드립니다.

참고 문헌

- [1] Takayasu Sakurai, "VLSIs in the year 2010 and beyond -From a designer's point of view-", *JSAP International No.3*, January 2001.
- [2] J. Y. Tang and K. Hess. "Theory of hot electron emission from silicon into silicon"

dioxide." J. Appl. Phys. vol. 54. pp. 5145-5151, 1983.

[3] T. H. Ning and H, N. Yu. "Optically induced injection of hot electrons into SiO₂." J. Appl. Phys. vol. 45, pp. 5373-5378, 1978.

[4] John P. Uyemura, *Fundamentals of MOS Digital Integrated Circuits*, p.49-57, 1988.

[5] Dale L. Critchlow, "MOSFET Scaling The Driver of VLSI Technology", IEEE, Vol 87, No 4, p659-667, 1999.

[6] Sima Dimitrijevic, *Understanding Semiconductor Devices* pp.471-478, Oxford University Press, 2000.

[7] A. Duncan, U. Ravaioli, J. Jakumeit, IEEE Trans. ED, p.869(1998)

[8] H.K.Jung, H.Nakano, K.Taniguchi, 6th International Workshop on Computational Electronics, 1998.

[9] Y. Kamakura, K. Taniguchi, J. Appl. Phys. 75, p.3500, 1994.

[10] H.K.Jung, K. Taniguchi, C. Hamaguchi, J. Appl. Phys. 79, pp. 2559-2565, 1996.

[11] T. Kunikiyo, M. Takenaka, Y. Kamakura, M. Yamaji, H. Mizuno, M. Morifuji, K. Taniguchi, and C. Hamaguchi, "A Monte Carlo simulation of anisotropic electron transport in silicon including full band structure and anisotropic impact ionization model." J. Appl. Phys. vol. 75, pp.297-312, 1994.

[12] C. K. You, S. W. Ko, H. K. Jung, K. Taniguchi, "A Study on Temperature and Field Dependent Impact ionization Coefficient for Silicon Using Monte Carlo Simulation", ICPS, M019, 2000.



장 광 균(Kwang-Gyun Jang)
2000년 2월 군산대학교 전자공학과 졸업
2000년 3월~군산대학교 대학원 전자정보공학부 석사과정중
※관심분야 : 반도체 및 통신소자



정 학 기(Hak-Keo Jung)
1983. 2 아주대학교 전자공학과 졸업(BS)
1985년 2월 연세대학교 대학원 전자공학과 석사졸업(MS)
1990년 8월 연세대학교 대학원 전자공학과 박사과정 졸업(Ph. D.)
1994년 7월~1995년 7월 일본 오사카대학 객원연구원
2001년 6월 현재 군산대학교 전자정보공학부 교수
※관심분야 : 반도체 및 통신소자



이 종 인(Joung-In Lee)
1979년 2월 울산대학교 전자공학과(공학사)
1983년 2월 전북대학교 대학원 전자공학과(공학석사)
1987년 2월 전북대학교 대학원 전자공학과(공학박사)
1989년~1991년 3월 전자공학과장
1991년~1993년 2월 공과대학교무과장
2001년 6월 현재 군산대학교 전자정보공학부 교수
※관심분야 : 반도체 및 통신소자