

---

# ISL 게이트에서 측정과 시뮬레이션의 결과 비교

이용재\*

## The Results Comparison of Measurement and Simulations in ISL(Integrated Schottky Logic) Gate

Yong-Jae Lee

### 요 약

집적 쇼트키 논리 게이트에서 전압 스윙을 크게 하기 위해서 백금 실리사이드 쇼트키 접합의 전기적 특성을 분석하였고, 이 접합에서 프로그램으로 특성을 시뮬레이션 하였다. 분석 특성을 위한 시뮬레이션 프로그램은 제조 공정용 SUPREM V와 모델링용 Matlab, 소자 구조용의 Medichi 툴이다. 시뮬레이션 특성을 위한 입력 파라미터는 소자 제작 공정의 공정 단계와 동일한 조건으로 하였다. 분석적인 전기적인 특성들은 순방향 바이어스에서 턴-온 전압, 포화 전류, 이상인자이고, 역방향 바이어스에서 항복 전압을 실제 특성과 시뮬레이션 특성 사이의 결과를 보였다. 결과로써 순방향 턴-온 전압, 역방향 항복전압, 장벽 높이는 기판의 증가된 농도의 변화에 따라서 감소되었지만, 포화전류와 이상인자는 증가되었다.

### ABSTRACT

We analyzed the electrical characteristics of platinum silicide schottky junction to develop the voltage swing in Integrated Schottky Logic gates, and simulated the characteristics with the programs in this junctions. Simulation programs for analytic characteristics are the Medichi tool for device structure, Matlab for modeling and SUPREM V for fabrication process. The silicide junctions consist of PtSi and variable silicon substrate concentrations in ISL gates.

Input parameters for simulation characteristics were the same conditions as process steps of the device fabrications process. The analitic electrical characteristics were the turn-on voltage, saturation current, ideality factor in forward bias, and has shown the results of breakdown voltage between actual characteristics and simulation characteristics in reverse bias. As a result, the forward turn-on voltage, reverse breakdown voltage, barrier height were decreased but saturation current and ideality factor were increased by substrates increased concentration variations.

---

\* 동의대학교 전기전자정보통신공학부 전자전공  
접수일자: 2000. 8. 25

## I. 서론

논리 게이트에서 기존의 고속인 ECL 게이트는 고속의 장점 대신에 설계시 넓은 면적을 차지하는 문제점에서 좁은 면적으로 간단한 바이폴라 논리 게이트에서 집적 쇼트키 논리 게이트가 소개 되었으나 세계적인 CMOS 추세에 밀려난 듯하다. 낮은 임계전압을 갖는 쇼트키 다이오드가 크래프 회로로 이용되는 고속 바이폴라 논리회로에서 낮은 임계전압의 소자가 요구되며, 실제 소자와 시뮬레이션 소자와의 특성이 유사한 파라미터의 추출이 논리 회로의 게이트 시뮬레이션에서 입력 파라미터로 요구된다[1]. 이는 고속, 저 전력 소모의 고집적 논리 게이트를 위해 실제 제작, 내구성과 재현성을 위해 백금 실리사이드 접합이 필요하며, 이접합의 순방향 특성 분석과 특성 모델 파라미터를 추출하여 이를 이용한 시뮬레이션 특성이 필요하다[2].

본 연구는 고집적의 바이폴라 논리회로 제작에서 속도 개선, 전력 소모의 감소와 집적도를 고려한 전압 스윙 측면을 개선시킨 논리 회로가 집적 쇼트키 논리이다. 이 게이트에서 입력과 출력의 진위차인 전압 스윙에 결정적인 특성 인자가 바로 쇼트키 다이오드의 순방향 특성이며, 이 게이트 해석을 위해 프로그램의 이용한 특성을 추출하는 시뮬레이션의 결과와 실제 제작한 게이트의 특성을 비교하여 실제 구성 게이트 소자의 성능 개선을 위한 분석이 핵심적인 연구이다. 게이트에서 크래프로 이용한 백금실리사이드 정류성 접합의 집적 쇼트키 논리(ISL: Integrated Schottky Logic) 게이트에서 전압 스윙을 개선하고자 하며, 특성을 기능에 따라 시뮬레이션하고, 이 결과를 실제 게이트 구성 소자와 특성을 비교하며, 추후 프로그램의 틀의 입력 파라미터의 분석 시뮬레이션용 특성을 추출하고자 한다.

## II. 게이트 제작

소자 분석용 프로그램의 입력 파라미터 추출에 필요한 게이트 제작은 실리콘 공정으로 하였으며, SUPREM (Standford University PProcess Engineering Models) V의 프로그램을 통한 ISL 게이트의 소자 구성 소자의 공정 조건을 입력하여 시뮬레이션 한 후 이를 바탕으로 데이터로 기판은 <111>, 비저

항이 0.8-1.2[Ω-cm] n형 실리콘 웨이퍼를 사용하였다. 게이트 제작전 미리 SUPREM V의 시뮬레이션 과정과 최적의 이온 주입 조건을 추출한 결과로 5가 원소 인(Phosphorus)이 비소(As) 보다 확산도가 빠르고, 백금 실리사이드 형성 때 편석계수도 양호한 특성을 보이는 결과 그림1의 시뮬레이션 과정에서 도출하였다. 그림1은 시뮬레이션과 실제 제작한 소자의 특성을 분석하기위한 소자 제작 순서이다. 주요 공정을 설명하면, 실리콘의 저항성 접촉을 위한 POC13 처리 후 정류성 접합의 농도 변화로써 그림 1의 데이터를 바탕으로 이온 주입 공정으로 엔(n)-형의 비소보다 안정된 결과가 도출된 인을 기판 자체의 농도,  $2 \times 10^{12}$ ,  $5 \times 10^{12}$ ,  $8 \times 10^{12}$  및  $1.2 \times 10^{13}$ [원자/cm<sup>2</sup>]로 가속 에너지 35[KeV]로 주입하였다. 이온의 활성화를 [1] 위하여 925[°C]에서 30분간 질소 분위기에서 열처리를 함으로써 인이 불순물로서의 역할을 하도록 어닐링 공정을 하였다. 그림 2는 위의 공정을 SUPREM V를 통한 공정 시뮬레이션을 위한 흐름도이다.

게이트 제작의 전 공정으로 특히 기존의 실리콘과 알루미늄의 접촉에서 발생하는 스파이크 현상을 방지하면서도 재현성에서 뛰어난 특성의 접합을 위한 실리사이드 형성을 위해 실리콘 표면에  $3 \times 10^{-6}$ [Torr]의 진공상태에서 아르곤을 유입시켜서 스퍼터 식각을 2분간 행한 후 약 600[A]의 백금을 증착시킨 후 550[°C] 질소 분위기에서 소결 처리하여 백금 실리사이드를 형성시켰다.

집적 쇼트키 논리 게이트의 공정 시뮬레이션 결과를 기초로 하여 논리소자의 제작의 주요 과정이 그림 3으로써, 논리 게이트 내의 소자 제작의 전반적인 공정 흐름과 동일한 시뮬레이션 결과를 기초로한 제작 과정이다. SDB 공정은 위의 그림 1의 백금 실리사이드와 실리콘의 정류성 접합 공정이며, 이 백금 실리사이드는 최근 MOSFET의 게이트 전극으로도 각광을 받고 있으며,[4] 고속의 바이폴라 ECL 분야에서도 크래프 소자에서 필수불가결한 접촉 물질이다. 블록의 P+ 공정은 산화막 격리를 위한 흑시 형성될수도 있는 채널 멈춤을 위한 p형 플러그 공정과정이다. 부하저항 블록은 게이트의 전달 지연 시간을 측정하기 위해서 게이트를 홀수로 연결하며 마지막 단에서 출력을 측정하는 링발진기의 컬렉터 단자의 부하저항을 위한 공정이다.

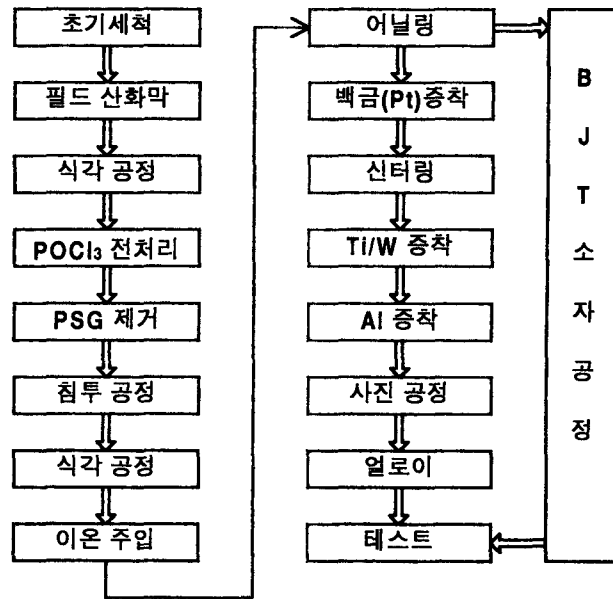


그림 1. 게이트 제작 공정 흐름  
Fig. 1 Fabrication Process Sequence of gates

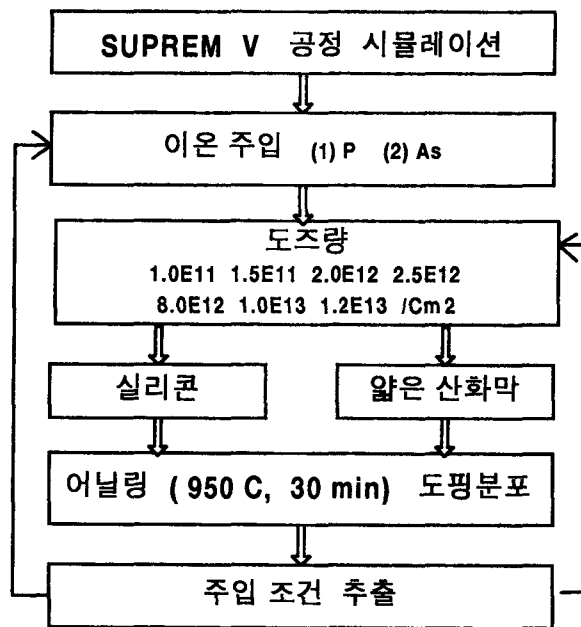


그림 2. 백금 실리사이드 접합을 위한 기판 농도 시뮬레이션 순서  
Fig. 2 Substrate concentration simulation Sequence for Pt silicide

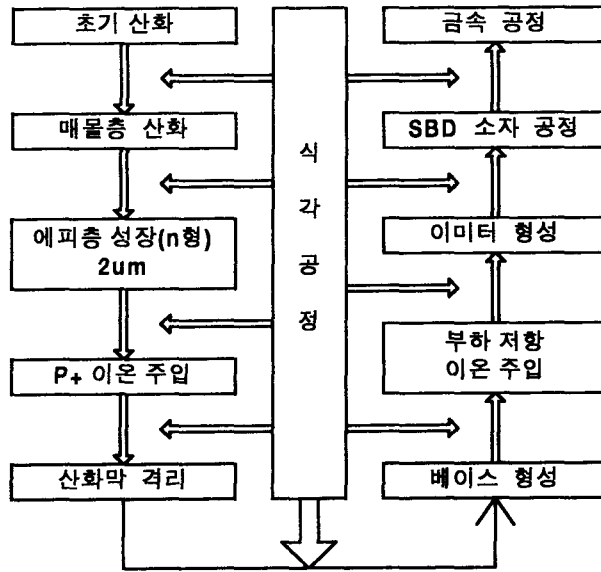


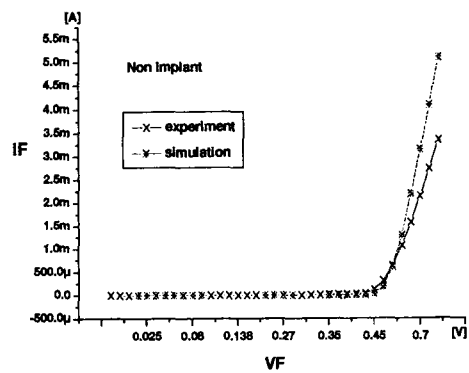
그림 3 집적 쇼트키 논리 게이트의 제작 공정 순서  
Fig. 3 Fabrication process sequence of Integrated Schottky Logic gate

### III. 순방향 특성 결과와 시뮬레이션 결과

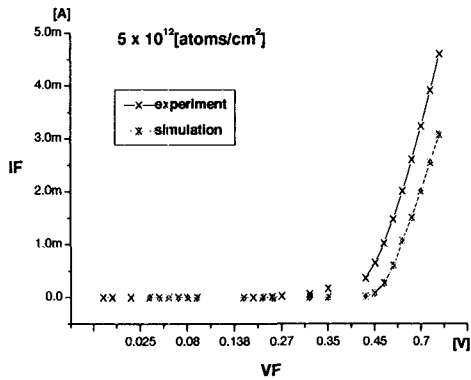
제작한 논리게이트의 백금실리사이드 정류성 접합 소자에서 전류-전압의 전기적 특성을 측정하고, 여기서 추출한 특성 파라미터를 프로그램 규칙의 입력값으로 회로 분석용 SPICE(Simulation Program with Integrated Circuit Emphasis)프로그램과 실제 예상 가능한 전류의 형성 메카니즘을 이용한 파라미터를 기초로 MATLAB 프로그램을 이용하여 특성을 시뮬레이션 하여 추출하였다.

논리 게이트에서 전압 스윙의 진폭을 결정할 정류성 접합은 Gummel-Poon 모델로 대부분 구성된 각 파라미터를 회로분석 프로그램으로 시도한 특성이 그림4로 SPICE 프로그램을 이용한 결과이다. 게이트 임계 특성을 보일 미세한 전류의 구분은 접합면적의 넓이를 기준으로 하였으며, 순방향 임계전압의 측정을 위해 접합 부분의 전류밀도가  $1[A/cm^2]$  일 때의 전압을 기준으로 하여 실리사이드 접합 부분의 넓이  $2,500\mu m^2$ 이기에 임계 전류가  $25[\mu A]$  호를 때의 전압을 임계전압으로 규정하고, 농도 변화에 의한 전압 특성을 측정하여 시뮬레이션 한 결과의 분석으로 저 전압 부분의 임계전압은 상당히 일치하였다. 높은 전

류 부분은 동일 접합의 전류에서 시뮬레이션 결과에서 전류가 낮게 나타났는데, 이는 내부의 직렬 저항 성분을 SPICE 프로그램에서 내부의 파라미터로 입력할 수 없으며, 또한 외부의 파라미터로는 전류가 선형적이지 않기 때문이다. 이런 문제점을 개선하기 위해서 MATLAB 프로그램을 이용한 여러 인자를 변화 시키면서 실제 논리특성과 거의 일치하는 시뮬레이션이 요구된다.



(a) 불순물 비주입



(b) 불순물  $5 \times 10^{12}$  [atoms/cm<sup>2</sup>] 주입

그림 4. SPICE에 의한 농도 변화에 따른 임계전압 측정과 시뮬레이션 결과

Fig. 4 Measurement and Simulation results of threshold voltage along to concentration variations by SPICE

이를 위해 게이트에서 정류성 접합의 특성 시뮬레이션 모델로 전위 장벽에 대해 전류 성분으로 나타나는 '열전자 방출 전류'[2,6]를 정량적인 표현을 위해, 기판을 n형으로 백금 실리사이드 접합으로 하여 전자

의 주입으로 전류 성분이 형성되는 것으로 모델링을 하였다. 전류 성분은 우선 식 1로 코딩을 하여 특성을 부분적으로 필요한 파라미터를 입력하였으며, 이때 저농도에서는 인가전압에 따라 전류 성분은 장벽높이를 넘어서 전자가 지나가고, 점점 접합부가 고농도로 됨에 따라 공핍층이 얇아져서 전자의 터널링 성분이 많아진 전류 성분이다. 이때 전류량의 증가는 장벽의 낮아짐 현상, 인가전압, 온도 증가에 따라 반도체 내부 열전자의 왕성한 운동에 따라 열이온 방출식 (1)으로 설명 할 수 있다.[2,5]

$$J_{TE} = [A^{**} T^2 \exp(-q \frac{\Phi_{BN}}{kT})] [\exp(\frac{qV_F}{kT}) - 1] \dots\dots\dots (1)$$

여기에서  $A^{**}$  리차르드슨 상수로  $4\pi q m_0 k^2 / h^3$ 으로 상온에서 계산값  $120A/(cm^2 \cdot k^2)$ 으로 입력하였고,  $T$  절대온도,  $\Phi_{BN}$ 은 장벽 낮아짐 효과를 고려한 장벽 높이,  $k$ 는 볼츠만 상수를 나타낸다. 이런 인자들을 고려하여 기판 농도 변화에 따른 시뮬레이션 결과가 그림 5이다. 여기에서 전류-전압 특성은 낮은 기판 농도에서 비교적 높은 임계전압 특성을 나타내며, 이온주입 농도가 높아짐에 따라 임계전압이 낮아지는

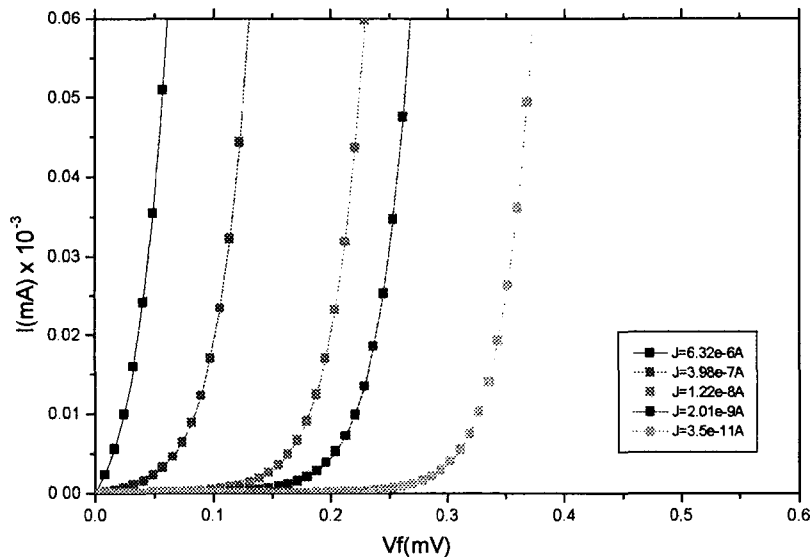


그림 5. MATLAB 프로그램에 의한 순방향 시뮬레이션 결과  
Fig. 5 Forward Bias Simulation Results by MATLAB program

$$\Phi_{BN} = \frac{kT}{q} \ln(A^{**} T^2 / J_s) \dots\dots\dots (2)$$

$$n = (q/KT)V / \ln(J/J_s) \dots\dots\dots (3)$$

여기에서 n은 이상인자(Ideality Factor)로써 인자의 의미는 값이 1이면 전자가 거의 장벽을 넘어서 전류가 형성되며, 2는 거의 전자가 장벽을 터널링한 성분으로 구성된다는 것이다. 이상인자의 추출값은 낮은 농도에서 1.04에서 1.82값으로 증가하는 결과로 고농도 일수록 전자 터널링 성분이 많아진다는 것을 나타낸다.

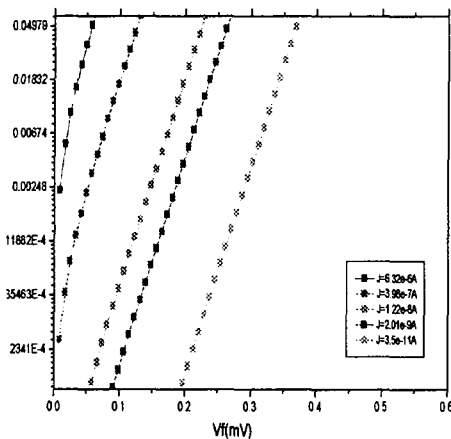


그림 6. 이상인자와 포화전류 추출을 위한 시뮬레이션 결과  
Fig. 6 Simulation results for the Ideality factor and Saturation current extraction

#### IV. 역방향 특성과 시뮬레이션

농도가 다른 기판의 정류성 접합에서 역방향 항복

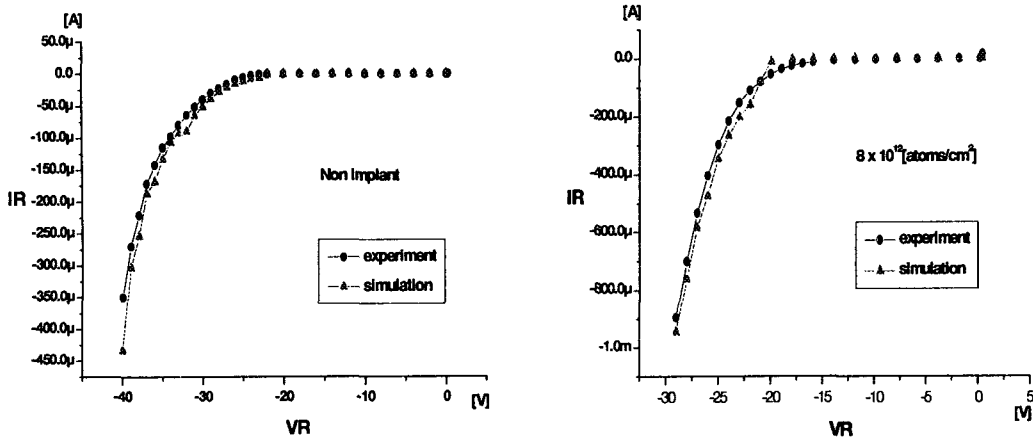
특성은 역시 열방출 이론식(1)에서 VF 대신 VR로 대체시킨 식(4)에 따른다.[2,4,5]

$$J_{BR} = [A^{**} T^2 \exp(-q \frac{\Phi_{BN}}{kT})] [\exp(\frac{qV_R}{kT}) - 1] \dots\dots\dots (4)$$

식(4)에서 음의 역방향 전압  $V_R$ 이 조금만 증가하여도  $\exp(\frac{qV_R}{kT})$ 는 0이 되어 역방향 포화값에 이르게 되며, 항복전압은 일정한 전계의 크기  $10^6[V/cm]$ 에 도달한다. 접합의 기판농도 변화에 따른 전압은 비주입의 항복전압 38.6-45.3[V], 주입량이  $2 \times 10^{12}$  이온/cm<sup>2</sup>에서 29.7-43.2[V],  $2 \times 10^{12}$ [이온/cm<sup>2</sup>]에서 28.4-34.5[V],  $5 \times 10^{12}$ 에서 24.4-29.7[V],  $1.2 \times 10^{13}$ [이온/cm<sup>2</sup>]에서 11.2-0.45[V]로 주입량의 증가에 따라서는 전체적으로 항복전압이 감소하였고, 기판의 측정 온도 변화에 따라서는 온도 증가에 따라 항복 전압이 증가하는 결과가 나타났다.

정류성 접합 다이오드의 불순물 주입량과 온도 변화에 따라 역방향 전압 인가시 농도 변화에 따라서는 눈사태 항복에서 터널링에 의한 항복현상이 나타나며, 중간정도의 농도에서는 눈사태의 전류 성분과 터널링의 전류 성분이 공존하는 특성을 나타낸다.  $1.2 \times 10^{13}$ [이온/cm<sup>2</sup>]와 같이 다량 주입 시에는 장벽을 통한 전자의 터널링을 위하여 공핍영역이 충분히 얇아지면서 거의 저항성 특성이 나타났다.

시뮬레이션의 결과(그림 7의 삼각형 표시)도 실제 특성과 큰 차이가 없이 오차의 범위가 적은 특성으로 SPICE 모델 입력 파라미터로 설정이 가능한 시뮬레이션 결과가 도출되었다. 이는 접합이 고농도가 될수록 공핍층이 얇아져서 전자가 터널링 할 수 있는 확률이 기판의 접합 농도만큼 증가되기 때문에 눈사태 항복성분에서 터널링 전류 성분의 증가로 인해 항복



(a) 불순물 비주입

(b) 불순물  $8 \times 10^{12}$  [atoms/cm<sup>2</sup>] 주입

그림 7. 농도 변화에 따른 항복전압 측정과 시뮬레이션 결과  
Fig. 7 Measurement and Simulation results of Breakdown voltage by concentration variations

전압이 낮아지는 결과로써 이론과 시뮬레이션 특성이 일치하였다.

### V. 결과 고찰

게이트에서 백금 실리사이드 접합의 소자와 MATLAB에 의한 시뮬레이션 결과를 종합적으로 나타낸 것이 그림 7이며, 동일 전압에서 시뮬레이션 결과가 실제 소자의 전류 특성값보다 약간 높은 전류밀도가 나타나는데, 이는 이론적인 수식을 모델화한 입력 파라미터가 실제에 추출을 못한 값 때문에 내부 저항 성분에 의한 전압강하가 없기 때문에 약간 높게 나타난 것으로 분석된다.

접합부위의 농도 변화에 따른 임계전압의 추출 결과가 집적 쇼트키 논리 게이트에서 낮으면 낮을수록 출력과 입력 진폭의 차이가 큰 전압 스윙값을 가질 수 있기 때문에 임계전압의 추출이 전압 스윙값을 유추할 수 있다. 이온의 비주입 상태의 정류성 접합에서 임계전압은  $0.38[V]$ ,  $2 \times 10^{12}$  [이온/cm<sup>2</sup>]에서  $0.29[V]$ ,  $5 \times 10^{12}$  [이온/cm<sup>2</sup>]에서  $0.22[V]$ ,  $8 \times 10^{12}$  [이온/cm<sup>2</sup>]에서  $0.139[V]$ 와  $1.2 \times 10^{13}$  [이온/cm<sup>2</sup>]에서  $0.01[V]$  정도로 각각 측정되었다.

온도의 영향으로 변화될 수 있는 임계전압 변화는 동일한 농도에서 온도증가에 따라 감소되는 특성이 그림 8로써, 기판 농도와 온도 변화에 따른 접합의 장벽 높기와 이상인자와 포화전류를 구하기 위해서 전류-전압 특성을 전류축을 로그축으로 잡고 외삽법을 이용한 측정 결과의 포화전류는  $325[pA]$ ,  $953[pA]$ ,  $8.50[nA]$ ,  $135[nA]$ ,  $371[nA]$ 로 증가하는 경향으로 나타났다. 임계전압 이하 전압에서 그림 6의 시뮬레이션 특성에서 외삽법으로 이온 주입량과 온도 변화에 따른 포화전류의 측정결과로부터 위 식(2)를 변형하여 추출한 이상인자(n)는 각각 1.04, 1.05, 1.07, 1.67, 1.82의 값으로 추출되었다. 이 증가 결과의 고찰은 이상인자가 1일 때는 전류가 거의 열이온 방출에 의해 형성되며, 1보다 점점 커감에 따라 열이온 방출과 더불어 접합 장벽의 전자의 터널링 현상으로 기여하는 터널링 전류가 점점 더해짐을 의미[2,5,6]한다. 이는 정류성 접합에서 고농도가 될수록 공핍층이 짧아져서 전자가 터널링 할 수 있는 확률이 접합 농도 증가 만큼 터널링 확률이 증가되기 때문에 눈사태 항복성분에서 터널링 전류 성분의 증가로 인해 항복전압은 낮아지는 결과로 도출되었다.

시뮬레이션 결과와 실제 특성의 비교에서 항복전압이 접합농도가 증가할수록 낮아지며, 임계전압도

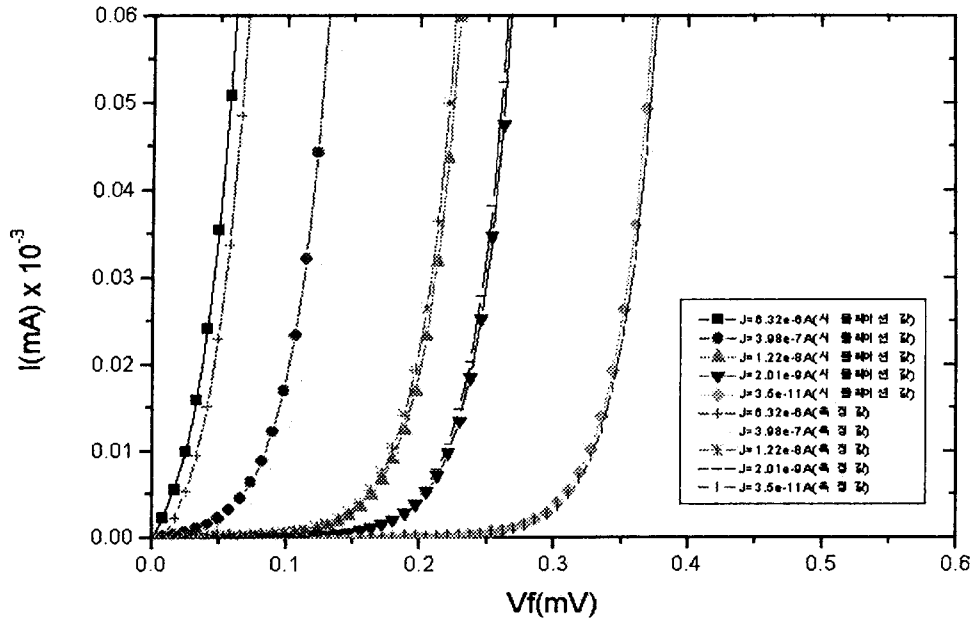


그림 8. 실제 소자와 프로그램에 의한 시뮬레이션 결과 특성 비교  
 Fig. 8 Characteristics comparison of results between actual device and simulation results by program

낮아지는 이상적인 특성에 접근하는 결과의 정특성을 보였다. 또한 고농도 이온 주입 기판에서 온도가 증가하면 금지대폭이 좁아지므로 전위장벽의 높이와

폭이 감소한다. 그러므로 터널링 효과 항복은 보다 낮은 역전압에서 일어나는 온도 증가에 따라 부특성으로 결과 측정과 시뮬레이션 특성이었다.

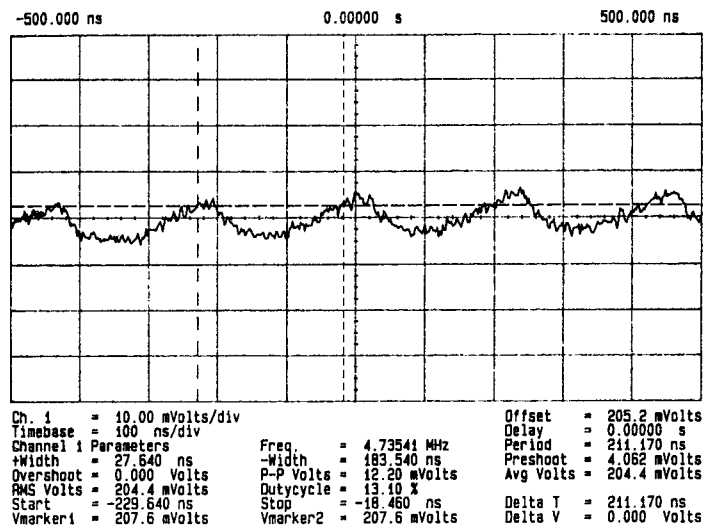


그림 9. 제작한 ISL 게이트의 링 발진기의 발진파형  
 Fig. 9 Oscillation Waveform of Ring Oscillator of fabricated ISL gate



따라서 이를 바탕으로 논리 게이트의 전압 스윙폭은 시뮬레이션의 결과를 바탕으로 제작전에 정확하게 예상 가능할 수 있는데, 즉 바이폴라 트랜지스터의 이미터-베이스( $V_{be}$ ) 전압에서 출력의 백금 실리사이드 순방향 임계전압과 컬렉터-이미터( $V_{ce.sat}$ )의 포화전압을 빼면 바로 논리전압 스윙 폭이 된다. 따라서 바이폴라 트랜지스터의  $V_{be}$ 나  $V_{ce.sat}$  전압은 거의 변화하지 않기 때문에 백금 실리사이드의 순방향 임계전압이 낮으면 전압 스윙폭이 커진다.

### VI. 결론

집적 쇼트키 논리 게이트의 전압 스윙폭의 개선과 시뮬레이션을 위한 게이트 내부 소자에서 백금 실리사이드와 엔-형 실리콘의 정류성 접합은 순방향 특성으로는 인의 주입량의 증가에 따라 임계전압이 낮아지며, 포화전류는 증가하였고, 이상인자는 1에서 2 가까이 증가되었으며, 이는 터널링에 의해 전류가 형성되는 성분이 증가함을 의미한다. 장벽높이는 에너지대의 실리사이드와 반도체의 일함수의 차이로 낮아지며, 공핍층 길이의 감소 결과가 실제 측정 분석 결과와 프로그램에 의한 시뮬레이션의 특성 결과가 거의 동일한 특성이 나타났다. 역방향 특성은 이온 주입량이 증가함에 따라 항복 전압값이 낮아지는 특성으로 이론적인 결과와 일치하였는데, 기판 자체의 농도에서의 눈사태 항복에서 이온량의 증가로 고농도의 접합이 되면서 전자 터널링의 항복 현상의 증가로 항복값이 감소되었다. 그러므로 백금 실리사이드의 정류성 접합에서 순방향 임계전압의 임의적 변동으로 집적 쇼트키 논리 게이트의 문제점인 전압 스윙폭의 개선과 정확한 전압 스윙값을 유추할 수 있다.

온도 변화에 따른 전류-전압 특성 결과는 측정 온도 증가에 따라서 열 방출 이온으로 증가된 전도전류와 낮아진 장벽에 의해 순방향 임계전압은 감소하고, 이상인자, 포화전류는 증가되었다. 역방향 항복전압은 온도 증가에 따라서 동일 농도의 접합에서 증가하였고, 고농도에서는 터널효과 항복에 의해 낮은 항복 전압이 나타났다.

따라서 이를 바탕으로 백금 실리사이드 실리콘의 접합 부분의 농도를 변화시켜 낮아지는 임계전압특성과 관련된 특성을 여러 조건에서 측정 및 프로그램으로 특성을 시뮬레이션하여 이를 ISL 특성을 예상

및 실제 논리회로를 제작하고자 한다.

### 참고문헌

- [1] T.Y Won "VLSI Process SIMULATION" pp. 21-109, Bando Pubulish. 2000
- [2] S. M. Sze, "Physics of Semiconductor Devices", Second Edition, pp. 279-284, 1985
- [3] S. odanaka, A. Hiroki "Potential Design and transport Property of  $0.1\mu\text{m}$  MOSFET with Asymmetric Channel profile" IEEE Trans. on Electron Device, Vol.44, No.4, pp595-600, 1997
- [4] R. F. Pierrt "Semiconductor Device Fundamentals" pp.477-504, Addison Wesley 1999
- [5] M. Uematsu "Simulation of boron, phosphorus, and arsenic diffusion in integrated diffusion, and the anomalous phosphorus diffusion mechanism" J. Appl. phys. 82(5) pp.2228-2232. 1997

이용재(Yong-jae Lee)

1954년생

1981년 2월 경북대학교 전자공학과 졸업

1983년 2월 연세대학교 대학원 전자공학과 공학석사

1986년 8월 연세대학교 대학원 전자공학과 공학박사

1988년~현재 동의대학교 전자공학과 정교수

1999년 7월~1992년 7월 The University of Texas at Austin. U.S.A. microelectronics research center Post Dr.

1985년 3월~1988년 3월 한국전자통신연구원 집적회로 개발부 선임연구원

1983년 1월~1984년 7월 삼성반도체 연구소 연구원