

CMOS회로의 신뢰도 향상을 위한 새로운 자기저항소자 전류감지기 특성 분석에 관한 연구

서 정 훈*

A study on New Non-Contact MR Current Sensor for the Improvement of Reliability in CMOS VLSI

Jeong-Hun Seo*

요 약

VLSI의 집적도가 증가함에 따라 설계와 제조과정에서 기존의 논리 테스트 방법으로는 검출하기 어려운 고장들이 발생하고 있다. 최근에는 이러한 고장을 검출하기 위한 IDDQ 테스트 방법의 중요성이 증대되고 있다. 본 논문에서는 CMOS 회로내에서 IDDQ 값을 검사하여 고장의 유무를 검사하는 전류 테스트 기법에 사용될 수 있는 새로운 전류감지기를 제안한다. 본 논문에서 제안된 전류감지기는 자기저항 소자 MR 전류감지기, 레벨변환기, 비교기로 구성되어 있으며 자동으로 고장을 검출할 수 있다.

Abstract

As the density of VLSI increases, the conventional logic testing is not sufficient to completely detect the new faults generated in design and fabrication processing. Recently, IDDQ testing becomes very attractive since it can overcome the limitations of logic testing.

This paper presents a new BIC for the internal current test in CMOS logic circuit. Our circuit is composed of Magnetoresistive current sensor, level shifter, comparator, reference voltage circuit and a circuit be IDDQ tested as a kind of self-testing fashion by using the proposed BIC.

* 창원전문대학 전자통신과 조교수
논문 접수 : 2000년 10월 10일 심사 완료 : 2001년 1월 15일

I. 서론

현재 VLSI 기술의 발전으로 단일 칩 상에서 수백만 개의 직접된 칩들이 상용화되고 있다.

다층금속도선(multi-metal layer)과 서브마이크론 설계 규칙이 적용되고 있는 대부분의 고성능 VLSI 칩은 기존의 stuck-at 고장뿐만 아니라 단자간의 브리징 고장 [1], 게이트 옥사이드 두께의 감소로 인한 게이트 옥사이드 단락(gate oxide short) 고장과 같은 제조과정에서 많은 물리적인 결함[2][3]들이 발생하고 있다. 이들 중 약 40% 이상의 칩들이 브리징 형태의 고장을 가점으로 인하여 종래의 전압 테스트 방식으로는 검출이 불가능함이 밝혀졌다.[4] 따라서 물리적인 결함 등에 대한 연구 및 여러 가지 고장들을 검출할 수 있는 새로운 테스트 방법이 요구되고 있다.

최근에는 기존의 전압 테스트의 대안으로 연구가 진행되고 있는 IDDQ 테스트(IDDQ testing)방법은 CMOS VLSI 칩 회로 내의 고장유무에 따라 크게 변화하는 정지상태의 전류값(IDDQ: quiescent current)을 비교하여 다양한 형태의 고장을 용이하게 검출 할 수 있는 방식이다[5][6]. 이러한 기존의 IDDQ 테스트를 하기 위한 테스트 장비들은 거의 전압을 측정하도록 되어 있고, CUT에 비하여 상당히 큰 충전부하를 가지고 있다. 또한 외부 전류원과 기준 전압 또는 전류(reference voltage or current)을 필요로 한다. 그러므로 기존의 전류감지기는 전류 테스트 회로가 CUT와 직렬로 연결되어 전류 테스트 회로를 구동시키기 위한 추가전압과 전력이 더 필요하다[7][8][9]

이러한 문제점을 해결하기 위해 본 논문에서는 새로운 전류 테스트 방식인 MR 전류감지기(Non-Contact Magnetoresistive current sensor: MR BIC)를 제안한다. 제안하는 비접촉식 MR 전류감지기는 자기저항소자의 특성을 이용함으로써 충전부하(capacitive load)나 인덕턴스를 갖지 않고 또한 전압이나 전력 손실이 없는 고성능 IDDQ 테스트 방법인 비접촉식 전류감지기이다. 이 방법은 자기저항소자 특성을 이용하여 IDDQ에

의해 IDDQ 라인 주변에 형성되는 자기장으로 동작하는 자기저항 물질을 전류 센서로 사용하여 전류감지기 회로와 CUT 회로를 서로 분리해 설계한다. 이로 인해서 CUT의 전압과 전력은 변하지 않고 대상회로의 고장유무를 용이하게 판별할 수 있는 새로운 전류 테스트 방법이다.

II. 전류감지기(Current sensor)의 구성

2.1 비접촉식 전류감지기의 설계

그림 1은 제안한 비접촉식 MR 전류감지기 구성도이며 IDDQ 테스트 방법은 테스트 대상회로에 흐르는 전류를 검출한다. 비접촉식 MR 전류감지기는 전류감지기, 레벨 변환기, 레벨 비교기 기준전압회로로 구성된다. 전류감지기는 자기저항소자인 MR 또는 GMR으로 구성되며, 전류감지기에서 변환된 전압은 레벨변환기가 CMOS 회로에서 동작 가능한 전압으로 변환시킨다. 기준전압과 레벨변환기의 출력전압 비교는 비교기를 통해서 비교하며, 비교기의 한 노드에 고장판별에 필요한 기준전압은 레벨 변환기가 만들어 준다.

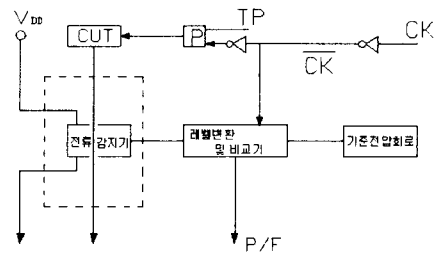


그림 1. MR 전류감지기 구성도
Fig 1. Schematized diagram of MR BIC

가장 이상적인 전류감지기는 대상회로의 전압이나 전력에 영향을 주지 않으면서 그 회로에 흐르는 전류값만을 정확히 측정할 수 있으면 되는데, 기존의 전류 감지기는 모두 테스트 대상회로와 직렬로 연결되어 있어 그림 1과 같이 테스트 대상회로를 통해 흐르는 IDDQ에 대해서 저항으로 작용한다. 따라서 대상회로에 흐르는 전류에 의해서

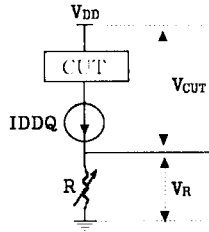


그림 2. R를 이용한 전류감지기 회로
Fig 2. R Current sensor circuit using resistor R

전류감지기에 $V_{test} = I_{test} \times R_{test}$ 만큼 전압이 인가되므로 대상회로의 구동전압은 V_{DD} 에서 $V_{DD} - V_{test}$ 로 떨어지며 I_{test} 에 따라 구동전압도 계속 달라지게 된다. 이러한 문제를 해결하기 위해서 Lateral BJT, MOSFET, 다이오드 등을 이용한 몇가지 방법들이 제안되었지만 모두가 테스트 대상회로와 직렬로 연결된 전류감지기를 사용하기 때문에 근본적으로 그림 2의 기본회로에서 벗어나지 못한다.

본 논문에서는 이러한 문제점을 해결하고자 대상회로에 흐르는 전류와 완전히 분리된 비접촉식 전류감지기를 제안한다. 그림 3은 본 논문에서 제안한 비접촉식 MR 전류감지기 회로도이다.

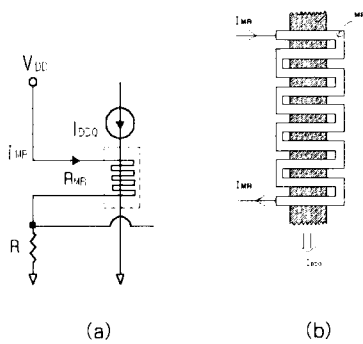


그림 3. 제안한 전류 감지기
Fig 3. Current sensor circuit

그림 3(b)는 그림 3(a)의 점선으로 구분된 영역이다. 테스트 대상회로의 I_{DDQ} 라인과 얇은 절연층으로 분리되어있는 자기저항 물질로 구성된다. I_{DDQ} 라인에 기준 전류와 고장 상태의 전류가 인가되면 이 전류로 인해 서로 다른 자기장이 발생한다. 이때 발생한 자기장으로 인

해 인접해 있는 자기저항 물질의 저항 RMR이 달라진다. 자기저항 물질을 관통하는 전류는 자기저항 물질 양단에 전위차를 형성하고, 이 전위차로부터 증폭기와 비교기를 통해서 평행상태의 전류값과 기준전류를 비교하여 고장유무를 검출한다.

2.2 제안된 비접촉식 전류감지기의 특성

전류감지기의 성능에서 중요하게 취급되는게 선형성인데, 그림 4는 저항, BJT, NMOS, 다이오드 등을 이용한 기존의 내장형 전류감지기의 전류-전압 특성곡선이다. 그림 4에서 전류변화에 대한 전압응답의 선형성이 가장 뛰어난 것이 저항소자이다. 그러나 저항은 뛰어난 선형적인 특성을 갖지만 $\Delta V_R = R \cdot \Delta I_{DDQ}$ 과 같이 전압이 비례상수 R을 가지고 전류에 비례한다. 따라서 R이 적을 때는 저항은 테스트 대상회로의 성능저하를 일으키지 않고 사용할 수 있으나 $\Delta V_R \propto R$ 과 같이 전류에 대한 전압정밀도가 낮아진다. R이 클 때는 전류정밀도는 증가하나 큰 ΔI_{DDQ} 에 대해서 R 양단에 큰 전압을 유발하여 테스트 대상회로의 정상동작을 어렵게 만들어 전류감지기로

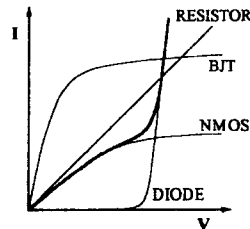


그림 4. 각 소자의 I-V 특성곡선
Fig 4. I-V Characteristic curve

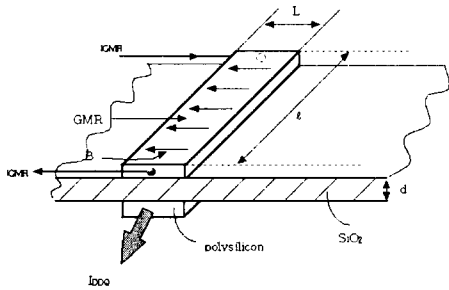
사용하기에는 적당하지 않다. 반면 본 논문에서 제안된 비접촉식 자기저항 소자를 이용한 전류감지기는 기존의 저항이 가진 선형성은 그대로 유지하면서도 비접촉식이므로 대상회로에 전기적으로 영향을 주지 않는다.

전류감지기의 성능을 평가하는데, 빼 놓을 수 없는 것이 전류감지기가 전류를 측정할 때 테스트 대상회로의 전력과 전압에 미치는 영향을 고려해야 한다.

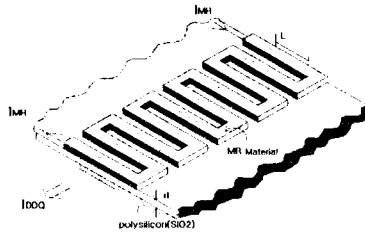
대상회로의 고장유무를 판별하기 위해 기존의 CMOS로 구현한 전류감지기는 대상 IC의 ON 상태에서 전류를 I_{DDQON} 라고 하면 이 회로를 동작시키는데 필요한 전력은 $W_{ON} = I_{DDQON} \times V_{DD}$ 이다.

shen BICS[10][11][12]의 전류감지기 회로를 연

결했을 때 회로내의 전류감지기를 동작시키기 위해서는 $W_{testing} = I_{DDON}^2 \times R_{DSON}$ 의 전력이 더 요구된다. 그러므로 [13]의 전력은 $W_{ONtest} = W_{ON} + W_{testing}$ 이 필요하게 된다. 또한 이러한 이유로 인해 IC를 제대로 동작시키기 위해서는 추가전력 $W_{testing}$ 의 필요성으로 인해 IC에 공급되는 전압도 높게 인가해야 한다. 우선 전류감지기에서 강하되는 전압은 $V_{test} = I_{DDQON} \times R_{test}$ 가 되며 대상 IC를 동작하기 위해서 필요한 전압은 $V_{DDtest} = V_{DD} + V_{test}$ 가 된다. 그러므로 기존의 전류감지기는 동작전력과 전압이 상승하는 문제점이 있다. 그러나 자기저항소자를 이용한 비접촉식 전류 감지기를 내장한 MR 전류감지기 회로에서는 전류감지기가 CUT회로와 분리되어 VDD에 대해서 CUT와 병렬로 설계되어 있기 때문에 CUT 회로 자체의 추가적인 전력 손실이 없고 IDD변화에 따른 VCUT는 항상 VDD로 일정하다. 다만 전류감지기에 흐르는 전류 I_{test} 로 인해 $W_{test} = I_{test}^2 \times (R + RMR)$ 의 전력이 필요하다. 그러나 W_{test} 는 $R + RMR$ 을 크게 하므로써 줄일 수 있는데, 아래 그림 5는 두가지 형태의 자기저항 소자를 이용한 전류감지기에 대한 그림이다.



(a) 기존의 전류감지기 구조



(b) 제안한 전류감지기 구조

그림 5. 제안한 MR 전류감지기 구조
Fig 5. Proposed Structure of MR BIC

그림 5(a)[14]는 IDDQ 라인과 자기저항 물질의 라인이 평행한 경우이고 그림 5(b)는 자기저항 물질의 라인이 IDDQ라인에 대해 90도로 가로지르는 형태이다.

본 논문에서 제안하는 MR 전류감지기의 형태는 그림 5(b)인데 5(a)의 구조에 비해 자기장에 노출된 MR 물질의 길이를 길게 함으로써 RMR을 크게 할 수 있고 따라서 $VR1 = R1VDD / (R + RMR)$ 의 식에서 RMR의 변화에 따른 VR1 값의 변화도 크게 할 수 있으며 W_{test} 도 줄일 수 있는 장점이 있다. 또한 IDDQ라인과 MR 물질의 전류방향이 서로 직각이기 때문에 $\Delta IDDQ$ 에 따른 MR 전류라인에 형성되는 유도 전압이 형성되지 않는 장점도 동시에 가지고 있다.

2.3 IDDQ에 따른 자기저항 소자의 저항 및 전압

현재 전류 변화에 대한 RGMR 민감도는 nA 전류변화를 감지할 정도로 뛰어난 특성을 갖는 소자들[15][16]이 많다. 자기저항소자의 IDDQ에 따른 저항(ΔRMR) 및 전압(ΔVMR) 변화를 살펴본다.

본 논문의 그림5(b)와 같은 비접촉식 MR 전류감지기에 사용하는 자기저항 물질의 자기저항 변화율을 $\Delta MR(\%)$ 을 $\sim(\%)/Oe$ 으로 하자. IDD 라인을 통해 흐르는 전류로 인해 IDD 라인 위에 자기장이 형성된다. 이 자기장은 $d \ll L$ 라면 무한평면에 대한 자계의 크기를 구하는 문제가 되어 자계 H 는

$$H = \frac{I}{2} [A/M] = \frac{I_{DDQ}}{2L} [A/M] \quad (1)$$

로 주어진다. (1)식은 다시 $1[A/M] = 1/79.6 [Oe]$ 로 단위 환산하면 다음과 같이 전류와 자기장의 관계식으로 주어진다.

$$H [Oe] = \frac{I_{DDQ}}{2L} \cdot \left(\frac{1}{79.6}\right) [Oe] \quad (2)$$

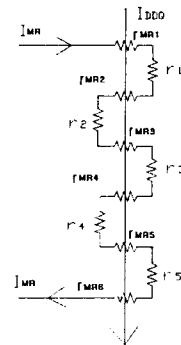


그림 6 제안된 MR 전류감지기의 등가회로
Fig 6. Proposed equ. Circuitry of MR-BIC

그림 6은 그림 3의 등가회로이며 MR 물질의 저항 RMRT은 IDD에 의해 형성된 자기장의 영향을 받는 부분($r_{MR1}, r_{MR2}, \dots, r_{MRn}$)과 IDD라인과 멀리 떨어져 있어 자기장의 영향을 받지 않는 부분($r_1, r_2, r_3, \dots, r_m$)의 합인

$$R_{MRT} = \sum_i^n r_{MRi} + \sum_j^m r_j$$

$$R_{MRT} = R_{MR} + R_d \quad (3)$$

로 볼 수 있으며 여기서 $R_{MR} = \sum_i^n r_{MRi}$, $R_d = \sum_j^m r_j$ 이다. 또한 $\Delta MR = (R_{MR}(H) - R_{MR0})/R_{MR0}$, $R_{MR0} = R_{MR}(0)$ 로 정의하면 RMR은 인가된 자계 H에 의해 다음과 같이 주어진다.

$$R_{MR}(H) = R_{MR0}(1 + \Delta MR \times H)$$

$$R_{MR}(H) = R_{MR0} \left(1 + \Delta MR \cdot \frac{I_{DDQ}}{2L} \cdot \left(\frac{1}{79.6} \right) [Oe] \right) \quad (4)$$

따라서 IDDQ의 변화에 따른 전류감지기의 R1에 야기되는 전압은 $V_{R1} = V_{DD} \cdot R_1 / (R_1 + R_d + R_{MR})$ 로 부터 다음과 같이 주어진다.

$$V_{R1} = \frac{R_1 \cdot V_{DD}}{R_1 + R_d + R_{MR0} \left(1 + \Delta MR \cdot \frac{I_{DDQ}}{2L} \cdot \left(\frac{1}{79.6} \right) [Oe] \right)} \quad (5)$$

그림 7은 비접촉식 MR 전류감지기의 레벨변환 및 비교기 회로도이다. 자동검사 기능은 CMOS회로에서 동작이 가능한 전압으로 레벨 변환하여 사용하였으며 비교기는 두 개의 인버터로 구성된 래치로 구성하였다. 또한 클럭 CK'의는 변이전류가 흐르고 난 후 정지전류가 흐를 때 클럭의 끝에서 트리거링 하도록 설계하였다.

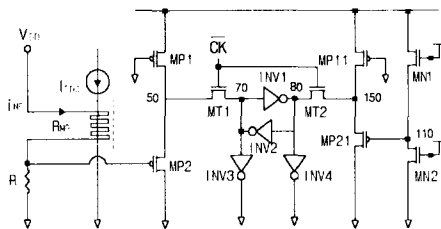


그림 7. 비접촉식 MR 전류감지기 회로도
Fig 7. Circuitry of MR-BIC

비교기의 출력은 CUT가 기준전류 이하를 흐르면 한 클럭을 지나서 낮은 신호로, 기준전류 이상이 되면 높은

신호로 나타난다. 즉, 이러한 출력은 변이전류와 결합전류를 구별하여 결합전류가 흐를 때만 출력이 높은 신호가 되어 자동적으로 결합 유무의 판별이 가능하도록 한다. 비교기의 출력은 결합이 있을 경우에 반주기 동안만 낮은 신호로 나타난다.

III. 분석 및 고찰

표1은 각 소자의 파라미터와 회로의 조건 $V_{DD} = 5V$, $R1 = 20K\Omega$, $R_{MR0} = 20K\Omega$, $d = 10^{-7}m$, $L = 1.5 \times 10^{-6}m$, $\Delta MR = 0.02/Oe$, $I_{DD} = 0 \sim 5mA$ 으로 한 전류변화(IDDQ)에 따른 CUT회로의 고장 누설전류로 인한 초과 소비전력(W초과), MR 전류감지기의 출력 전압(VR1)과 전압변화($\Delta VR1$), 테스트 회로의 소비전력(Wtest)등의 변화를 나타낸다.

전류에 대한 전압의 민감도를 아래와 같이 정의하면,

$$\text{전류에 대한 전압민감도} = \frac{\Delta V_{R1}}{\Delta I_{DDQ}} [A]$$

표1. 전류변화에 따른 MR소자의 저항 및 전압의 변화

IDDQ (A)	W초과 (mW)	VR1 (V)	$\Delta VR1$ (mV)	WMRtest (mW)
50 μ	0.25	2.4340	4.9721	1.2448
100 μ	0.5	2.4291	9.9240	1.2396
200 μ	1	2.4193	19.768	1.2294
400 μ	2	2.3998	39.217	1.2095
1m	5	2.3433	95.734	1.1534
5m	25	2.0253	413.72	0.8811

IDDQ가 100 μA 부근에서 전류민감도는 약 99(A)정도가 나옴을 알수 있다. 이것은 IDDQ가 1 μA 변할 때 MR 센서의 저항은 99(A)이 변하고 동시에 저항 R1에 인가되는 전압은 99 μV 가 변함을 의미한다. 또한 전류

민감도는 IDDQ가 적을 때 증가하고 IDDQ가 클수록 감소함을 알 수 있다.

IC 내장형 MR 전류감지기를 이용한 IDDQ 테스트에 있어서 IC 내부의 고장으로 인한 누설전류의 증가로 IC의 소비전력도 증가 하게 되는데, 기존의 IDDQ방식에서는 누설전류의 증가로 인해 IC의 초과전력(W)초과뿐만 아니라 테스트 전력(Wtest)도 동시에 증가하였다. 반면 본 논문에서 제안된 회로는 표1에서와 같이 누설전류가 증가하면 IC의 초과소비전력 W초과는 증가하지만 동시에 IDDQ 테스트에 필요한 전력은 감소함을 알 수 있다. 이것은 기존의 IDDQ테스트 방식과 뚜렷한 차이점으로 IC회로의 전류가 ON상태일 때는 테스트에 필요한 전력이 현저히 줄어들어 IC의 전력 부담을 줄일 수 있다.

IV. 결론 및 향후 연구과제

본 논문에서는 CMOS VLSI 칩의 테스트 방법에 적용하기 위한 새로운 비접촉식 MR 전류감지기를 제안하였다. 제안한 MR 전류감지기 테스트 대상회로에 흐르는 전류를 전압으로 변환하고, 그 전압을 레벨 변환하여 자동으로 고장의 유무를 판별할 수 있도록 설계되었다. 즉, IDDQ 라인에 고장 상태의 전류가 인가되면 IDDQ 라인과 얇은 절연층으로 분리되어있는 자기저항 물질로 구성된 비접촉식 전류감지기는 이 전류로 인해 서로 다른 자기장이 발생되고, 자기저항 물질을 관통하는 전류는 자기저항 물질 양단에 전위차를 형성한다. 이 전위차를 비교기와 증폭기를 통해서 평행상태의 전류값을 기준전류와 비교하여 고장유무를 판별하도록 하였다.

전류에 대한 전압 변화율은 $100\mu\text{A}$ 에서 부근에서 $1\mu\text{A}$ 당 약 99[A] 으로 전류에 대한 전압의 민감도가 높음을 알 수 있었고 이 민감도는 대상회로의 누설전류가 감소할수록 증가 하였으며 또한 대상회로의 누설전류가 증가할수록 테스트에 필요한 전력(Wtest)가 줄어들어 IC의 부담을 감소 시킬 수 있었다.

앞으로는 현재 개발 또는 상용화되어 있는 자기저항소자의 특성이 많지만 IDDQ 테스트에 가장 이상적인 특성을 갖는 자기저항소자에 대한 연구가 더 진행되어 IDDQ

테스팅에 적합한 소자의 개발이 요구된다.

참고문헌

- [1] J.A Pretorius, A. S. Shubat and C.A.T. Salama, "Charge redistribution and noise margins in Domino CMOS logic," IEEE Transactions on Circuit and Systems, Vol.CAS-33, No8, pp.768-793, Aug. 1986..
- [2] Thomas M. Storey and Wojciech Maly, "CMOS Bridging Fault Detection," in proc. Int. Test Conf., pp.842-851 Sept. 1990
- [3] E. Hamdy, et al, "Dielectric Based Antifuse for Logic and Memory ICs," Dig. 1988 Int. Elec. Dev. Meeting, PP. 786-789, 1998.
- [4] J. M. Acken, "Deriving Accurate Fault Models," Ph. D. Thesis, Dept. of Electrical Engineering, Stanford University, October 1988.
- [5] Wojciech Maly and Phil Nigh, "Built-In Current Testing - Feasibility Study," Proc. IEEE Int. Conf. on Computer-Aided Design, pp.340-343, 1988.
- [6] V. H. Champac, A Rubio and J. Figueras, "Electrical Model of the Floating Gate Defect in CMOS IC's: Implications on IDDQ Testing," IEEE Trans. on Computer-Aided design, Vol.13, No.3, pp.359-369, Mar. 1994.
- [7] Rochit Rajsuman, "Iddq testing for CMOS VLSI," Artech House, 1995.
- [8] T. I. Hylton, K. R. Coffey, M. A. Parker and J. K. Howard, Science 261, 1021 1993.
- [9] Keith Baker, "QTAG: A Standard for Test Fixture based Iddq/Issq Monitor," Int. Test Conf., pp 194-202, 1994.

- [10] Ching-Wen Hsue and Chih-Jen Lin. "Built-In Current Sensor for IDDQ Test in CMOS." Int. Test Conf., pp.635-641. 1993.
- [11] Tung-Li Shen, J. C. Daly and Jien-Chung Lo. "On-Chip Current for CMOS VLSI." IEEE VLSI Test Symp., pp.309-314. 1992.
- [12] K. J. Lee and M.A. Breuer. "Design and rules for CMOS VLSI circuits to facilitate Iddq testing of bridging faults." IEEE Trans. CAD, vol 11(5), pp. 73-82, May 1992.
- [13] M. Favalli, P. Olivo, M. Damiani, and B. Ricco. "Novel Design for Testability Schemes for CMOS IC's." IEEE J. Solid-State Circuits, Vol. 25, No. 5, pp.1239-1246, Oct. 1990.
- [14] 서정훈, 박영석, "CMOS VLSI 회로의 전류 테스트를 위한 비접촉식 MR 전류 감지기의 설계." 경남대학교 공업기술연구소 연구 논문집, 제18차, pp243-253, 2000.
- [15] Timothy J. Moran and E. Dan Dahlberg "Magnetoresistive sensor for weak magnetic fields" Appl. Phys. Lett. 70(14), 7 pp 1894-1896 April 1997.
- [16] Shuxiang Li, T. S. Plaskett, P. P. Freitas, member. IEEE, J. Bernardo, B. Almeida, and J. b) Sousa. "The Effect of Substrate Bias on the Properties of NiO/NiFe and NiO/CoFe Exchange Biased Spin-Valve Sensors" IEEE Trans. on magnetics. Vol. 34, No. 5, pp 3772-3777 Sept. 1998

저자 소개



서 정 훈

1990년 경상대학교 전자공학과
공학사
1992년 경상대학교 대학원
전자공학과 공학석사
1997년 경상대학교 대학원
전자공학과 박사과정수료
현재 창원전문대학 전자통신과
조교수
관심분야: VLSI CAD 설계,
인공지능, 네트워크
관리