

# ATM 가상종단시스템의 ABR 서비스 제어 기능 설계

## Design of ABR Service Control Functions for ATM Virtual End Systems

이 승 희

Soong Hee Lee

### 요 약

장거리 링크를 가지는 ATM 망에서는 긴 전파지연의 영향을 고려하여 설정된 가상종단시스템을 이용하여 ABR 서비스를 제공할 수 있다. 본 논문에서는 가상종단시스템을 이용하여 ABR 서비스를 제공하는 데에 필요한 조건인 많은 개수의 가상연결들에 대한 ABR 서비스 제어 기능을 설계하기 위한 제반 고려 사항들을 살펴보고 구현을 위한 설계 구조를 제시하였다. 제시한 설계 구조에서는 많은 개수의 가상연결들에 대해 ABR 서비스를 수용해 줄 수 있도록 공유 메모리 구조를 이용한 셀 송출 제어 구조를 적용하였다.

### Abstract

ATM networks with long-distance links, causing long propagation delays, may require virtual end system functions to provide ABR services. We survey several issues for implementing the control functions for ABR service in multiple VCs, required in the virtual ends, and propose a structure for implementation. In the proposed design, shared memory structure is used to control the cell emission of the multiple VCs for the ABR services in the virtual end systems.

**Keywords** : Virtual End Systems, VD, VS, ABR, flow control function

### I. 서 론

ATM(Asynchronous Transfer Mode) 기술은 가상 회선(virtual circuit)을 기본으로 하는 기술로서 정보를 담고있는 그릇인 셀을 최대한 빠른 속도로 전달하기 위하여 기존의 LAN에서 많이 사용되고 있는 오류 제어 절차를 사용하지 않고 있어서 망에서 폭주 상태가 발생하면 과도한 셀 손실의 발생으로 인한 서비스 품질(QoS: Quality of Service)의 열화가 불가피하다. 특히

버스트 형태의 데이터 트래픽 전달이 주종을 이루는 LAN 환경에 ATM 기술을 도입할 때 이러한 문제의 심각성은 더 커진다.

ATM 포럼에서는 이러한 문제를 근본적으로 풀 수 있는 방안으로 망 종단간에 흐름 제어를 수행하여 망 측에서 발생하는 폭주에 의한 서비스 품질의 열화를 줄이고 사용이 가능한 대역폭을 최대한 확보하려는 노력에 의해 ABR(available bit rate) 서비스를 새롭게 정의하여 표준화를 진행하여 왔다[1]. 한편 ITU-T에서도 ABR을 ATM 전달 능력의 하나로 받아 들여 표준화를 진행해 왔다[2].

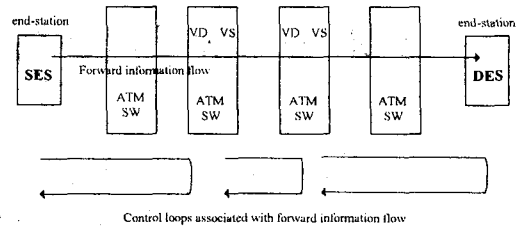
표준화 과정에서 제기되었던 장거리 링크에서의 전파지연에 의한 제어 지연의 문제에 대해서는 링크를 여러 부분으로 구분(segmentation)하여 각 부분마다 양단에 위치한 스위치에 가상종단시스템(virtual end systems) 기능을 부여하는 방안을 채택하였다[1]. 그러나 가상종단시스템에서 실제로 요구되는 기능을 실현하여 ATM 망 구축에 적용하는 구체적인 방안은 거의 제시되지 않았다[3~10].

본 논문에서는 장거리 링크를 포함하는 ATM 망에서 ABR 서비스를 제공하기 위하여 ATM 포럼에서 표준으로 제시되어 있는 가상종단시스템의 흐름 제어 기능을 설계하기 위한 제반 고려 사항들을 살펴보고 구현을 위한 설계 구조를 제시한다. 본 논문의 구성은 제 2 장에서는 현재 ATM 포럼에서 제시된 표준 규격을 실제 ATM 시스템에 적용하기 위해 고려해야 할 사항들을 살펴본다. 제 3 장에서는 제 2 장에서 제시한 고려사항들을 적용한 설계 구조를 제시하고 각 구성 블록에 대해 더 자세하게 기술할 것이며, 제 4 장에서 결론을 맺을 것이다.

## II. 가상종단시스템의 흐름 제어 기능 구현을 위한 고려 사항

### 1. 장거리 링크에서의 ABR 흐름 제어

장거리 링크를 가지는 ATM 망에서 ABR 서비스를 제공하기 위해 ATM 포럼에서는 그림 1에 나타낸 바와 같이 가상 트래픽원(VS: virtual source), 가상 목표(VD: virtual destination)의 두 가상종단시스템(virtual end system)들로 구성되는 ABR 서비스 제어구조를 제안하였다. 그림에서 보듯이 ATM 스위치의 양단이 VS와 VD의 기능을 가지도록 하여 제어 루프를 여러 부분으로 구분시킨다. VS는 이전 단계에서의 VD로부터 넘어온 순방향(forward) 자원관리(resource management: RM) 셀을 링크로 송출하여 해당 세그먼트의 제어가 시작되게 하고 VD에서는 링크를 통해 전달되어 온 RM 셀의 정보 등과 자신의 상태를 종합하여 역방향(backward) RM 셀에 자신의 폭주 상태등을 포함시켜 VS로 되돌려 보낸다.



SES: Source End System  
DES: Destination End System  
ATM SW: ATM Switch  
VS: Virtual Source  
VD: Virtual Destination

그림 1. 장거리 ATM 링크에서의 종단간 흐름제어 구성.

Fig. 1 Configuration of end-to-end flow control in a long-distance ATM link.

### 2. 가상종단에서의 제약 조건들

종단간 흐름 제어 방식으로 채택되어 있는 현재의 셀을 기반(rate-based) 방식은 링크에서의 전송 지연(RTT: round trip delay)에 큰 영향을 받는 것으로 알려져 있다. VS, VD에서의 흐름 제어 기능은 단말이 종단 시스템인 경우와는 다른 요구 조건을 가질 것이다. 단말에서는 동시에 처리해야 하는 가상 연결의 개수가 많지 않은 것이 일반적이다. 하지만 망 노드 스위치에 VS, VD가 내장되는 경우에는 망을 통과하는 많은 개수의 가상 연결들에 대한 처리가 필요하므로 동시에 ABR 서비스를 요구하는 가상 연결의 개수가 매우 많아질 수 있다.

### 3. 구현을 위한 고려 사항들

실제 구현에 있어서 ABR 서비스를 위한 종단간 흐름 제어는 여러 난제들을 안고 있다. 우선 앞 절에서 언급되었던 동시에 ABR 서비스를 지원할 수 있는 가상 연결의 개수 문제를 해결해야 한다.

ABR 서비스를 위한 종단간 흐름 제어는 셀을 송출하는 부분에서의 트래픽 웨이핑 기능에 해당된다. 즉, 허용된 셀 속도(ACR: allowed cell rate)의 역수값인 허용된 셀간 간격(ACI: allowed cell interval)을 연결 지속 시간 동안 유지시켜 주어야 하는데 이를 위해서는 각 가상 연

결별로 관리되는 버퍼가 전제되어 각 가상 연결들의 셀들이 버퍼의 일정 영역에 저장되어 있고 이 셀들이 허용된 셀간 간격을 준수하여 버퍼에서 읽혀져야 한다.

그림 2의 (a)에서와 같이 각 가상 연결마다 별도의 FIFO(first in first out) 메모리 칩을 사용하면 이러한 기능은 간단히 구현될 수 있지만 이러한 FIFO 칩의 용량이 사실상 제한되어 있어서 셀 손실이 없이 허용된 셀간 간격을 유지시키는 것이 용이하지 않다. 이에 대한 대안으로 생각해 볼 수 있는 구조가 여러 가상 연결들이 하나의 메모리 버퍼를 공유하는 그림 2의 (b)의 경우이다. 이 방식에서는 메모리 용량의 제한을 덜 받는 대신에 버퍼를 가상 연결별로 관리하기 위한 메모리 관리 기능이 추가로 필요하게 된다. 그러나 이 방식은 버퍼의 메모리 공간을 효율적으로 사용할 수 있으며 처리해야 하는 가상 연결의 개수가 늘어나도 쉽게 확장이 가능한 이점이 있다.

이제 요구되는 QoS를 만족하면서 ACR을 유지시키기 위한 구현상의 요구 조건을 살펴볼 필요가 있다.  $k$ 번째 송출된 셀과 바로 뒤이어  $l$ 번째 송출된 셀 사이의 간격을  $I_{kl}$  [slots], 링크 대역폭을  $K$ [bits/sec], 셀 크기를  $L_c$ [bits]라 하고, 가상 연결  $n$ 의 허용 셀 속도를  $ACR_n$ [cells/sec]이라고 하면, 그림 2의 (a)에서 셀 송출 속도를 허용 셀 송출 속도 이내로 유지시키기 위해서는 아래의 관계가 성립되어야 한다.

$$\max(I_{kl}) = \frac{K}{ACR_n * L_c} \quad (1)$$

또한 각 가상 연결별로 셀을 저장해 주는 FIFO의 용량을  $X_n$  [cells]이라고 하면 각 FIFO에서 과도한 기간 동안의 대기로 인한 셀 손실이 일어나지 않을 조건은

$$\max(I_{kl}) \leq X_n \quad (2)$$

이다. (1)과 (2)의 관계로 부터 각 가상 연결별 허용 셀 속도와 FIFO에 요구되는 용량의 관계는

$$\frac{K}{ACR_n * L_c} \leq X_n \quad (3)$$

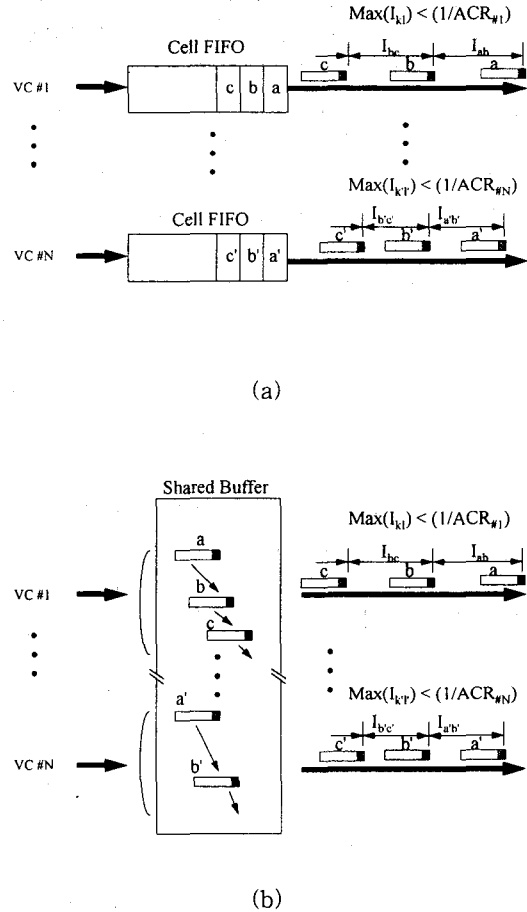


그림 2. (a) 가상 연결별 FIFO를 사용하는 경우와 (b) 공유 메모리를 이용하는 경우의 가상 연결별 셀 저장 및 송출 방법들.

Fig. 2 Methods of cell storage and emission (a) using per-VC FIFOs and (b) using a shared memory.

이다. 여기서  $K/L_c$ 는 상수로 일정한 값이므로 각 가상 연결에 할당된 FIFO 칩들은 이 상수값에 그 가상 연결에서 요구하는 허용 셀 송출 속도의 역수를 취한 값보다 더 큰 용량을 가져야 한다. 예를 들어, 어느 가상 연결이 어느 순간에 149.76 Mbps 즉 353,207 cells/sec의 대역폭을 모두 점유하려고 한다면 FIFO 칩의 용량은 1 셀 이상이면 되지만 그 이후의 어느 시점에서 ABR에서 허용하는 MCR의 최소값인 0 cells/sec에 근접하

는 아주 적은 대역폭 만을 요구한다면 FIFO 칩에서 필요로 하는 용량이 급격하게 늘어나게 됨을 알 수 있다. 따라서 각 가상 연결별 FIFO의 용량을 충분히 크게 하여 FIFO에서의 과도한 대기기를 방지하여 셀 손실을 막는 것은 메모리 사용을 측면에서 아주 비효율적이며 실제로 그렇게 큰 용량의 FIFO 칩들을 사용하는 것도 용이하지 않다. 더우기 실제 구현시 모든  $n$ 에 대해서  $X_n$ 이  $X$ 로 동일한 용량을 가져야 하므로  $X \geq \max(X_n)$ 이어야 하며 결과적으로

$$\frac{K}{p * L_c} \max\left(\frac{I}{ACR_n}\right) \leq X \tag{4}$$

로 나타난다. 여기서  $p$ 는 가상 연결 개수이다. 메모리 용량 문제를 해결할 수 있는 방안으로 제시된 구조인 그림 2의 (b)에서 셀 송출 속도를 허용 셀 송출 속도 이내로 유지시키기 위해서는 역시 (1)과 마찬가지로의 다음 관계가 성립되어야 한다.

$$\max(I_u) = \frac{K}{ACR_n * L_c} \tag{5}$$

또한 공유 메모리 내의 각 가상 연결별 셀을 저장할 수 있는 메모리 영역의 용량을  $Y_n$ [cells]이라고 하면 FIFO에서 과도한 기간 동안의 대기로 인한 셀 손실이 일어나지 않을 조건은

$$\max(I_{ki}) \leq Y_n \tag{6}$$

이다. (5)과 (6)의 관계로 부터 각 가상 연결별 허용 셀 속도와 FIFO에 요구되는 용량의 관계는

$$\frac{K}{ACR_n * L_c} \leq Y_n \tag{7}$$

으로 나타난다. 여기서 가상 연결  $n$ 의 메모리 점유 영역의 크기인  $Y_n$ 은 현재 활성화된 가상 연결의 수가  $p$ 개 일때 공유 메모리의 전체 용량  $Y$ 와 다음의 관계를 가진다.

$$\sum_{i=0}^{p-1} Y_i \leq Y \tag{8}$$

따라서 다음의 관계가 성립된다.

$$\frac{K}{L_c} \left( \sum_{i=0}^{p-1} \frac{I}{ACR_i} \right) \leq Y \tag{9}$$

한편 (4)와 (9)로부터 각 방법에서 요구되는 메모리 용량인  $pX$ 와  $Y$ 의 크기를 비교해보면  $p$ 개의 가상 연결들에 대한 총합인

$$Y = \frac{K}{L_c} \left( \sum_{i=0}^{p-1} \frac{I}{ACR_i} \right)$$

이  $p$  배의  $X = \frac{K}{L_c} \max\left(\frac{1}{ACR_n}\right)$  보다는 클 수 없으므로

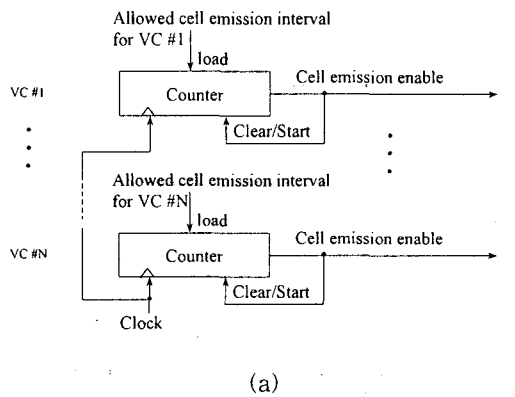
$$p * X \geq Y \tag{10}$$

의 관계로 나타남을 알 수 있다. 예컨대, 하나의 가상 연결이 요구하는 허용 셀 송출 간격이 1,000 slot이고 다른 가상 연결은 20,000 slot이라고 할 때, 가상 연결별로 개별 FIFO를 사용하는 경우에는 FIFO 들이 가상 연결별로 다른 용량을 가변적으로 가질 수는 없으므로 둘 중에서 더 큰 쪽의 용량인 20,000 cells 이상의 용량을 각각 가져야 하므로 전체적으로 요구되는 메모리 용량이 40,000 cells ((4)식의  $\max(K/(ACR_n * L_c))$ 에  $p=2$ 를 곱한 값) 이상이며 현재 시판되고 있는 FIFO 칩으로 만족시키기 어려운 반면에, 공유 메모리를 사용하는 경우에는 두 가상 연결 모두에 대해 21,000 cells 이상의 용량((9)식의  $Y$  값)만 있으면 되므로 훨씬 경제적이고 일반 메모리 칩으로 실현이 용이하다. 즉, 가상 연결별 FIFO의 경우와 달리 일반적인 DRAM, SRAM 을 셀 저장을 위한 공유 메모리로 사용할 수 있으므로 (9)에서의  $Y$  값을 현재 출시되고 있는 메모리의 용량만큼 크게 할 수 있으며 따라서 각 가상 연결별로 제어될 수 있는 송출 간격의 범위를 쉽게 확장시켜 줄 수 있다. 이러한 확장성은 수용해야 하는 가상 연결의 개수인  $p$  값이 증가할수록 더 큰 메모리 절약 효과를 보장해준다.

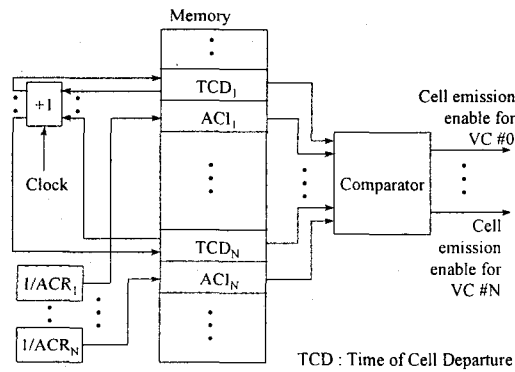
### 3.2 가상 연결별 셀 송출 간격 제어

한편, 그림 2에서와 같이 셀 간 간격이 허용 셀 송출 간격 이내로 송출되기 위해서는 각 가상 연결별로 이전 셀과 현재 송출해야 하는 시점 간

의 시간 간격을 측정하는 기능이 필요하다. 이러한 기능을 수행하는 방법으로 그림 3의 (a)에서와 같이 각 가상 연결별로 카운터를 두어 각 가상 연결의 셀이 송출되는 시점부터 계수를 시작하여 허용된 셀간 간격의 시간이 경과되면 그 가상 연결의 다음 셀 송출이 허용됨을 알리는 신호가 출력되게 할 수 있다.



(a)



(b)

그림 3. (a) 개별 카운터와 (b) 메모리를 이용한 각 VC별 셀 송출 방법.

Fig. 3 Methods of Cell emission per VC (a) using individual counters and (b) using a memory.

이 경우 가상 연결  $i$ 의 지난 번 셀 송출 이후 경과 시간을 나타내는 카운터의 출력값을  $C_i$ , 그 가상 연결의 직전 셀 송출 시점을  $D_i$ , 링크

대역폭을  $K$ [bits/sec], 셀 크기를  $L_c$ [bits], 가상 연결  $i$ 에서의 허용 셀율을  $ACR_i$ 라고 하면 가상 연결  $i$ 의 셀들은 송출 시 아래의 관계를 준수해야 한다.

$$C_i - D_i < \frac{K}{ACR_i * L_c} \quad (11)$$

이 방법은 각 가상 연결별로는 간단한 구현 구조를 가지는 반면에 처리해야 할 가상 연결의 개수가 증가되면 시스템이 보유해야 하는 카운터의 개수도 증가되어야 하므로 구현의 비용 및 복잡성이 처리해야 하는 가상 연결의 개수에 비례하여 증가된다. 이 문제를 해결하는 방법으로 그림 3의 (b)에서와 같이 메모리를 가상 연결들의 송출 간격을 측정하기 위한 계수기로 사용하는 방법을 생각해 볼 수 있는데 메모리 영역을 가상 연결들이 구분하여 사용하여 구분된 각 세그먼트별로 이전 셀 송출 시각을 기록하고 매 셀 타이밍마다 메모리에 기록된 이전 셀 송출 시간과 현재의 시간과의 차이를 추출하여 그 값이 0 이면 그 가상 연결의 셀을 송출하도록 허용해 줄 수 있을 것이다. 여기에서 메모리의 데이터 워드 비트수는 TCD와 ACI를 표현할 수 있도록 셀 송출간 최대 간격 보다 큰 값을 나타낼 수 있도록 결정되어야 한다. 그러나 이 방법은 매 셀 타이밍마다 수용된 모든 가상 연결들의 시간차를 각각 계산해주어야 하므로 각 셀 타이밍의 제한된 시간에 의해 동시에 처리 가능한 가상 연결의 개수가 제한된다. 설정 시간(setup time)과 지속 시간(hold time)을 포함하는 메모리 액세스 소요 시간을  $t_m$ , 각 셀 타이밍 당 메모리 액세스 횟수를  $Q$ , 가상 연결의 기록된 이전 셀 송출 시간을 갱신하는데 소요되는 시간  $t_p$ 는 아래와 같이 결정된다.

$$t_p = Q * t_m \quad (12)$$

모든 가상 연결들에 대해  $t_p$ 는 거의 같은 값을 지닌다고 볼 수 있고 각 가상 연결별 메모리 세그먼트 내용의 갱신은 매 셀을 송출하는 기준이 되는 셀 타이밍마다 이루어져야 하므로 1개의 셀이 전달될 수 있는 시간 간격을  $T_c$  (155.52 Mbps 링크의 경우에  $2.83 \mu s$ )라고 하면

$$Q * t_m < T_c \quad (13)$$

의 관계가 성립되어야 한다. 따라서 한꺼번에 많은 수의 가상 연결들이 ABR 서비스를 제공하게 하려면  $Q$  값이 커져야 하는데  $t_m$ 과  $T_c$ 는 유한한 상수값을 가지므로  $Q$  는 일정한 한계를 벗어날 수 없다. 그러나 상기의 방식에 의해 구성된 모듈의 개수를 예를 들어  $M$ 개로 늘이면 동시에 처리할 수 있는 ABR 서비스 가상 연결의 개수는  $Q * M$ 개로 계속 증대될 수 있다. 더우기 메모리를 이용하는 방법은 카운터를 이용하는 방법보다 구현 측면에서 더 효율적이다. 카운터를 이용하는 경우 최소 셀율(MCR)이 작은 값일수록 이를 구현하기 위한 가상 연결별 카운터의 최대 계수값은 커져야 하므로 하드웨어 구현이 점점 복잡해지고 비싸진다. 반면, 메모리를 이용하는 방법은 MCR이 작아지더라도 메모리에 기록되는 셀 간격의 값만 증가시켜주면 되므로 추가적인 하드웨어 부담이 없어서 더 간단하고 경제적이다.

### III. 흐름 제어 기능의 설계 구조

#### 1. 구현 구조

2 장에서 고찰한 고려 사항들로부터 ABR 서비스를 수행하기 위한 흐름 제어 기능을 설계한다. ABR 서비스를 위한 흐름 제어에 관련된 기능들은 크게 4개의 구성 블록들로 구성될 수 있으며 각 기능 블록 별로 세부 구현 구조를 설정한다. 이들 각 블록들의 명칭을 그림 4에서와 같이 CRCB(cell rate control block), CPCB(control parameter calculation block), RCIB(RM cell input block), RCOB(RM cell output block)로 정한다. 이제 이들 각 블록의 구성에 대해 설명한다.

#### 2. 셀 송출 속도 제어 블록(CRCB)의 구성

CRCB는 셀 저장 및 추출을 위한 부분과 셀 송출 시점을 결정하는 부분으로 구성된다. 이 중 에서 셀 저장 및 추출 기능을 그림 5와 같이 구성하였다.

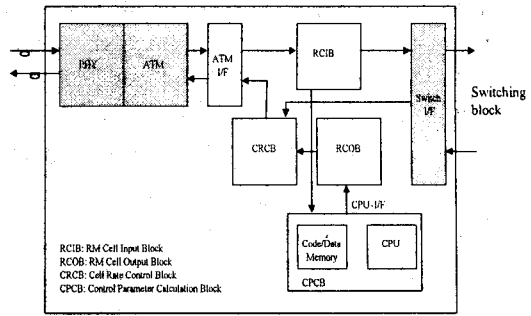


그림 4. 흐름 제어 기능의 구현 구조.  
Fig. 4 Block diagram of the flow control function module.

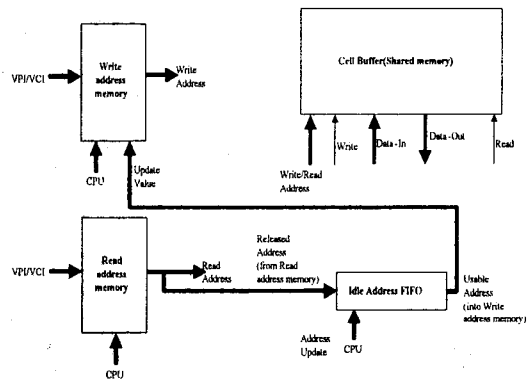


그림 5. 셀 저장 및 추출 기능의 구성.  
Fig. 5 Structure of the functions to store and release cells per VC.

그림 5에서 보듯이 가상 연결 식별자 추출을 위해 입력된 셀을 1셀 FIFO에 일시 저장하여 가상 연결 식별자만을 추출하여 쓰기 주소 메모리(write address memory)로 전달하고, 쓰기 주소 메모리는 1셀 FIFO로부터 현재 입력되는 가상 연결 식별자의 해당 가상 연결의 셀이 저장되어야 하는 쓰기 주소(write address)를 출력하여 공유 메모리의 액세스 주소로 사용되게 한다. 이때 셀 입력과 동시에 하달된 저장(store) 명령에 의해 1셀 FIFO를 거친 입력 셀은 공유 메모리의 해당 영역에 저장되게 된다. 한편 추출 주소 메모리는 송출 간격 제어부로부터의 송출허용 가상 연결 식별자를 받아들여 해당 가상 연결의 셀이

추출될 수 있도록 추출 주소를 출력하여 공유 메모리의 액세스 주소로 사용하게 한다. 쓰기 주소 메모리와 읽기 주소 메모리에는 LAN의 MAC 처리등에서 테이블 룩업에 이용되는 CAM(Content Address Memory) 칩을 적용할 수 있다. 쓰기 주소 메모리와 읽기 주소 메모리의 초기값은 시스템의 가상 연결 제어부에서 설정하도록 되어 있다. 공유 메모리는 다수개의 가상 연결들이 영역을 공유하는 구조의 메모리로서 셀 입력 시 동시에 입력되는 저장 명령에 의해 셀이 저장되고 송출 간격 제어부로부터의 추출 명령에 의해 셀이 추출되도록 되어 있다. 유휴 주소 FIFO는 추출 주소로 이미 사용한 값을 선입선출 형태로 일시 저장하였다가 쓰기 주소 메모리에서 저장 주소를 갱신하기 위한 자원으로 사용하게 한다.

### 3. 제어 파라미터 계산 블럭(CPCB)의 구성

CRCB는 소프트웨어로 구성되어 현재 상태에서 ABR 흐름제어를 위해 ACI 및 기타 제어 파라미터 값들을 계산하여 다른 기능 블럭들에게 전달하는 블럭으로서 3개의 모듈로 구성된다. 우선 RCIB로부터의 RM 셀 수신 인터럽트 신호에 의해 RM 셀 해석 모듈이 수행을 시작하여 그 결과를 허용 셀 송출 간격 계산 모듈에게 넘긴다. 이때 RM 셀 해석 모듈은 CCR(current cell rate), ER(explicit rate) 등의 정수로 된 값들을 받아들이어 ACI 또는 CCR, ER 등의 제어 파라미터 값을 구하는 계산을 할 수 있도록 실수 값으로 변환해 주어야 한다. 허용 셀 송출 간격 계산 모듈은 스위치 제어부에 내장된 연결 관리 기능으로부터 전달받은 해당 가상 연결의 제어 파라미터 값들과 RM 셀 해석 모듈로부터 넘겨받은 현재 망 측 상태 정보를 종합하여 제어 파라미터들을 계산한다. 가상 연결별 속도 제어가 실행되는 셀간 송출 간격으로 이루어지기 때문에 그 가상 연결의 ACI를 계산하여 CRCB로 전달해준다. 또한 계산된 제어 파라미터들중에서 RM 셀 필드의 구성요소들은 RCOB로 전달된다.

### 4. RM 셀 입력 블럭(RCIB)의 구성

RM 셀은 그 셀의 PTI 필드값이 110인지를 확인하여 추출이 가능하며 대부분의 ATM 계층

기능 칩에서 제공하는 OAM 및 RM 셀 추출 기능을 이용하여 구현이 가능하다. 이때 추출된 RM 셀의 내용은 흐름 제어 기능의 제어를 총괄하는 CPU에서 읽혀지고 해석이 이루어진다. 따라서 RCIB는 CPU와 ATM 계층 기능 칩의 접속 형태로 구현될 수 있다. RCIB에서 RM 셀이 수신되면 인터럽트 신호를 이용하여 CPCB로 수신된 RM 셀이 있음을 알리도록 구성한다. RCIB에서는 RM 셀의 추출만을 수행하여 CPCB로 전달하도록 하고 RM 셀 내용의 해석은 CPCB에서 이루어지도록 한다.

### 5. RM 셀 출력 블럭(RCOB)의 구성

RM 셀의 송출을 위한 기능을 수행하는 블럭으로서 RM 셀 내용을 생성하는 부분은 소프트웨어로, RM 셀을 적정한 간격을 두고 송출하는 과정은 하드웨어로 구성한다. RM 셀의 생성은 CPCB로부터 입력되는 RM 셀 구성 필드값들의 지속적인 갱신에 의해 이루어진다. 이때 순방향과 역방향 RM 셀의 RCOB 내 RM 송출 기능과의 송수신 창구를 각각 별도의 FIFO로 두어 관리한다. 이 RM FIFO들의 개수는 동시에 ABR 서비스를 수용해야 하는 가상 연결의 최대 개수와 같게 한다. 역방향 RM 셀 필드값은 직전에 수신된 순방향 RM 셀 내용과 데이터 셀로 전달되는 EFCI(explicit forward congestion indication) 내용에 의해 갱신된다. 따라서 흐름 제어 기능을 제어하는 CPU의 프로그램에서 폴링 또는 인터럽트에 의해 순방향 RM 셀 수신 또는 데이터 셀의 EFCI=1의 사건들이 감지되는 경우에 역방향 RM 셀 내용의 갱신과 역방향 RM FIFO 기록이 일어나도록 한다. 순방향 RM 셀 필드값은 수신된 역방향 RM 셀의 내용 및 시스템 상태 변화에 의해 갱신되어 순방향 RM FIFO에 기록된다.

역방향 RM 셀의 송출은 순방향 RM 셀이 수신된 후 가능한 한 즉시 이루어져야 하는 반면, 순방향 RM 셀은 ABR 서비스를 시작하기 전에 약정된 일정한 간격(RM 셀 송출간 전달되는 데이터 셀 개수  $N_{rm}$ ) 또는 시간(RM 셀 송출간 최대 대기 시간  $T_{rm}$ )을 유지하여 상대측 종단 시스템을 향하여 송출되어야 한다. 이 기능의 구현을 위해서는 현재 해당 가상 연결로 송출되고 있는 데이터 셀 개수를 감시하여  $N_{rm}-1$  개의 데

이더 셀이 송출된 이후 송출을 기다리고 있는 순방향 RM 셀이 있으면 즉시 출력되도록 해야 한다. 또한  $N_{rm}$  의 조건이 만족되지 않더라도  $T_{rm}$ 의 시간이 경과하면 RM 셀이 송출될 수 있어야 한다. 이러한 조건을 만족시켜 준비된 순방향 RM 셀을 송출할 수 있도록 그림 6에 나타낸 바와 같이 구성한다.

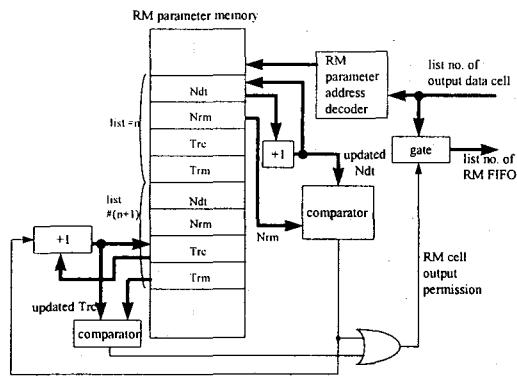


그림 6. RCOB의 RM 셀 송출 구조.  
Fig. 6 Structure of RM cell emission control in RCOB.

현재 송출이 허용되어 출력되는 셀의 목록 번호를 이용하여 RM 파라미터 메모리로부터 현재의 그 가상연결로 송출된 데이터 셀 개수를 나타내는  $N_{dt}$  값을 읽어들이어 가산기로 전달하고,  $N_{rm}$  을 읽어들이어 비교논리부로 전달하며 가산기에서 가산된 현재  $N_{dt}$  값으로 RM 파라미터 쓰기 메모리의 내용을 갱신한다. 비교논리부에서  $N_{dt}$ 가  $N_{rm}$ 과 같은 값이면 제어 파라미터 저장 메모리의 현재  $N_{dt}$  값을 0으로 초기화시키고 일차적인 RM 셀 송출 허용 신호를 생성시키는 동시에 RM 셀 송출 준수 시간인  $T_{rm}$ 의 비교를 위한 가산기를 활성화시킨다. 구현의 편의상  $T_{rm}$ 의 단위를 슬롯으로 하였다. 해당 가상연결의 RM 이전 송출 이후의 시간을 슬롯 단위로 나타낸  $T_{cr}$  값을 가산하여 그 가상연결의  $T_{rm}$  값과 비교하여 같은 값이면 앞에서의 일차적인 RM 셀 송출 신호의 활성화 여부에 관계없이 RM 셀 송출 허용 신호를 활성화시켜 해당되는 RM FIFO 목록 번호를 출력하여 순방향 RM FIFO에 대기하고 있던 RM 셀이 송출되게 한다.

#### IV. 결론

장거리 링크를 갖는 ATM 망에서 ABR 서비스를 제공하기 위하여 ATM 포럼에서 제시한 가상중단시스템의 ABR 서비스 제어 기능을 설계하기 위한 제반 고려 사항들을 살펴보고 구현을 위한 설계 구조를 제시하였다. 제시한 설계 구조에서는 많은 개수의 가상연결들에 대해 ABR 서비스를 수용해 줄 수 있도록 공유 메모리 구조를 이용한 셀 송출 제어 구조를 적용하였다.

제안한 설계 구조는 가상중단시스템에서 ABR 서비스를 제공하기 위해 필요한 기본 기능 구현의 시초 연구의 의미가 있고 메모리를 이용하여 다수의 가상연결 처리가 가능하게 구성한 구조로서 추후 구축될 장거리 ATM 망에서 ABR 서비스를 제공하는데 적용될 수 있다.

접수일자 : 2000. 9. 10 수정완료 : 2000. 12. 19

#### 참고 문헌

- [1] John Kenney, "ATM Forum Traffic Management Specification Version 4.1," *ATM Forum/af-tm-0121.000*, Mar. 1999.
- [2] ITU-T SG13, "Traffic control and congestion control in B-ISDN," *ITU-T Rec. I.371*, Temporary Document, Mar. 1994.
- [3] C. Lefelhocz, B. Lyles, S. Shenker, and L. Zhang, "Congestion control for best-effort service: Why we need a new paradigm," *IEEE Network Magazine*, pp.10-19, Feb. 1996.
- [4] N. Yin and M. G. Hluchyj, "On closed-loop rate controller for ATM cell reaily networks," *Proc. INFOCOM94*, pp.99-108, Toronto, Jun.1994.
- [5] A. Atai, "A rate-based feedback traffic controller for ATM networks," *Proc. ICC94*, New Orleans, Louisiana, vol. 3, pp.1605-1615, May 1994.
- [6] L. Benmohamed and D. Su, "Analysis of



the rate-based traffic management proposal for ATM networks," *Proc. International Conference on Telecommunications Systems, Modeling and Analysis*, Mar. 1995.

- [7] A. Kolarov and G. Ramamurthy, "End-to-end adaptive rate based congestion control scheme for ABR service in wide area ATM network," *Technical Report of NEC USA Inc.*, Feb. 1995.
- [8] K. Siu and H. Tzeng, "Intelligent congestion control for ABR service in ATM networks," *ACM SIGCOMM Computer Communication Review*, Jul. 1994.
- [9] C. Ikeda, H. Suzuki, and M. Murata, "Transient state Analysis and Maximum Buffer Requirements for Enhanced PRCA," *ATM Forum/94-910*, Ottawa, Sep. 25. 1994.
- [10] L. Roberts, "Enhanced PRCA(Proportional Rate-Control Algorithm)," *ATM Forum/94-0735R1*, Aug. 1994.



이승희(Lee, Soong Hee)

正會員

1987년 경북대학교

전자공학과(공학사)

1990년 경북대학교대학원

전자공학과(공학석사)

1995년 경북대학교대학원

전자공학과(공학박사)

1987년-1997년 한국전자통신연구원

광대역통신망연구부 선임연구원

1997년-현재 인제대학교 전자정보통신공학부

조교수

관심분야 : 초고속통신망, 통신시스템