

論文2001-38SD-11-9

완전-차동형 바이폴라 전류 감산기와 이를 이용한 전류-제어 전류 증폭기의 설계

(A Design of Fully-Differential Bipolar Current Subtractor and its Application to Current-Controlled Current Amplifier)

車 炯 雨 *

(Hyeong-Woo Cha)

요 약

고정도 전류-모드 신호 처리를 위한 새로운 완전-차동형 바이폴라 전류 감산기(FCS)와 이를 이용한 전류-제어 전류 증폭기(CCCA)를 설계했다. 완전-차동 전류 출력을 얻기 위해, FCS는 낮은 전류-입력 임피던스를 갖는 두 개의 전류 폴로워가 좌우 대칭적으로 구성되어 있다. CCCA는 출력전류를 바이어스 전류로 제어하기 위해 완전 차동형 전류 감산기(FCS)와 단일 전류 출력단을 갖는 전류 이득 증폭기(CGA)로 구성되었다. 시뮬레이션 결과 FCS는 5 Ω의 전류-입력 임피던스와 우수한 선형성을 갖는다는 것을 확인하였다. 또한, CCCA는 바이어스 전류를 100 μA에서 20 mA까지 가변했을 경우 20 MHz의 3-dB 차단 주파수를 갖는다는 것을 확인하였다. FCS와 CCCA의 전력 소비는 각각 1.8 mW와 3 mW이다.

Abstract

A Novel fully-differential bipolar current subtractor(FCS) and its application to current-controlled current amplifier(CCCA) for high-accuracy current-mode signal processing were designed. To obtain full-differential current output, the FCS was symmetrically composed of two current follower with low current-input impedance. The CCCA to control output current by the bias current was consisted of the subtractor and a current gain amplifier(CGA) with single-ended current output.. The simulation result shows that the FCS has current-input impedance of 5 Ω and a good linearity. The CCCA has 3-dB cutoff frequency of 20 MHz for the range over bias current 100 μA to 20 mA. The power dissipation of the FCS and CCCA are 1.8 mW and 3 mW, respectively.

I. 서 론

전류 감산기(current subtractor)는 두 개의 입력 전류의 차를 구하는 소자로서, 전류-모드 신호 처리 회로의 기본 블록이 된다. 전류 감산기의 대표적인 응용은 트랜스레지스턴스(transresistance) 증폭기[또는 노튼(Norton) 증폭기], 신경 회로망, 전류-모드 op-amp, 전류-모드 여파기 그리고 전류 증폭기 등이 있으며, 트랜스레지스턴스와 전류 증폭기는 전압-모드 신호처리의

* 正會員, 淸州大學校 電子·情報通信·半導體工學部
(School of Electronic, Information & Communication,
Semiconductor Eng., Chongju University)

※ 본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.
接受日字:2001年7月26日, 수정완료일:2001年10月22日

기본 빌딩 블록인 연산 증폭기와 같은 응용성을 갖고 있다^[1]. 특히, 이 두 증폭기의 출력을 제어하기 위해서는 완전-차동형(fully-differential) 전류 감산기가 요구된다^[2].

일반적인 전류 감산기는 그림 1에 나타난 것과 같이 노튼(Norton) 증폭기 LM359의 입력단에 사용된 기본 전류 미러와 이것의 출력 트랜지스터에 공통 이미터 증폭기를 결합시킨 회로이다^[3]. 이 경우, (1) 높은 임피던스의 전류 입력 단자, (2) 전류 입력 단자의 큰 오프셋 전압, (3) 입력 신호 범위의 제한성($i_{IN1} > i_{IN2}$) 등의 문제점을 갖고 있다. 이런 문제는 본 저자에 의해 그림 2에 나타난 전류 입력을 위한 두 개의 전류 폴로워(current follower : CF)와 그 전류 차를 얻기 위한 전류 미러로 구성된 전류 감산기에 의해 해결되었지만, 두 전류 입력의 차를 출력시키기 위해 i_{IN1} 은 두개의 전류 미러를 통과하는데 반해, i_{IN2} 는 한 개의 전류 미러만을 통과하기 때문에 전류 미러에 의한 오프셋 전류가 발생하고 완전-차동형 출력을 얻을 수 없는 문제점을 갖고 있다^[4].

본 연구에서의 그 첫 번째 연구 목적은 종래의 전류 감산기가 갖는 이러한 문제를 해결한 새로운 구성의 완전-차동형 바이폴라 전류 감산기를 제안하는 것이다.

한편, 전류 증폭기는 전류 신호를 입력으로 받아 임의의 전류 이득 A_i 배로 증폭해서 전류로 출력시키는 3 단자 능동 소자로서 전류-모드 신호처리의 기본 블록이 되며, 전압-모드의 연산 증폭기와 같이 전류-모드 미·적분기, 여파기, 발진기 등 그 응용 범위가 다양하다. 이상적인 전류 증폭기는 전류-입력 단자의 임피던스가 0, 무한대의 전류 증폭율, 그리고 출력 단자의 임피던스는 각각 무한대를 가져야 한다^[5].

이상적인 특성을 갖는 전류 증폭기의 연구가 최근에 활발히 이루어지고 있지만 여전히 입력 임피던스가 큰 문제점이 있다^{[6]-[8]}. 따라서, 이 전류 증폭기를 실용 전자 회로에 적용할 때 전치 회로 설계에 주의가 요구된다. 특히, 발표된 전류 증폭기들은 전류 이득을 제어할 수 없기 때문에 각종 튜닝(tuning) 회로 및 전압 제어 여파기와 발진기 등에 응용할 수 없는 문제점을 갖고 있다.

본 연구에서의 그 두 번째 연구 목적은 종래의 전류 증폭기가 갖고 있는 이러한 문제를 해결한 새로운 구성의 바이폴라 전류-제어 전류 증폭기(current control current amplifier : CCCA)를 제안한다. 이 CCCA 설계

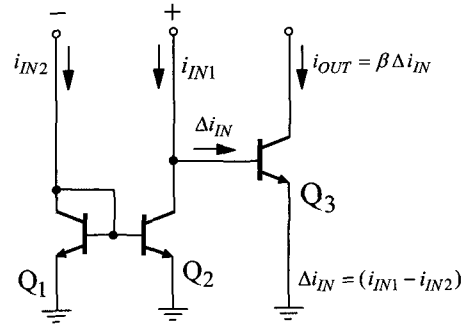


그림 1. LM359의 입력단 회로도
Fig. 1. Circuit diagram of input stage for LM359.

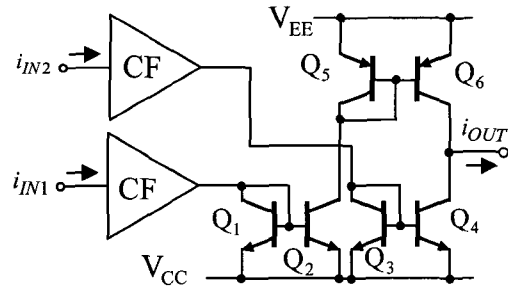


그림 2. 그림 1의 문제점을 해결한 회로도(참고문헌 4)
Fig. 2. Circuit diagram solved the problem of Fig. 1.

를 위하여 완전-차동형 전류 감산기와 전류 이득 증폭기를 채용하였다^[10]. 본 서론에 이어서, 제 2절에서는 제안한 FCS와 CCCA의 회로 구성과 동작 원리를 기술하고, 제 3절에서는 제안한 회로들의 동작 원리와 그 성능을 컴퓨터 시뮬레이션을 통하여 확인하고, 결론에서 본 논문을 정리한다.

II. 회로 구성 및 동작 원리

1. 완전-차동형 전류 감산기(FCS)

본 논문에서 제안한 완전-차동형 바이폴라 전류 감산기(fully-differential bipolar current subtracter : FCS)의 블록도를 그림 3에 나타냈다. 이 블록도는 차동 출력을 갖는 전류 폴로워 (current follower : CF) 2개가 좌우 대칭적으로 구성된다. 여기서, 두 CF가 이상적이라면 CF의 정(+)과 부(-)의 출력은 단자에서 나가는 전류를 기준으로 할 때 각각 $i_{\alpha(+)} = i_{IN1}$, 그리고 $i_{\alpha(-)} = -i_{IN1}$ 로 주어진다. CF의 (+) 출력 전류는 다른 CF의 (-) 출력으로 각각 연결되어 있기 때문에 최종적

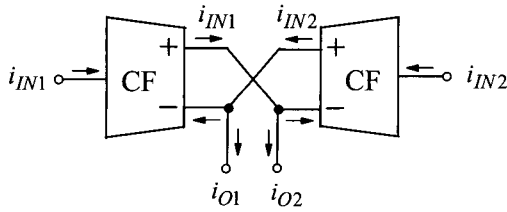


그림 3. 제안한 완전-차동형 전류 감산기(FCS)의 블록도
Fig. 3. Block diagram of the proposed FCS.

인 출력 전류는 다음과 같이 주어진다.

$$\begin{aligned} i_{O1} &= i_{IN2} - i_{IN1}, \\ i_{O2} &= i_{IN1} - i_{IN2} \end{aligned} \quad (1)$$

위 식을 갖는 전류 감산기를 실현하기 위해서는 낮은 전류-입력 임피던스를 갖는 입력단, 높은 전류-출력 임피던스를 갖는 출력단, 그리고 단위 이득(unit gain)을 갖도록 전류 감산기 회로를 설계하여야만 한다.

그림 3에 나타낸 FCS 블록도에 대한 전체 회로를 그림 4에 나타냈다. 회로는 전류 입력을 위해 $Q_1 \sim Q_2$ (또는 $Q_8 \sim Q_9$)로 구성되는 정류 셀(regulated cell)과 차동 출력을 얻기 위한 $Q_3 \sim Q_7$ (또는 $Q_{10} \sim Q_{14}$)로 구성되는 전류 미러로 이루어졌다. 또한, 전류 입력 단자의 임피던스를 줄이기 위해 이 두 부분의 컬렉터 전류를 귀환시켰다^[11]. 그림 4의 회로에서 베이스 전류를 무시하면, Q_2 의 이미터 단자로 입력되는 총 전류 $I_B + i_{IN1}$ 은 전류 미러 $Q_3 \sim Q_4$ 와 $Q_6 \sim Q_7$ 에 의해 i_{C7} 로, 그리고 전류 미러 $Q_3 \sim Q_5$ 에 의해 i_{C5} 로 각각 복제된다. 한편, Q_9 의 이미터 단자로 입력되는 $I_B + i_{IN2}$ 는 전류 미러 $Q_{10} \sim Q_{11}$ 와 $Q_{13} \sim Q_{14}$ 에 의해 i_{C4} 로, 그리고 $Q_{10} \sim Q_{12}$ 에 의해 i_{C12} 로 각각 복제된다. 따라서, 전류 출력 단자에서 다음과 같은 전류 전달식을 구할 수 있다.

$$\begin{aligned} i_{O1} &= i_{C4} - i_{C5} = -(i_{IN1} - i_{IN2}), \\ i_{O2} &= i_{C7} - i_{C12} = (i_{IN1} - i_{IN2}) \end{aligned} \quad (2)$$

또한, 전류 미러 $Q_3 \sim Q_4$ (또는 $Q_{10} \sim Q_{11}$)에 의해 $i_{C1} = i_{C2}$ (또는 $i_{C8} = i_{C9}$)이 되어 v_{BE1} 과 v_{BE2} 가 같은 크기로 증가 또는 감소한다. 따라서, 전류 입력 단자는 일정한 전압을 갖고 있기 때문에 가상 접지가 형성되어 낮은 임피던스를 갖는다고 할 수 있다. 소신호 등가 회로를 이용하여 두 전류 입력 단자의 입력 임피던스

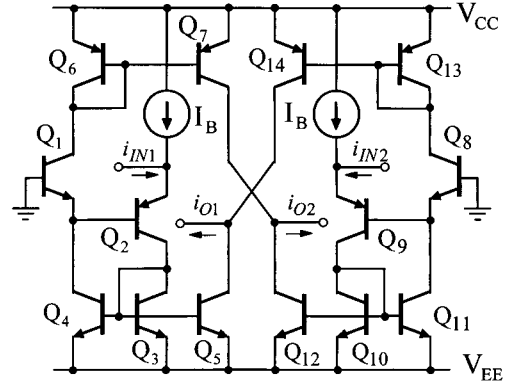


그림 4. 완전-차동형 전류 감산기(FCS)의 전체 회로도
Fig. 4. Complete circuit diagram of the FCS.

r_{IN1} 과 r_{IN2} 를 구하면 다음과 같이 주어진다^[11].

$$\begin{aligned} r_{IN1} &= \frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m1} g_{m2} r_{\pi 2}}, \\ r_{IN2} &= \frac{1}{g_{m9}} - \frac{1}{g_{m8}} + \frac{1}{g_{m8} g_{m9} r_{\pi 9}} \end{aligned} \quad (3)$$

여기서, $r_{\pi 2}$ 와 $r_{\pi 9}$ 는 Q_2 와 Q_9 의 베이스와 이미터 간의 저항이다. 전류 미러에 의해 $i_{C1} = i_{C2}$ (또는 $i_{C8} = i_{C9}$)이 되므로 r_{IN1} 과 r_{IN2} 는 무시할 정도로 작은 값을 갖는다. 따라서, 전류 입력 단자는 가상 접지가 형성된다고 할 수 있다. 그러나, 전류-미러 Q_3 과 Q_4 의 부정합과 유한한 공통-이미터 전류 이득 β 에 의해 $i_{C1} \neq i_{C2}$ (또는 $i_{C8} \neq i_{C9}$)이 되기 때문에 수 옴 [Ω]에서 20 옴 이하의 임피던스를 갖을 것이다^[9]. 전류 출력 단자의 출력 임피던스는 전류 미러 구성에 의해 높게 할 수 있기 때문에 출력 전류 i_{O1} 또는 i_{O2} 는 부하의 영향이 아주 작다. 따라서, 제안한 그림 4에 나타낸 완전-차동형 전류 감산기에 대한 입-출력 전류 전달식은 식 (2)로 주어진다.

그림 4에 제시한 FCS의 회로의 정도는 유한한 공통-이미터 전류 이득 β 과 얼리 효과(Early effect)에 의해 결정된다. 이 회로의 전류-입력 임피던스가 아주 작고 전류를 입력 신호로 사용하기 때문에 낮은 전압에서도 동작이 가능하다^[10]. 따라서, 낮은 공급 전압을 사용하면 얼리 효과에 대한 영향을 무시할 수 있다. 그러나, 회로 구성에서 i_{IN1} (또는 i_{IN2})을 i_{C7} (또는 i_{C4})로 복제하는데 각각 2개의 전류 미러를 사용하였고 또, i_{C5} (또는 i_{C12})로 복제하는데 1개의 전류 미러를

사용하였기 때문에 회로의 정도는 유한한 β 값에 영향을 받는다고 할 수 있다. 모든 *pnp*와 *nnp* 트랜지스터의 유한한 β_P 와 β_N 값을 각각 고려하고 i_{C1} , i_{C4} , i_{C5} , 그리고 i_{C12} 를 구하면 다음과 같고

$$i_{C5} \cong \frac{1}{1 + \frac{3}{\beta_N} + \frac{1}{\beta_P}} (i_{IN1} + I_B),$$

$$i_{C7} \cong \frac{1}{1 + \frac{3}{\beta_P}} \frac{1}{1 + \frac{3}{\beta_N} + \frac{1}{\beta_P}} (i_{IN1} + I_B) \quad (4)$$

$$i_{C12} \cong \frac{1}{1 + \frac{3}{\beta_N} + \frac{1}{\beta_P}} (i_{IN2} + I_B),$$

$$i_{C14} \cong \frac{1}{1 + \frac{3}{\beta_P}} \frac{1}{1 + \frac{3}{\beta_N} + \frac{1}{\beta_P}} (i_{IN2} + I_B) \quad (5)$$

위 식으로부터 최종적인 출력 전류는 다음과 같다.

$$i_{O1} = A_P(A_N i_{IN1} - i_{IN2}) + A_N I_B (1 - A_P) \quad (6a)$$

$$i_{O2} = A_P(A_N i_{IN2} - i_{IN1}) + A_N I_B (1 - A_P) \quad (6b)$$

여기서, 계수 A_P 와 A_N 는 다음 식을 의미한다.

$$A_P = \frac{1}{1 + \frac{3}{\beta_P}}, \quad A_N = \frac{1}{1 + \frac{3}{\beta_N} + \frac{1}{\beta_P}} \quad (7)$$

식 (6)으로부터, 두 입력 신호 전류가 $0 \mu A$ 일 경우 바이어스 전류에 대한 오프셋 전류가 두 전류 출력 단자에서 생긴다는 것을 알 수 있다. 본 연구에 사용되는 값, 즉 $I_B = 100 \mu A$, $\beta_N = 400$, 그리고 $\beta_P = 180$ 를 고려하여 오프셋 전류를 구하면 약 $0.734 \mu A$ 가 된다. 이 오프셋 전류는 *pnnp* 혹은 *nnpn*으로 구성되는 전류 미러의 이득, 즉 베이스와 에미터간의 면적 비를 정밀하게 조절하면 해결할 수 있을 것이다^[1].

2. 단일-출력 전류 이득 증폭기(SECGA)

전류-제어 전류 증폭기(CCCA)를 실현하기 위해 설계된 단일-출력 전류 이득 증폭기(single-ended current gain amplifie: SECGA)의 블록도와 회로도를 그림 5에 나타냈다. 회로는 트랜스리니어 셀(translinear cell)를 구성하는 $Q_{15} \sim Q_{18}$, 바이어스 전류원 I_Y 과 I_X , 그리고 출력 전류 i_{OUT} 를 얻기 위한 단일-출력(single-ended) 전류 미러로 구성된다. 트랜지스터가 정합되었다고 가정하고 트랜스리니어 셀의 Q_{15} 와 Q_{18} (또

는 Q_{16} 와 Q_{17}) 사이의 전압 ΔV 는 다음과 같이 주진다.

$$\Delta V = v_{BE15} - v_{BE18} = v_{BE16} - v_{BE17} \quad (8)$$

바이폴라 트랜지스터의 $v_{BE} = V_T \ln(i_C/I_S)$ 라는 관계식을 이용해 위 식을 간략화한 다음, 양변에 지수를 취하면

$$\exp\left(\frac{\Delta V}{V_T}\right) = \frac{i_{C16}}{i_{C17}}, \quad \exp\left(\frac{\Delta V}{V_T}\right) = \frac{i_{C15}}{i_{C18}} \quad (9)$$

이 되어 다음과 같은 식을 구할 수 있다.

$$\frac{i_{C16}}{i_{C17}} = \frac{i_{C15}}{i_{C18}} \quad (10)$$

한편, 차동-증폭기 Q_{16} 과 Q_{17} 그리고 바이어스 전류 I_Y 에 의해, $i_{C16} + i_{C17} = I_Y$ 을 얻을 수 있고 전류 미러("in 1:1 out"로 표시된 부분)에 의해 $i_{C16} - i_{C17} = i_{OUT}$ 를 구할 수 있다. 이 두 식을 이용하여 i_{C16} 과 i_{C17} 를 구하면 다음과 같이 주어진다.

$$i_{C16} = \frac{1}{2}(I_Y - i_{OUT}), \quad i_{C17} = \frac{1}{2}(I_Y + i_{OUT}) \quad (11)$$

또한, 단일-출력 전류 증폭기의 두 전류 입력 마디(node)에서 키로히호프의 전류 법칙(KCL)을 적용하면 다음과 같은 관계를 얻을 수 있다.

$$i_{C15} = i_{O1} + I_X, \quad i_{C18} = i_{O2} + I_X \quad (12)$$

여기서, 완전-차동형 전류 감산기의 출력 신호 i_{O1} 과 i_{O2} 를 단일-출력 전류 이득 증폭기의 입력 신호로 사용하면 i_{C15} 과 i_{C18} 은 다음과 같이 나타낼 수 있다.

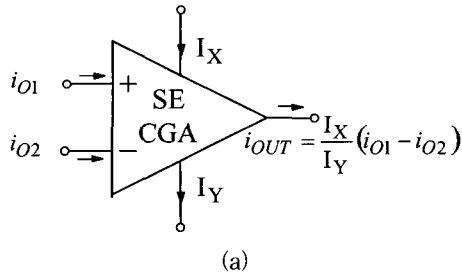
$$i_{C15} = i_{O1} + I_X = -(i_{IN1} - i_{IN2}) + I_X,$$

$$i_{C18} = i_{O2} + I_X = (i_{IN1} - i_{IN2}) + I_X \quad (13)$$

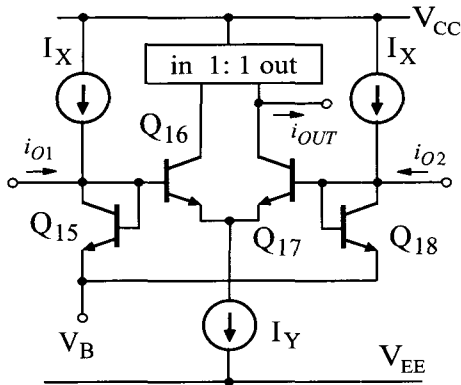
위 식과 식 (11)을 식 (10)에 대입하여 정리하면 그림 4에 나타낸 단일-출력 전류 이득 증폭기의 출력 전류는 최종적으로 다음과 같이 얻어진다.

$$i_{OUT} = \frac{I_Y}{I_X} (i_{IN1} - i_{IN2}) \quad (14)$$

이 식으로부터, 그림 4에 나타낸 완전-차동형 전류 감



(a)



(b)

그림 5. 단일-출력 전류 이득 증폭기(SECGA)의 (a) 블록도와 (b) 그 회로도
Fig. 5. Block (a) and circuit diagram of the SECGA.

산기와 그림 5의 단일-출력 전류 이득 증폭기를 결합시키면 출력 전류가 바이어스 전류 I_Y 에 직접 비례하는 전류 증폭기를 실현할 수 있다는 것을 알 수 있다.

3. 전류-제어 전류 증폭기(CCCA)

제안한 전류-제어 전류 증폭기(CCCA)의 블록도를 그림 6에 나타냈다. 블록도는 그림 4의 완전-차동형 전류 감산기(FCS)와 그림 5의 단일-출력 전류 이득 증폭기(SECGA)로 구성된다. FCS와 SECGA가 앞 절에서 설명한 동작을 행하고, 이상적인 단자 특성을 갖는다면 이 CCCA의 입력과 출력의 전달함수는 식 (14)로 주어진다. 제안한 CCCA의 블록도를 실현한 회로를 그림 7에 나타냈다. 단일 전류 출력 $i_{C16} - i_{C17} = i_{OUT}$ 를 얻기 위해 2개의 *pnp*형 트랜지스터로 구성된 윌슨(Wilson) 전류 미러와 1 개의 *nnp*형 윌슨 전류 미러가 사용되었다. 즉, i_{C16} 은 전류 미러 $Q_{19} \sim Q_{21}$ 와 $Q_{25} \sim Q_{27}$ 를 통하여 i_{C25} 가 되고, i_{C17} 는 전류 미러 $Q_{22} \sim Q_{24}$ 를 통하여 i_{C24} 가 된다. 따라서 출력 단자에서 $i_{OUT} = i_{C24} - i_{C25} = i_{C16} - i_{C17}$ 이 되고 식 (10), (11), 그

(840)

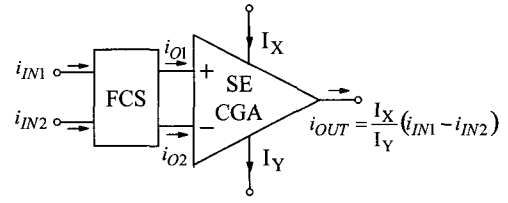


그림 6. 제안한 전류-제어 전류 증폭기(CCCA)의 블록도
Fig. 6. Block diagram of the proposed CCCA.

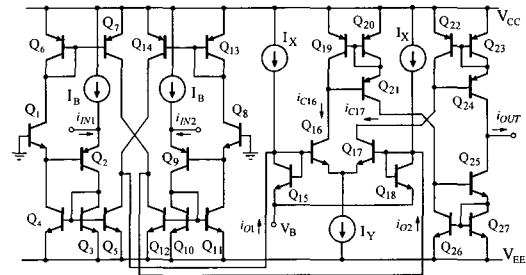


그림 7. 바이폴라 전류-제어 전류 증폭기(CCCA)의 전체 회로도
Fig. 7. Complete circuit diagram of the bipolar CCCA.

리고 (13)을 이용하면 $i_{OUT} = (I_Y / I_X) (i_{IN1} - i_{IN2})$ 이 된다. 여기서, 사용한 윌슨 전류 미러는 출력단의 전압이 변화에 따른 얼리(Early) 효과는 무시할 수 있기 때문에^[13], 제안한 CCCA의 출력단은 얼리 전압에 영향을 받지 않는다고 할 수 있다. 이 CCCA의 출력 임피던스 r_{OUT} 는 다음과 같이 주어진다.

$$r_{OUT} = \frac{\beta_P r_{o24}}{2} \parallel \frac{\beta_N r_{o25}}{2} \quad (15)$$

제안한 CCCA 회로는 완전 차동형 전류 감산기(FCS)와 단일-출력 전류 이득 증폭기(SECGA)로 구성되었기 때문에 CCCA의 정도는 FCS와 SECGA의 정도에 의해서 결정된다. 특히, SECGA에서 i_{C16} 를 i_{C25} 로 복제하는데 *pnp*와 *nnp* 전류 미러를 사용하였고, i_{C17} 를 i_{C24} 로 복제하는데 단 하나의 *nnp* 전류 미러를 사용하였기 때문에 이것에 의해 출력 전류의 오프셋 전류가 발생한다. 위의 두 가지를 고려하여 CCCA의 전류 전달 특성을 구하면 다음과 같이 주어진다.

$$i_{OUT} = \left(\frac{I_Y}{I_X} \right) i_{FCS-MIRROR} - \frac{2}{\beta_P^2} \left(I_Y I_X + \frac{I_Y}{I_X} i_{FCS-MIRROR}^2 \right) \quad (16)$$

여기서, $i_{FCS-MIRROR} = A_P(A_N i_{IN1} - i_{IN2}) + A_N I_B$
 $(1 - A_P)$ 이며, 계수 A_P 와 A_N 는 식 (7)에 나타난 것
 과 같다. 입력 전류가 $0 \mu A$ 이고 $I_B = I_X = I_Y$
 $= 100 \mu A$, $\beta_N = 400$, 그리고 $\beta_P = 180$ 를 고려하여 출
 력 오프셋 전류를 구하면 약 $0.234 \mu A$ 가 된다.

III. 시뮬레이션 결과 및 고찰

제안한 완전-차동형 바이폴라 전류 감산기(FCS)와
 전류-제어 전류 증폭기(CCCA)의 회로를 PSPICE 시뮬
 레이션을 통하여 동작 원리와 그 성능을 확인하였다.
 시뮬레이션에서 사용한 트랜지스터는 Q2N3906(pnp)와
 Q2N3904(npn)이고 이것들의 모델 파라미터는 표 1에
 나타냈다. 사용한 전원 전압은 $V_{CC} = -V_{EE} = 1.5 V$,
 $V_B = -0.6 V$, 바이어스 전류 $I_B = I_X = I_Y = 100 \mu A$
 이었고 이들은 기본적인 전류 미러를 사용하여 실현하
 였다. 그리고 출력 전류를 측정하기 위해, 부하 저항
 $R_L = 100 \Omega$ 을 출력단과 접지 사이에 연결하여 실험을
 하였다.

그림 8은 완전-차동형 전류 감산기(또는 전류-제어
 전류 증폭기)의 전류 입력 단자의 직류 특성을 실험한
 결과이다. 이 그림으로부터 전류-입력 단자의 임피던스
 는 $r_{IN1} = r_{IN} = v_{IN} / i_{IN1} = 5 \Omega$ 이하라는 것을 알
 수 있다. 이것은 그림 1에 나타난 종래의 전류 감산기
 의 입력 단자 저항 $r_{IN} = 1/g_m = V_T/I_C$ 와 비교할 때

표 1. Q2N3906(pnp)과 Q2N3904(npn) 트랜지스
 터의 모델 파라미터

Table 1. Transistor model parameters of
 Q2N3906(pnp) and Q2N3904(npn).

.model Q2N3906 PNP(Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikf=80m Xtb=1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc=9.728p Mjc=.5776 Vjc=.75 Fc=.5 Cje=8.063p Mje=.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf=4 Xtf=6 Rb=10)
.model Q2N3904 NPN(Is=6.734f Xti=3 Eg=1.11 Vaf=74. Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10)

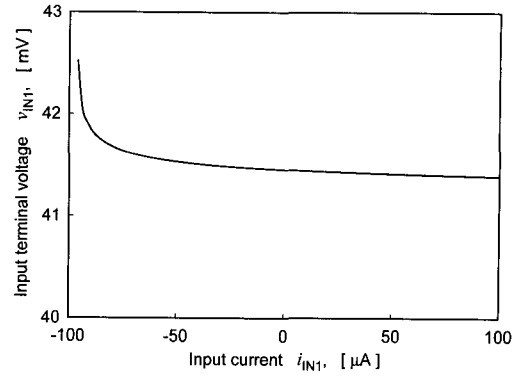


그림 8. FCS의 전류-입력 단자의 임피던스 특성
 Fig. 8. Impedance characteristics of current-input
 terminal in the FCS.

50배 작은 값이다. 그림 8에서 부정(negative) 저항 특
 성을 보이는 것은, 전류 미러 Q_3 과 Q_4 의 부정확한 전
 류 복제(유한한 β 에 의해)에 의해 g_{m2} 가 g_{m1} 보다 큰
 값을 갖게되어 일정한 저항값[$1/(g_{m1} g_{m2} r_{\pi 2})$]에서
 전체 저항값이 감소되는 현상이 나타난다고 사료된다.
 [식 (3) 참조]. 또한, 입력전류가 $-100 \mu A$ 에 가까워지면
 Q_2 의 이미터로 들어가는 전류가 아주 작기 때문에 저
 항의 크기가 증가하는 것을 알 수 있다. 그러나, 이 값
 들은 아주 작은 값(전체 전류 변화에 대하여 $1.0 mV$ 의
 변화)들이기 때문에 제안한 FCS의 전류-입력 단은 가
 상 접지에 가까운 낮은 임피던스를 갖고 있다고 할 수
 있다. 따라서, 제안한 FCS를 이용한 각종 응용 회로를
 설계할 경우 전치 회로(preposition circuit)의 설계에
 큰 주의가 요구되지 않는다고 할 수 있다.

그림 9는 그림 4에 나타낸 FCS에 있어서 $i_{IN2} = 0 A$

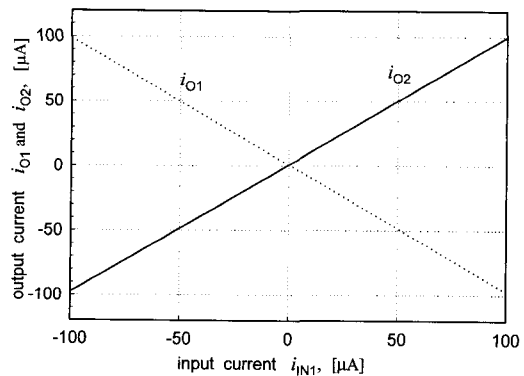


그림 9. FCS의 전류 전달 특성
 Fig. 9. Current transfer characteristics of the FCS.

일 때 i_{IN1} 의 변화에 따른 i_{O1} 과 i_{O2} 의 특성을 각각 실험한 결과이다. 출력 전류는 FCS 회로의 출력단과 접지(ground) 사이에 부하저항 $R_L = 100 \Omega$ 을 연결한 다음 측정하였다. 그림 9에 나타낸 결과와 측정된 데이터로부터, 오프셋 전류는 $0.832 \mu A$ 이며, 이것은 이론 [식 (6)]적으로 계산한 값인 $0.734 \mu A$ 과 유사함을 알 수 있다. 또한, 그림 9에서 전류 전달 특성의 선형성 오차는 0.5% 이하이다.

그림 10은 제안한 FCS의 출력 전류들의 파형을 실험한 결과이다. 입력 전류 신호는 $i_{IN1} = 50 \sin 2\pi 1 M t [\mu A]$ 로, $i_{IN2} = 25 \sin 2\pi 1 M t [\mu A]$ 로 설정하였다. 이 결과로부터, 완전 차동형 전류 감산기의 출력 파형 i_{O1} 과 i_{O2} 가 이론식 $i_{O1} = -(i_{IN1} - i_{IN2})$, $i_{O2} = (i_{IN1} - i_{IN2})$ 와 각각 일치한다는 것을 알 수 있다. 그림 4에 나타낸 FCS의 출력

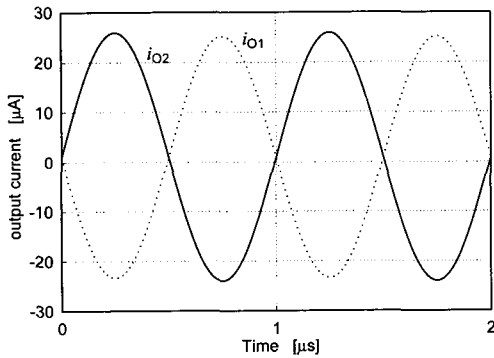


그림 10. FCS의 출력 전류 파형들

Fig. 10. Output current waveforms of the FCS.

임피던스 $r_{out} = r_o/2 \approx V_{AP}/(2I_C)$ 를 표 1에 나타낸 파라미터와 바이어스 전류를 이용하여 구하면 $94 k\Omega$ 이다. 여기서 V_{AP} 는 *npn* 트랜지스터의 얼리 전압이다. 이 출력 저항을 아주 크게 증가시키기 위해 캐스코드(cascode) 또는 윌슨(Wilson) 전류 미러를 사용하면 될 것이다^[13]. 이상의 결과로부터 제안한 FCS는 낮은 전류-입력 임피던스, 정확한 단위 이득(unit gain), 그리고 비교적 큰 전류-출력 임피던스를 갖고 있다는 것을 알 수 있다. 따라서, 이 FCS 전류 증폭기와 트랜스레지스턴스 증폭기 등의 입력 단으로 아주 유용하게 사용될 것으로 사료된다. 이 FCS의 전력 소모는 $1.8 mW$ 이다.

그림 11은 전류-제어 전류 증폭기(CCCA)에 있어서, $i_{IN2} = 0 A$ 일 때 i_{IN1} 의 변화에 따른 i_{OUT} 의 특성이

다. 이 그림과 측정된 데이터 값으로부터, 오프셋 전류

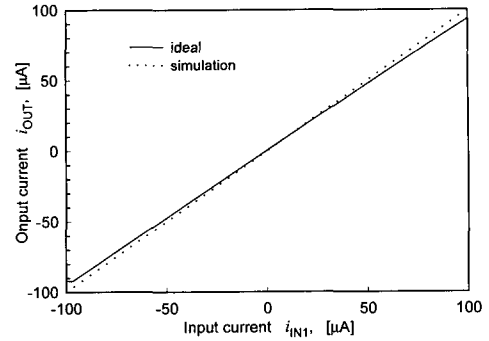


그림 11. CCCA의 단일 전류 입력 신호에 대한 출력 전류 특성

Fig. 11. Characteristics of output current vs. single current input signal in the CCCA.

는 $0.268 \mu A$ 이라는 것을 알 수 있다. 이것은 이론[식 (16)]적으로 계산한 값인 $0.234 \mu A$ 과 거의 일치되는 값이다. 그림 11로부터 입력 신호가 증가함에 따라 측정된 출력 전류와 이상적인 출력 전류[식 (14)]와의 차이가 점점 증가된다는 것을 알 수 있는데, 그 원인은 출력 전류가 식 (16)으로 주어지기 때문이라고 할 수 있다. 또한, 최종적인 출력 전달 특성은 이상적인 전달 특성[식 (14)]과 다른 기울기를 가지고 있지만 그 선형성 아주 우수하다는 것을 알 수 있다. 그림 7에 나타낸 CCCA의 출력 임피던스를 표 1에 나타낸 파라미터와 바이어스 전류, 그리고 식 (15)를 이용하여 구하면 약 $8 M\Omega$ 이다.

그림 12는 CCCA에 있어서, $i_{IN1} = 50 \mu A$ 와 $i_{IN2} = 25 \mu A$ 일 때 바이어스 전류 I_Y 의 변화에 대한 출력

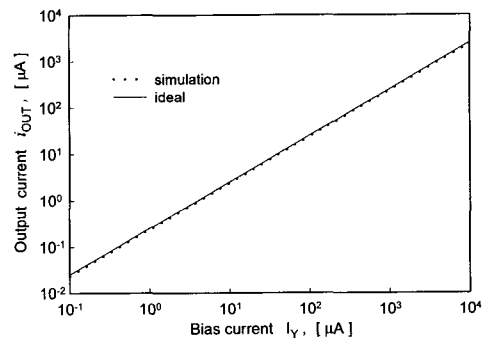


그림 12. CCCA의 바이어스 전류 I_Y 에 대한 출력 전류 특성

Fig. 12. Characteristics of output current vs. bias current I_Y in the CCCA.

전류 i_{OUT} 의 특성이다. 이 결과로부터 실험 결과와 이론식 $i_{OUT} = (I_Y / I_X) (i_{IN1} - i_{IN2}) = 0.25 I_Y [\mu A]$ 과 오차는 최대 6.5%라는 것을 알 수 있다. 또한, 출력 전류의 제어 범위가 5 디케이드(decade)이라는 것을 알 수 있다.

그림 13은 CCCA에 있어서, $i_{IN1} = 50 \mu A$ 와 $i_{IN2} = 25 \mu A$ 일 때 제어 전류에 따른 전류 이득의 주파수 특성이다. 이 결과로부터 제어 전류 I_Y 가 $100 \mu A$ 에서 20 mA까지의 범위에서 3-dB 주파수가 20 MHz 이상이라는 것을 알 수 있다. $10 \mu A$ 이하에서는 주파수 특성이 낮아지는데, 이것은 트랜지스터의 낮은 바이어스 전류에 대해서는 이것의 차단 주파수 f_T 가 작아지기 때문에 나타나는 현상이다^[13]. 따라서, 제안한 CCCA는 바이어스 전류가 $100 \mu A$ 또는 그 이상에서는 우수한 주파수 특성을 갖는다고 할 수 있다.

그림 14의 (a)와 (b)는 CCCA에 있어서, $i_{IN1} = 50 \sin 2\pi 100 k t [\mu A]$, $i_{IN2} = 25 \sin 2\pi 100 k t [\mu A]$ 일 때 제어-전류 I_Y 에 대한 출력 전류의 파형들이다. 그림 14(a)에서 실선은 $I_Y = 1 \mu A$ 에 해당되는 출력 전류 파형이고, 점선은 $I_Y = 10 \mu A$ 일 때의 출력이다. 또한, 그림 14(b)에서 실선은 $I_Y = 10 mA$ 에 해당되는 출력 전류 파형이고, 점선은 $I_Y = 20 mA$ 일 때의 출력이다. 이 결과들로부터 이론식 $i_{OUT} = I_Y / I_X (i_{IN1} - i_{IN2}) = 0.25 I_Y [\mu A]$ 이지만, 실험 결과의 출력 전류 $i_{OUT} = 0.234 I_Y [\mu A]$ 로 약 6.5% 작은 값이었다. 입력 신호가 없을 경우 제안한 CCCA의 소비전력은 3 mW이며, 바이어스 전류 I_Y 의 변화에 따라, CCCA의 소비 전력은 $1.8 mW + (V_{CC} - V_{EE})(200 \mu A + 2 I_Y) mW$ 의 식으로 주어진다.

본 논문에서 제안한 FCS와 CCCA의 회로는 종래의 전류 감산기(노튼 증폭기의 입력단 회로) 회로와 비교할 때, 입력 임피던스가 약 50배로 작기 때문에 전치회로의 출력 임피던스가 50배 작아도 같은 성능의 신호 처리(증폭 및 감산)를 할 수 있다. 따라서, 제안한 회로는 출력 임피던스가 작은 전류 신호원 또는 회로의 출력 전류를 증폭 및 감산하는데 특히 유용하게 사용할 수 있을 것으로 사료된다.

본 논문에서 제안한 전류 감산기와 전류-제어 전류 증폭기의 회로의 단점은 전류 입력 단자의 오프셋 전압이 큰 점이다. 제안한 회로를 전압-모드로 응용할 경

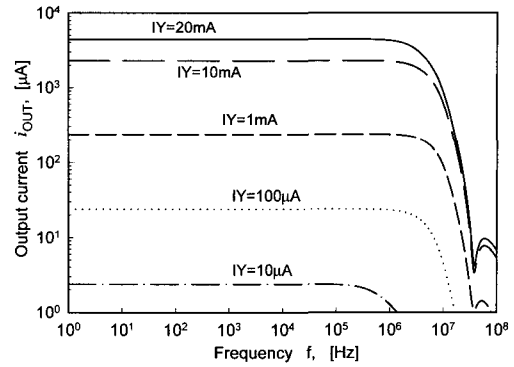


그림 13. CCCA의 바이어스 전류 I_Y 에 따른 출력 전류의 주파수 특성

Fig. 13. Frequency characteristics of output current vs. bias current I_Y in the CCCA.

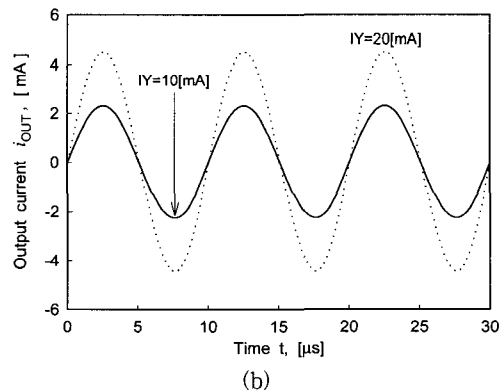
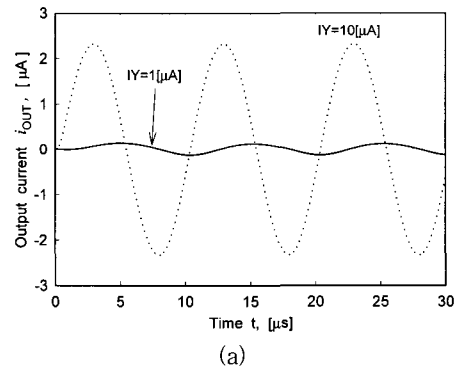


그림 14. CCCA의 바이어스 전류에 대한 출력 전류 파형들 (a) $I_Y = 1 \mu A$, $I_Y = 10 \mu A$ 일 때, (b) $I_Y = 10 mA$, $I_Y = 20 mA$ 일 때

Fig. 14. Output current waveforms for current I_Y in the CCCA. (a) at $I_Y = 1 \mu A$, $I_Y = 10 \mu A$, (b) at $I_Y = 10 mA$, $I_Y = 20 mA$.

우 이 전압에 의해 오차가 발생한다. 그러나, 이 오프셋 전압은 다이오드 결선된 *pnp*와 *nnp* 트랜지스터를 Q_1 과 Q_2 사이에 직렬로 연결함으로 0.05 mV로 줄일 수 있다^[9]. 그러나, 이 경우에는 입력 선형 범위가 감소되는 문제점이 있으며, 같은 선형 범위를 얻기 위해 공급 전압을 증가시켜야만 하는 문제점이 있다.

IV. 결 론

완전-차동형 전류 감산기(FCS)와 그 응용 회로인 전류-제어 전류 증폭기(CCCA)의 동작 원리와 성능을 각각 PSPICE 시뮬레이션을 통해 확인하였다. 제안한 전류 감산기와 종래의 전류 감산기의 성능을 표 2에 나타냈다. 이 표로부터, 제안한 전류 감산기는 거의 이상적인 전류-입력 단자, 정확한 단위 이득, 그리고 비교적 큰 전류-출력 임피던스 단자를 갖고 있다는 것을 알 수 있다. 따라서, 본 연구에서 제안한 완전-차동형 전류 감산기는 트랜스레지스턴스(transresistance) 증폭기와 전류 증폭기 등과 같은 전류-모드 신호처리를 위한 회로 내에서 기본 빌딩 블록 회로로 아주 유용하게 사용될 것으로 기대된다.

CCCA의 성능을 표 3에 나타냈다. 이 결과로부터 CCCA는 매우 큰 전류-출력 임피던스 단자와 5-디케

표 2. 종래의 전류 감산기들과 제안한 전류 감산기의 성능 비교

Table 2 Performance comparison of conventional and proposed FCS.

종류 항목	노턴 증폭기의 전류 감산기	참고문헌 4의 전류 감산기	제안한 전류 감산기
전류 입력 단자의 임피던스	V_T/i_{IN}	5 Ω	5 Ω
전류 출력 단자의 임피던스	94 kΩ	94 kΩ	94 kΩ
전류 입력 단자의 오프셋 전압	700 mV	41.5 mV	41.5 mV
소비 전력	-	1.8 mW	1.8 mW
입력 전류 범위	$I_{IN1} > I_{IN2}$	$(\pm I_B) \times 90$	$(\pm I_B) \times 90$
트랜지스터 수	3	21	14
전류 선형성 오차	0.45 %	1.2 %	0.5 %
3-dB 주파수	100 MHz	50MHz	60MHz

표 3. 제안한 전류-제어 전류 증폭기의 성능

Table 3 Performance of the proposed CCCA.

항목	종류 제안한 전류 감산기
전류 입력 단자의 임피던스	5 Ω
전류 출력 단자의 임피던스	8 M Ω
전류 입력 단자의 오프셋 전압	41.5 mV
소비 전력	3 mW
입력 전류 범위	$(\pm I_B) \times 90 \%$
출력전류 제어 범위	5 디케이드
3-dB 주파수	20MHz

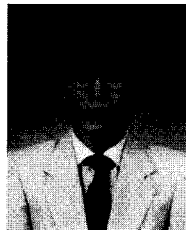
이드 범위로 출력 전류를 제어할 수 있는 특징을 갖고 있다. 따라서, 본 연구에서 제안한 CCCA는 연산 트랜스컨덕턴스 증폭기(OTA)와 같이 출력 전류의 제어 기능을 갖고 있기 때문에 각종 튜닝(tuning) 회로, 전압-제어 발전기 및 여파기 등에 유용하게 사용될 것이다.

참 고 문 헌

- [1] A. B. Grebene, Bipolar and MOS analog integrated circuit design; John Wiley & Sons, chap. 7.9, 1984.
- [2] H.-W. Cha, W.-S. Chung, and K.-H. Kim, "A linear operational transconductance amplifier for instrumentation applications," IEEE J Trans. Instrum. Meas., vol. 41, no. 3, pp. 441~443, June 1992.
- [3] LN359, National Operation Amplifier Databook, pp. 283, 1995.
- [4] 차 형우, 김 동용, 김 종필, 정 원섭, "고정도 바이폴라 트랜스레지스턴스 증폭기", 대한전자공학회 1998년도 추계종합학술대회 논문집, 제21권, 제2호, pp. 668~671, 1998
- [5] G. Palmisano, G. Palumbo, and S. Pennisi, CMOS current amplifiers, Kluwer academic publisher, London, 1999.
- [6] N. Fujii, "Low voltage current-mode operational amplifier," proc. of 1999 ITC-CSCC, vol. 2, pp. 1076~1079, 1999.

- [7] T. Nagasaku, A. Hyogo, and K. Sekine, "A synthesis of a novel current-mode operational amplifier," IEICE Trans. Fundamentals, vol. E79A, no. 2 Feb. 1996.
- [8] S.-B. Jun and D.-M. Kim, "Fully differential current operational amplifier," Electron. Lett., vol. 34, no. 1, pp. 62~63, January 1996.
- [9] 차 형우, "낮은 전류-입력 임피던스를 갖는 A급 바이폴라 전류 콘베이어(CCII)와 그것의 오프셋 보상된 CCII의 설계," 대한전자공학회논문지 제 38권, SD편 제10호, 출간예정
- [10] 차 형우, 손 창훈, 임 동빈, 박 지만, 정 원섭, "완전 차동형 바이폴라 전류 감산기와 이를 이용한 전류-제어 전류 증폭기의 설계," 2001년도 CAD 및 VLSI 설계연구회학술발표회 논문집, pp. 99~104.
- [11] H.-W. Cha and K. Watanabe, "Wideband CMOS current conveyor," Electron. Lett., vol. 32, no. 14, pp. 1245~1246, July 1996.
- [12] 차 형우, 이 주찬, 박 회중, 정 원섭, "오프셋 보상된 A급 바이폴라전류 콘베이어", 대한전자공학회 1999도 추계종합학술대회 논문집, 제22권, 제2호, pp. 967~974, 1999
- [13] A. S. Sedra and K. C. Smith, Microelectronics circuits ; Oxford Univ. Press(fourth edition), 1998.

저 자 소 개



車 炯 雨(正會員)

1989년 2월 : 청주대학교 반도체공학과 졸업. 1991년 2월 : 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 : 일본 静岡 (Shizuoka)대학 대학원 전자과학연구과 공학박사 학위 취득. 1997년 9월~현재 : 청주대학교 이공대학 전자·정보통신·반도체 공학부 교수. 1991년 3월~1993년 6월 : 대덕연구단지(내) BlueCode 근무. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임