

論文2001-38SD-11-8

# 바이폴라 트랜스레지스턴스 증폭기 설계

## (A Design of Bipolar Transresistance Amplifiers)

車炯雨\*, 任東彬\*\*, 孫昌勳\*\*

(Hyeong-Woo Cha, Dong-Bin Im, and Chang-Hoon Son)

### 요 약

고정도 전류-모드 신호 처리를 위한 새로운 바이폴라 트랜스레지스턴스 증폭기(TRA)와 이것의 오프셋 보상된 TRA를 제안하였다. 두 TRA는 전류 입력을 위한 두 개의 전류 폴로워, 전류차를 얻기 위한 전류 가산기, 전류를 전압으로 변환시키기 위한 저항, 그리고 전압 출력을 위한 전압 폴로워로 구성되었다. 오프셋 보상된 TRA는 TRA의 오프셋 전압을 감소시키기 위한 다이오드 결선된 npn과 pnp 트랜지스터를 채용하였다. 시뮬레이션 결과, TRA는 입-출력 단자에서 0.5 Ω의 임피던스와 40 mV의 오프셋 전압을 갖고 있다는 것이 확인되었다. 오프셋 보상된 TRA는 1.1 mV의 오프셋 전압과 0.25 Ω의 임피던스를 갖고 있다. 두 개의 TRA를 단위-이득의 트랜스레지스턴스를 갖는 전류-전압 변환기로 이용할 때 3-dB 차단 주파수는 40 MHz이다. 제안한 두 TRA의 전력 소비는 11.25 mW이다.

### Abstract

Novel bipolar transresistance amplifier(TRA) and its offset-compensated TRA for high-performance current-mode signal processing are described. The TRA consist of two current follower for a current inputs, a current summer for the current-difference, a resistor for the current to voltage converter, and a voltage follower for the voltage output. The offset-compensated TRA adopts diode-connected npn and pnp transistor to reduce offset voltage in the TRA. The simulation results show that the TRA has impedance of 0.5 Ω at the input and the output terminal. The offset voltages at these terminals is 40 mV. The offset-compensated TRA has the offset voltage of 1.1 mV and the impedance of 0.25 Ω. The 3-dB cutoff frequency is 40 MHz for the two TRA's when used as a current to voltage converter with unit-gain transresistance. The power dissipation is 11.25 mW.

### I. 서 론

트랜스레지스터 증폭기(transresistance amplifier):

\* 正會員, 淸州大學校 電子·情報通信·半導體工學部  
(School of Electronic, Information & Communication,  
Semiconductor Eng., Chongju University)

\*\* 正會員, 淸州大學校 電子工學科  
(Dept. of Electronic Eng., Chongju University)

※ 본 연구는 과학기술부·한국과학재단 지정 청주대학교 정보통신연구센터의 지원에 의한 것입니다.  
接受日字:2001年3月13日, 수정완료일:2001年10月19日

TRA) 또는 전류-차 전압 증폭기(current-differencing to voltage amplifier)는 두 입력 전류의 차를 그것의 레지스턴스(resistance)에 비례하는 전압으로 출력하는 능동 소자로서, 전류-모드(current-mode) 신호 처리 회로의 기본 구성 소자이다<sup>[1]</sup>. 이상적인 TRA는 0(zero)의 임피던스를 갖는 두 개의 전류 입력 단자(신호 입력과 무관하게 항상 0 V가 되어야 함)와 0의 임피던스를 갖는 전압 출력 단자를 갖는다<sup>[2]</sup>.

현재, 전류-모드 신호 처리를 위해 상용화된 TRA는 내셔널(National) 반도체사의 전류-모드[노턴(Norton)] 증폭기 LM359가 있다<sup>[3]</sup>. 이 소자의 기본 회로도를 그림

1에 나타냈다. 이 소자는 고주파 특성이 우수하여 광대역 증폭기 및 파형 발생기 등으로 응용되고 있으나,

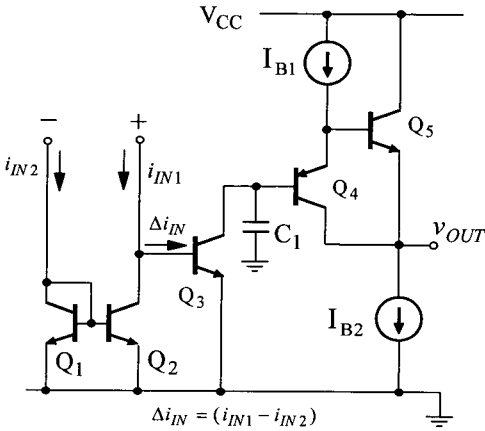


그림 1. 종래의 TRA 기본 회로도  
Fig. 1. Basic circuit diagram of conventional TRA.

(1) 전류 입력 단자의 높은 임피던스( $r_{IN} = V_T / i_{IN}$ ), (2) 전류 입력 단자의 큰 직류 전압  $V_{BE}$  ( $\approx 0.7V$ )에 따른 전치 회로의 오동작 가능성, (3) 전류 입력 신호 범위의 제한성( $i_{IN1} > i_{IN2}$  경우에만 증폭기로 동작 가능), (4) 전압 출력 단자의 임피던스 ( $r_{OUT} \approx 1/g_{m5}$ )가 크다는 등의 문제점을 갖고 있다. 따라서, 이 증폭기를 사용해 각종 고성능 아날로그 전자 회로를 설계할 때 많은 주의가 필요한 문제점이 있다.

본 연구에서는 이러한 문제점을 해결하기 위해, 바이폴라 TRA를 제안한다. 제안한 TRA는 두 개의 전류 폴로워(current follower : CF), 전류 가산기(current summer : CS), 1 개의 저항, 그리고 전압 폴로워(voltage follower : VF)로 구성되었으며, 종래의 노턴 증폭기의 문제점을 거의 개선하였다<sup>[4]</sup>. 그러나, 이 바이폴라 TRA는 한 개의 npn 트랜지스터와 한 개의 pnp 트랜지스터의  $V_{BE}$ 가 정합되도록 국부 전류 귀환(local current feedback) 기법을 사용하여 CF 또는 VF를 설계하였기 때문에, 전류 입력 단자와 전압 출력 단자에 각각 40 mV의 오프셋 전압이 발생되었다<sup>[5]</sup>. 따라서, 고정도의 전류-모드 신호 처리를 하기 위해서는 오프셋 보상을 위한 전압원을 추가로 사용하여야 되는 문제점이 있다. 따라서, 이 문제점을 해결하기 위해 오프셋 보상된 TRA도 또한 제안한다<sup>[6]</sup>. 제안한 두 TRA의 회로는 PSPICE 시뮬레이션을 통하여 동작 원리와 그 성능을 확인한다.

## II. 트랜스레지스턴스 증폭기(TRA) 회로 구성 및 동작 원리

### 1. 기호 및 블록도

TRA의 기호와 블록도(block diagram)를 그림 2(a)와 (b)에 각각 나타냈다. 이 기호로부터, 이상적인 TRA는

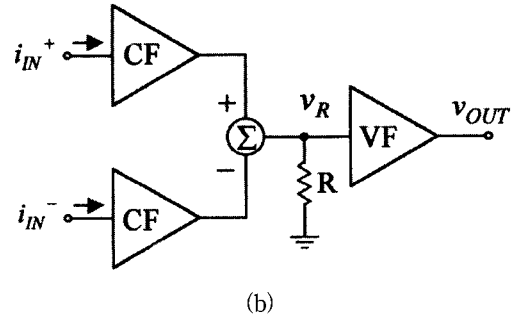
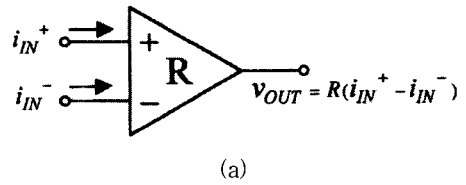


그림 2. 제안한 TRA의 (a) 기호와 (b) 블록도  
Fig. 2. (a) Symbol and (b) block diagram of proposed TRA.

전류 입력 두 단자는 0(zero)의 임피던스, 그리고 전압 출력 단자 또한 0(zero)의 임피던스, 입력 전류와 출력 전압과의 트랜스레지스턴스  $R$ 을 갖어야만 한다는 것을 알 수 있다. 이러한 특성을 갖도록 제안한 TRA의 블록도를 그림 2(b)에 나타냈다. 이 블록도는 차동 전류 입력을 버퍼링(buffering)하기 위한 두 개의 전류 폴로워(current follower : CF), 이들의 두 출력 전류의 차를 구하는 전류 가산기(current summer : CS), 전류차를 전압으로 변환시키는 트랜스레지스턴스  $R$ , 그리고 이  $R$ 에 나타나는 전압을 출력시키는 전압 폴로워(voltage follower : VF)로 구성된다. CF, CS, 그리고 VF가 각각 이상적인 전달 특성을 갖는다고 가정하면, CF와 CS에 의해 CS의 출력 전류는  $(i_{IN}^+ - i_{IN}^-)$ 가 되고,  $R$ 에 걸리는 전압  $v_R = R(i_{IN}^+ - i_{IN}^-)$ 가 된다. 또한, VF에 의해  $v_{OUT} = v_R$ 이 된다. 따라서,  $v_{OUT} = v_R = R(i_{IN}^+ - i_{IN}^-)$ 로 주어지며, 이러한 전

달 특성을 갖기 위해서는 CF, CS, 그리고 VF가 각각 이상적인 단자 특성을 갖고 있어야 한다. 그림 2(b)의 블록도를 실현하기 위해 설계한 CF와 VF를 다음 절에서 설명한다.

## 2. 전류 폴로워(CF)와 전압 폴로워(VF)<sup>[4]</sup>

그림 2(b)에 나타난 TRA의 블록도를 실현하기 위해 제안한 CF를 그림 3(a)에 나타냈다. CF의 회로는 전류 입력 단자의 임피던스를 줄이기 위해 조절된 전류 셀(cell)을 구성하는 트랜지스터  $Q_1$ ,  $Q_2$ ,  $Q_3$ , 그리고  $Q_4$ 와 전류 입력 단자에 인가된 전류를 그대로 복제하기 위한 전류 미러  $Q_3$ 와  $Q_5$ 로 구성되어 있다.  $Q_6$ 과  $Q_7$ 는  $Q_1$ 의 얼리 효과(Early effect)를 줄이기 위해 사용된 다이오드 결선된(diode connected) 트랜지스터들이다. 그림 3(a)의 회로에서 전류 입력 단자에 입력되는 바이어스 전류  $I_B$ 와 입력 전류  $i_{IN}$ 의 합( $I_B + i_{IN}$ )이 전류 미러  $Q_3$ 과  $Q_5$ 에 의해 복제되고,  $Q_5$ 의 컬렉터(collector) 전류  $i_{C5} = (I_B + i_{IN})$ 이 되어 부하로부터 싱크(sink)됨으로 전류 폴로워 기능을 한다. 또한, ( $I_B + i_{IN}$ )은 전류 미러  $Q_3$ 과  $Q_4$ 에 의해 복제되어  $Q_1$ 의 컬렉터(collector) 전류  $i_{C1} = I_B + i_{IN}$ 가 된다. 모든 트랜지스터의 공통-이미터 전류 이득(common-emitter current gain)  $\beta \gg 1$  가정한다면, 전류 입력 단자의 전압  $v_{IN}$ 은 다음과 같이 주어진다.

$$v_{IN} = V_T \ln \left( \frac{J_{S1} A_1}{J_{S2} A_2} \right) \quad (1)$$

여기서,  $J_{S1}$ 과  $J_{S2}$ 는 각각  $Q_1$ (npn)과  $Q_2$ (pnp)의 컬렉터 포화 전류 밀도이고,  $A_1$ 과  $A_2$ 는 각각  $Q_1$ 과  $Q_2$ 의 베이스-이미터 접합 면적이다. 이 식으로부터, npn와 npn 트랜지스터의  $J_S$ 는 다르지만  $A$ 의 미세 조정으로  $v_{IN} = 0$  V가 되도록 할 수 있다. 따라서, 전류 입력 단자는 항상 가상(virtual) 접지가 된다는 것을 알 수 있다.

그림 3(a)에 대한 소신호 등가 회로를 이용해 전류 입력 단자의 입력 임피던스  $Z_{IN}$ 을 구하면 다음과 같이 된다.

$$Z_{IN} = \frac{1}{g_{m2}} - \frac{1}{g_{m1}} + \frac{1}{g_{m1} g_{m2} r_{\pi 2}} \quad (2)$$

전류 미러  $Q_3$ 과  $Q_4$ 에 의해  $i_{C1} = i_{C2}$ 이 되므로

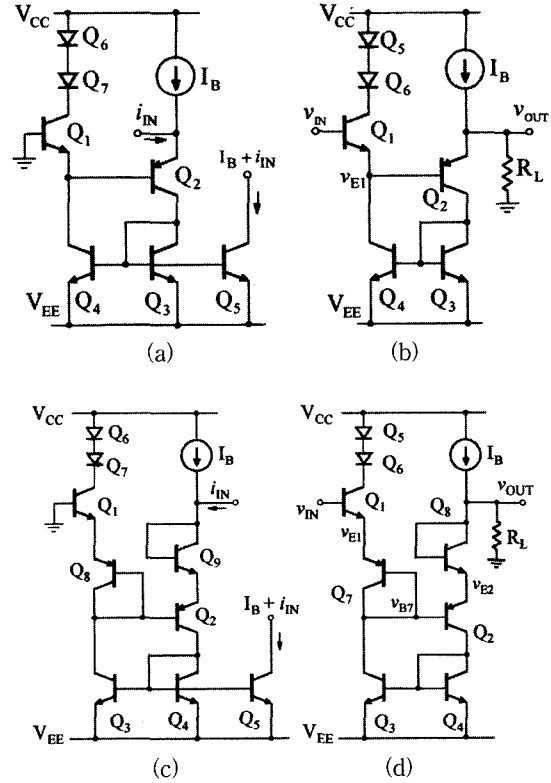


그림 3. 제안한 (a) 전류 폴로워(CF), (b) 전압 폴로워(VF), (c) 오프셋 보상된 CF, 그리고 (d) 오프셋 보상된 VF의 회로도

Fig. 3. Circuit diagram of proposed (a) Current follower(CF), (b) voltage follower(VF), (c) offset compensated CF, and (d) offset compensated VF.

$Z_{IN} = 1/g_{m1}\beta_2$ 가 된다. 일반적인 값( $I_C = 250 \mu A$ ,  $\beta_2 = 100$ )을 적용하여  $Z_{IN}$ 을 계산하면  $2 \Omega$  이하가 된다. 따라서, 소신호에 대해서도 전류 입력 단자는 가상 접지가 형성된다고 할 수 있다.

그림 2(b)의 회로 구성을 실현하기 위해 제안한 VF를 그림 3(b)에 나타냈다. VF의 회로는 전류 복제를 위해 사용한  $Q_5$ 를 제외하고는 CF와 동일하다. 그러나, CF의 전류 입력 단자를 VF의 전압 출력 단자로, CF의 접지 단자( $Q_1$ 의 베이스)를 VF의 전압 입력 단자로 각각 사용했다. 이 회로에서,  $Q_2$ 의 이미터 단자로 입력되는 전류는 전류 미러  $Q_3$ 와  $Q_4$ 를 사용해  $Q_1$ 의 컬렉터 전류로 귀환시켰다. 따라서, 다음의 식이 성립되며

$$g_{m1}(v_{IN} - v_{E1}) = g_{m2}(v_{OUT} - v_{E1}) = -\frac{v_{OUT}}{R_L} \quad (3)$$

이 식을 정리하면,

$$\frac{v_{OUT}}{v_{IN}} = \frac{g_{m1}g_{m2}R_L}{g_{m1} - g_{m2} + g_{m1}g_{m2}R_L} \quad (4)$$

이 된다. 여기서,  $g_{m1}$ 과  $g_{m2}$ 는 각각  $Q_1$ 과  $Q_2$ 에 대한 트랜스컨덕턴스이고,  $v_{E1}$ 은  $Q_1$ 의 이미터 전압,  $R_L$ 은 전압 출력 단자와 접지간에 접속된 부하 저항이다. 식 (4)에서  $g_{m1} = g_{m2}$  혹은  $(g_{m1}g_{m2}R_L) \gg (g_{m1} - g_{m2})$  경우,  $R_L$ 에 관계없이  $v_{OUT}$ 은 정확하게  $v_{IN}$ 을 폴로워한다는 것을 알 수 있다.

VF의 출력 단자의 부하 저항  $R_L$ 에 흐르는 전류  $i_{RL}$ 은  $Q_3$ 와  $Q_4$ 로 형성된 전류 미러 통해  $i_{C1}$ 이 되므로,  $Q_1$ 의 베이스 전류는  $i_{B1} = (1/\beta_1)i_{C2}$ 가 된다. 따라서, VF의 전압 입력  $v_{IN}$  단자의 입력 임피던스  $r_{IN}$ 은 다음과 같이 나타낼 수 있다.

$$r_{IN} \equiv \frac{v_{IN}}{i_{B1}} = \beta_1 \frac{v_{OUT}}{i_{C2}} = \beta_1 \frac{v_{OUT}}{i_{RL}} = \beta_1 R_L \quad (5)$$

여기서, 우리는  $\beta_1$ 는  $Q_1$ 의 유한한 공통-이미터 전류 이득이다. 적절한  $R_L$  값을 선택함으로써  $r_{IN}$ 을 높일 수 있다. 이 VF의 전압 출력 단자의 임피던스는 식 (2)와 같다.

그림 3(a)와 (b)에 제안한 CF와 VF는  $Q_1$ (npn)과  $Q_2$ (pnp) 트랜지스터가 정확하게 정합되어야만 CF의 입력 임피던스 또는 VF의 출력 임피던스가 0이 될 수 있고 이들의 오프셋 전압 또한 0 V가 되어 이상적인 TRA의 단자 특성을 갖을 수가 있을 것이다. 따라서, 이런 특성을 얻기 위해서는  $Q_1$ (npn)과  $Q_2$ (pnp)의 면적을 정확하게 계산 및 정밀한 마스크(mask) 제작과 정밀한 제조 공정이 요구되는 문제점이 있다<sup>[1]</sup>. 이런 문제점을 간단한 회로 구성으로 해결한 오프셋 보상된 CF와 VF에 대하여 다음 절에서 설명한다.

### 3. 오프셋 보상된 CF와 VF<sup>[6]</sup>

오프셋 보상된 CF의 회로도들 그림 3(c)에 나타냈다. 이 회로는 그림 3(a)에 나타낸 CF 회로와 오프셋을 보상하기 위해 사용된 다이오드 결선된  $Q_8$ (pnp)과  $Q_9$ (npn)로 구성되며, 기본적인 동작 원리는 그림 3(a)와 같다. 모든 트랜지스터에서  $\beta \gg 1$  가정한다면  $Q_1$ ,  $Q_8$ ,  $Q_2$ ,  $Q_9$ , 그리고 전류 입력 단자간의 루프(loop)에서 키르히호프(Kirchhoff) 전압 법칙을 적용하면 다음과

같은 식을 얻을 수 있다.

$$\begin{aligned} & -V_T \ln \frac{I_{B1} + i_{IN}}{I_{S1}(\text{npn})} - V_T \ln \frac{I_{B1} + i_{IN}}{I_{S8}(\text{pnp})} \\ & + V_T \ln \frac{I_{B2} + i_{IN}}{I_{S2}(\text{pnp})} + V_T \ln \frac{I_{B2} + i_{IN}}{I_{S9}(\text{npn})} = V_{IIN} \end{aligned} \quad (6)$$

여기서,  $V_{IIN}$ 는 전류 입력 단자의 전압이고  $I_S$ 는 컬렉터 역포화 전류이다. 일반적인 바이폴라 공정에서 npn과 pnp 트랜지스터의 베이스-이미터 접합 면적은 같으므로  $I_{S1}(\text{npn}) = I_{S9}(\text{npn})$ 과  $I_{S2}(\text{pnp}) = I_{S8}(\text{pnp})$ 이 된다. 따라서, 식 (6)를 정리하면  $V_{IIN}$ 의 값은 정확하게 0이 되므로 전류 입력 단자의 오프셋 전압을 0 V가 되고 임피던스도 0  $\Omega$ 에 가깝다고 할 수 있다. 또한, 소신호 등가 회로를 이용해 전류 입력 단자의 입력 임피던스  $Z_{IN}$ 를 구하면

$$Z_{IN} = \frac{2}{g_{m1}^2 r_{\pi 2}} = \frac{2V_T}{\beta I_{C1}} \quad (7)$$

이 되며, 일반적인 값을 적용할 경우 그림 3(a)의  $Z_{IN}$ 와 유사한 값을 갖는다.

오프셋 보상된 VF의 회로도를 그림 3(d)에 나타냈다. 회로는 그림 3(b)에 나타낸 VF 회로와 오프셋을 보상하기 위해, 다이오드 결선된  $Q_7$ (pnp)과  $Q_8$ (npn)로 구성되며, 기본적인 동작 원리는 그림 3(b)와 같다. 모든 트랜지스터에서  $\beta \gg 1$  가정한다면 전류 미러  $Q_3$ 과  $Q_4$ 에 의해  $Q_1$ ,  $Q_2$ ,  $Q_7$ , 그리고  $Q_8$ 의 컬렉터 전류는 동일하다. 따라서, 다음과 같은 식을 얻을 수 있다.

$$\begin{aligned} g_{m1}(v_{IN} - v_{E1}) &= g_{m1}(v_{E1} - v_{B7}) \\ &= g_{m2}(v_{E2} - v_{B7}) = g_{m8}(v_{OUT} - v_{E8}) \quad (8) \\ &= -\frac{v_{OUT}}{R_L} \end{aligned}$$

여기서,  $g_{mi}$  ( $i=1, 2, 7, 8$ )는 트랜지스터  $Q_i$  ( $i=1, 2, 7, 8$ )의 트랜스컨덕턴스이고,  $v_{E1}$ 은  $Q_1$ 의 이미터 전압,  $v_{B7}$ 는  $Q_7$ 의 베이스 전압,  $v_{E2}$ 은  $Q_2$ 의 이미터 전압이다. 위 식으로부터 입력에 대한 출력의 관계식을 구하면

$$\begin{aligned} \frac{v_{OUT}}{v_{IN}} &= 1 + \frac{1}{g_{m8}R_L} \\ & - \frac{g_{m1}g_{m2} + g_{m2}g_{m1}}{g_{m1}R_L(g_{m2}g_{m1} + g_{m1}g_{m8})} \end{aligned} \quad (9)$$

이 된다.  $Q_1$ 과  $Q_8$ 는 동일한  $npn$  트랜지스터이고  $Q_7$ 와  $Q_2$ 는  $pnp$  트랜지스터이므로, 우리는  $g_{m1} = g_{m8}$ ,  $g_{m2} = g_{m1}$ 가 된다는 것을 알 수 있다. 따라서, 위의 식을 정리하면 정확하게  $v_{OUT}/v_{IN} = 1$ 이라는 것을 알 수 있다.

4. 트랜스레지스턴스 증폭기(TRA)

제한한 TRA의 블록도에 대한 완성된 전체 회로를 그림 4(a)에 나타냈다. 회로는  $Q_1 \sim Q_{14}$ 으로 구성된 좌·우 두 개의 전류 폴로워( $CF_1$ 과  $CF_2$ ),  $Q_{15} \sim Q_{21}$ 로 구성된 전류 가산기(CS), 트랜스레지스턴스  $R$ , 그리고  $Q_{22} \sim Q_{27}$ 로 구성된 전압 폴로워(VF)로 구성된다.  $CF_2$ 에 입력되는  $i_{IN}^+$ 는 전류 미러의 출력단  $Q_{10}$ , 레벨 쉬프터  $Q_{15} \sim Q_{17}$ , 그리고  $pnp$  전류 미러  $Q_{18}$ 과  $Q_{19}$ 에 의해 트랜스레지스턴스  $R$ 로 공급된다. 한편,  $CF_1$ 에 입력되는  $i_{IN}^-$ 는 전류 미러의 출력단 트랜지스터  $Q_7$ 와  $Q_{21}$ 에 의해 트랜스레지스턴스  $R$ 으로부터 싱크(sink) 된다. 따라서,  $Q_{22}$ 의 베이스 전류를 무시하면 두 개의 CF에 의해 입력된 전류는 CS에 의해  $(i_{IN}^+ - i_{IN}^-)$ 가 출력되어  $R$ 에 흐르게 되고,  $R$ 에 강하된 전압  $v_R = R(i_{IN}^+ - i_{IN}^-)$ 은 VF에 의해 출력 단자에 그대로 나타나게 된다. 따라서, 제한한 TRA의 최종적인 출력 전압은 정확하게  $v_{OUT} = v_R = R(i_{IN}^+ - i_{IN}^-)$ 이 된다. 그림 4(a)에 나타난 TRA의 전류 입력 단자의 임피던스와 전압 출력 단자의 임피던스는 식 (2)로 주어지고,  $v_R$ 과  $v_{OUT}$ 의 관계는 식 (4)로 주어진다. 따라서, 제한한 TRA는 그림 1에 제시한 종래의 TRA의 문제점을 해결했다고 할 수 있다. 제한한 TRA의 성능은 두 개의 CF를 통해 전류를 받아들이고 있기 때문에 CF의 입력 단자 오프셋 전압에는 무관하고 CS의 입-출력비와 VF의 오프셋 전압에 의해 결정될 것이다. CS에 입력된 신호  $I_B + i_{IN}^-$ 는  $Q_{21}$ 의 이미터 전류가 되지만,  $I_B + i_{IN}^+$ 은 전류 미러  $Q_{18}$ 과  $Q_{19}$ 을 통한 다음  $Q_{20}$ 의 컬렉터 전류가 된다. 따라서, CS의 입력 전류들과 출력 전류  $i_{SUM}$ 은 다음과 같이 주어진다.

$$i_{SUM} = \frac{2}{\beta_P} (I_B + i_{IN}^+) + (i_{IN}^+ - i_{IN}^-) \quad (10)$$

여기서,  $\beta_P$ 는  $Q_{18}$ (또는  $Q_{19}$ )의 공통-이미터 전류 이

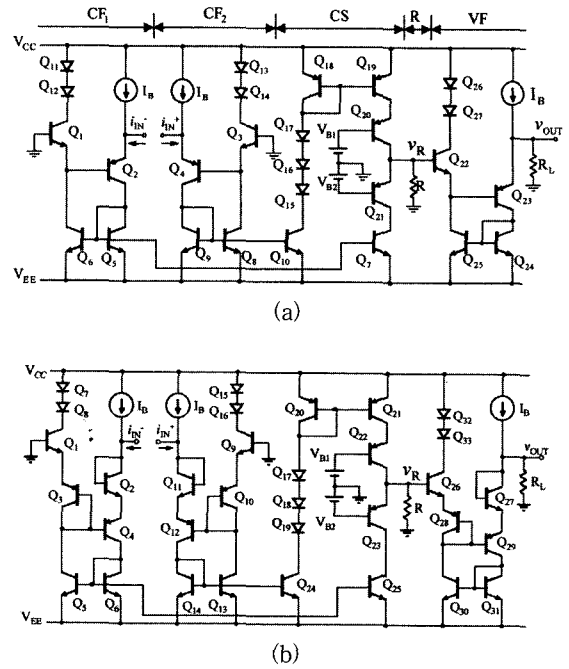


그림 4. (a) TRA와 (b) 오프셋 보상된 TRA의 전체 회로도

Fig. 4. Complete circuit diagram of (a) TRA and offset compensated TRA.

득이다. 또한, VF의 오프셋 전압을 고려하여 제한한 TRA의 입력 전류에 대한 출력 전압  $v_{OUT}$ 은

$$v_{OUT} = R \left[ \frac{2}{\beta_P} (I_B + i_{IN}^+) + (i_{IN}^+ - i_{IN}^-) \right] + V_T \ln \left( \frac{I_{S2} A_2}{I_{S1} A_1} \right) \quad (11)$$

로 주어질 것이다. 위 식으로부터 출력 전압은  $\beta_P$ 와 VF에 의해 오프셋 전압이 발생한다는 것을 알 수 있다. 이 오프셋 전압은 그림 3(c)와 (d)에서 제한한 CF와 VF를 사용하여 TRA를 구성하면 해결할 수 있을 것이다.

5. 오프셋 보상된 TRA

설계한 오프셋 보상된 TRA의 회로를 그림 4(b)에 나타냈다. 이 회로는 그림 4(a)에 제시한 TRA 회로의 CF와 VF 대신에 오프셋 보상된 CF와 VF를 대체한 것이다. 따라서, 전체적인 회로의 동작은 그림 4(a)와 동일하다. 오프셋 보상된 TRA의 전류 입력 단자의 입력 임피던스와 전압 출력 단자의 임피던스는 식 (7)으로 주어지며, 오프셋 보상된 VF의 사용에 의해 입력

전류에 대한 출력 전압  $v_{OUT}$ 은

$$v_{OUT} = R \left[ \frac{2}{\beta_P} (I_B + i_{IN}^+) + (i_{IN}^+ - i_{IN}^-) \right] \quad (12)$$

로 주어진다. 또한, 그림 4(b)에 나타난 회로는 오프셋 보상된 CF의 사용에 의해 두 개의 동일 저항을 전류 입력단에 사용하여 전압-모드 신호 처리 회로로 사용할 수 있는 장점이 있다.

그러나, 그림 4(b)의 회로는 오프셋 보상을 트랜지스터를 2개 사용하였기 때문에 처리할 수 있는 그림 4(a)의 TRA에 비하여 출력단의 스윙(swing) 폭이 0.7V로 줄어든다. 그러나, 제안한 두 TRA는 전력 소모는 같고 IC화 할 경우 트랜지스터 2개만 추가하면 되기 때문에 그 비용은 큰 차이가 없다고 할 수 있다.

### III. 시뮬레이션 결과 및 고찰

제안한 TRA[그림 4(a)]와 오프셋 보상된 TRA[그림 4(b)]를 PSPICE 시뮬레이션을 통하여 그 동작 원리와 성능을 각각 확인하였다. 시뮬레이션에 사용한 트랜지스터는 Q2N3906(*npn*)과 Q2N3904(*nnp*)이며, 이것의 모델 파라미터를 표 1에 나타냈다. 사용한 전원 전압은  $V_{CC} = -V_{EE} = 2.5\text{ V}$ ,  $V_{BI} = -V_{BE} = 1.25\text{ V}$ , 바이어스 전류  $I_B = 200\ \mu\text{A}$ , 그리고 트랜스레지스턴스  $R$ 과 부하저항  $R_L$ 은  $4\text{ k}\Omega$ 으로 각각 설정했다.

그림 5는 전류 입력 단자  $i_{IN}^+$ 의 임피던스  $Z_{IN}$ 을 측정된 결과이다. 직류(dc)에서 100 kHz까지의 범위에서 그림 4(a)와 (b)의  $Z_{IN}$ 은 각각  $0.35\ \Omega$ 과  $0.25\ \Omega$ 이

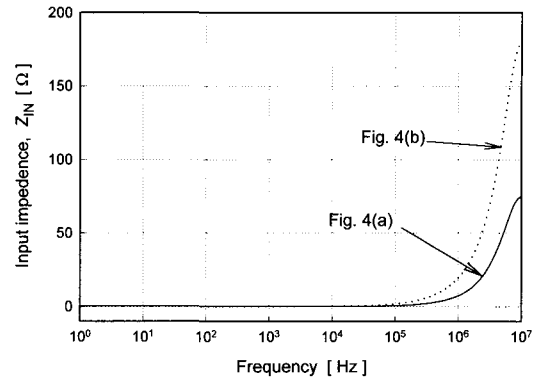


그림 5. 전류 입력 단자의 임피던스 특성

Fig. 5. Impedance characteristics of current input terminal.

고, 100 kHz 이상의 주파수에서는 임피던스가 증가하지만 10 MHz에서 그 값이 170 Ω 이하라는 것을 알 수 있다. 또한, 그림 5의 결과로부터 10MHz 이상에서 입력 임피던스(또는 출력 임피던스)가 증가하기 때문에 높은 주파수에서는 신호처리 정확도가 낮아질 것이다. 따라서, 제안한 두 TRA는 수 MHz 이하에서는 항상 가상 접지를 갖고 있기 때문에 이 범위에서는 고정도의 전류 검출이 가능하다. 제안한 TRA의 오프셋 보상을 위해 사용된 다이오드-접속 트랜지스터에 의해 오프셋 보상된 TRA의 전류 입력 임피던스가 고주파에서 다소 크다는 것을 또한 알 수 있다. 제안한 두 TRA를 구성하는 출력단의 VF는 전류 입력단의 CF와 같은 회로 구성을 하고 있기 때문에 TRA의 전압 출력 단자의 임피던스 특성은 그림 5에 나타난 이들의 임피던스 특성과 같은 결과를 갖는다고 할 수 있다.

단일 직류 전류 입력( $i_{IN}^+ = -200\ \mu\text{A} \sim +200\ \mu\text{A}$ 로 가변,  $i_{IN}^- = 0\text{ A}$ ) 신호에 대한 ( $v_{OUT} - v_R$ )의 특성을 그림 6에 나타냈다. 여기서,  $v_R$ 은 전류 가산기의 출력 단자 전압이다. 이 결과로부터 그림 3(b)의 VF 또는 그림 4(a)의 TRA는 40 mV의 오프셋 전압을 갖고 있으나, 그림 3(d)의 오프셋 보상된 VF 또는 그림 4(b)의 오프셋 보상된 TRA는 약 1.1 mV의 오프셋 전압을 갖는다는 것을 알 수 있다.

제안한 두 TRA의 트랜스레지스턴스  $R$ 에 대한 주파수 특성을 그림 7에 나타냈다. 입력 교류 신호 전류의 크기를  $100\ \mu\text{A}$ 로 설정했다. 이 결과로부터, 이상적인 입력 전류에 대한 출력 전압의 비, 즉 트랜스레지스턴스가 이론 값  $v_{OUT}/i_{IN} = R$ 보다 낮아진 것을 알

표 1. 트랜지스터들의 모델 파라미터

Table 1. Model parameters of the transistors.

|  |
|--|
| .model Q2N3906 PNP( Is=1.41f Xti=3 Eg=1.11 Vaf=18.7 Bf=180.7 Ne=1.5 Ise=0 Ikf=80m Xtb=1.5 Br=4.977 Nc=2 Isc=0 Ikr=0 Rc=2.5 Cjc=9.728p Mjc=.5776 Vjc=.75 Fc=.5 Cje=8.063p Mje=.3677 Vje=.75 Tr=33.42n Tf=179.3p Itf=.4 Vtf=4 Xtf=6 Rb=10 )        |
| .model Q2N3904 NPN( Is=6.734f Xti=3 Eg=1.11 Vaf=74. Bf=416.4 Ne=1.259 Ise=6.734f Ikf=66.78m Xtb=1.5 Br=.7371 Nc=2 Isc=0 Ikr=0 Rc=1 Cjc=3.638p Mjc=.3085 Vjc=.75 Fc=.5 Cje=4.493p Mje=.2593 Vje=.75 Tr=239.5n Tf=301.2p Itf=.4 Vtf=4 Xtf=2 Rb=10) |

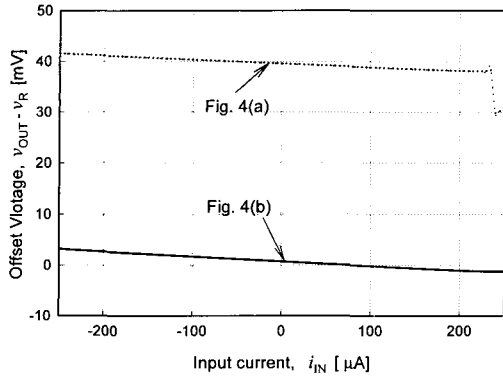


그림 6. 단일 전류 입력 신호에 대한 ( $v_{OUT} - v_R$ ) 특성  
Fig. 6. Characteristics ( $v_{OUT} - v_R$ ) for a signal current input signal.

수 있다. 이것은 유한한  $\beta$ 값에 의해 기인되는 것으로 사료된다. 트랜스레지스톤스  $R=4\text{ k}\Omega$ 의 3-dB 주파수는 4 MHz이고, 단위(unit) 트랜스레지스톤스의 3-dB 주파수는 40 MHz이다.

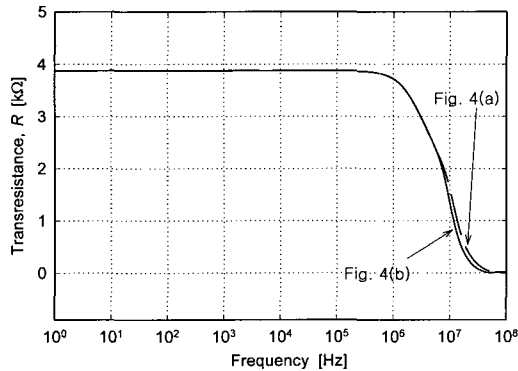


그림 7. TRA의 주파수 특성  
Fig. 7. Frequency characteristics of TRA.

오프셋 보상된 TRA의 차동 입력 전류에 대한 출력 전압의 파형을 그림 8에 나타냈다. 입력 전류의 크기는  $i_{IN}^+ = 100\ \mu\text{A}$ ,  $i_{IN}^- = 50\ \mu\text{A}$ 이고, 이 두 신호의 주파수는 100 kHz로 하였다. 이 결과로부터 측정값이 이론값  $v_{OUT} = R(i_{IN}^+ - i_{IN}^-)$ 보다 약간 작다는 것을 알 수 있다. 이것은 유한한  $\beta$ 값에 의해 전류 미러들의 입력과 출력 전류비가 다르기 때문에 나타나는 결과라고 할 수 있다.

오프셋 보상된 TRA를 차동 전압 증폭기로 응용했을 때 그 입력과 출력 전압의 파형을 그림 9에 나타냈다. 이 때 전압  $v_{IN}^+ = 0.1\text{ V}$ ,  $v_{IN}^- = 0.05\text{ V}$ , 그리고 이

두 전압과 TRA의 두 전류 입력 단자 사이에는 각각  $R_{VI} = 4\text{ k}\Omega$ 의 저항을 사용하였다. 그림 9의 결과로부터 이론적인 입력과 출력 관계식  $v_{OUT} = (R/R_{VI})(v_{IN}^+ - v_{IN}^-)$ 로 주어지면 그 값은 0.2 V가 된다. 측정된  $v_{OUT}$ 의 값은 0.19 V가 되며 이론식과 약 5%의 오차를 갖는다. 이것은 TRA의 입력과 출력 관계가 식 (12)로 주어지기 때문이다. 그림 4에 나타낸 두 TRA의 소비 전력은 11.25 mW이다.

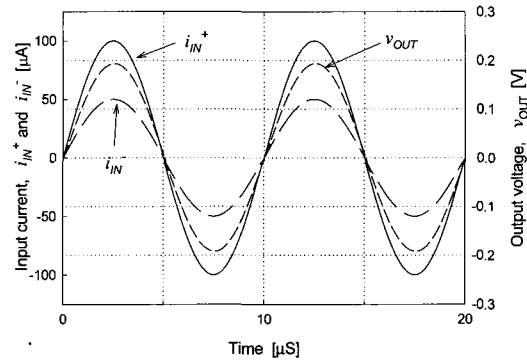


그림 8. 오프셋 보상된 TRA의 차동 입력 전류에 대한 출력 전압의 파형  
Fig. 8. Waveforms for output voltage vs. differential input current in offset compensated TRA.

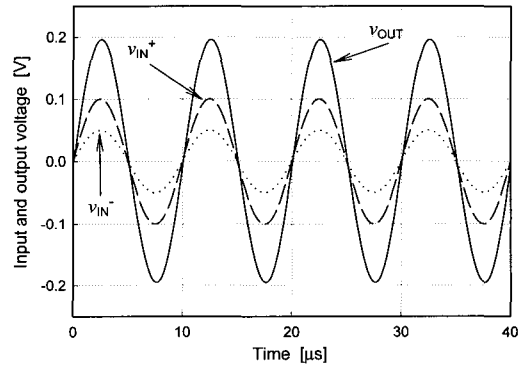


그림 9. 보상된 TRA를 전압 증폭기로 응용할 때의 입·출력 파형  
Fig. 9. Waveforms for input-output of offset compensated TRA when used a voltage amplifier.

#### IV. 결 론

새로운 트랜스레지스톤스 증폭기(TRA)를 제안하였

고, 이것이 갖고 있는 문제점인 오프셋 전압을 보상한 TRA도 제안했다. 제안한 두 TRA는 컴퓨터 시뮬레이션을 통해 그 동작 원리와 성능을 확인했다. 동일한 실험 조건에서 종래의 노턴 증폭기, 제안한 TRA와 오프셋 보상된 TRA의 성능 비교를 표 2에 나타냈다. 이 표로부터, 제안한 두 TRA는 우수한 전류 입력 단자와 전압 출력 단자를 갖고 있다는 것을 알 수 있다. 또한, 오프셋 보상된 TRA는 제안한 TRA의 문제점을 간단한 회로 구성으로 해결하였다는 것을 알 수 있다. 따라

표 2. 종래의 TRA와 제안한 TRA들의 성능 비교  
Table 2. Performance comparison of conventional and proposed TRAs.

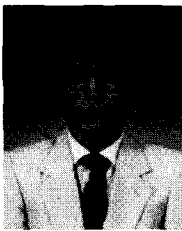
| 항목               | 종류 | 노턴 증폭기              | Fig. 4(a)의 TRA          | Fig.4(b)의 TRA           |
|------------------|----|---------------------|-------------------------|-------------------------|
| 전류 입력 단자의 임피던스   |    | $V_T / i_{IN}$      | 0.36 Ω                  | 0.25 Ω                  |
| 전압 출력 단자의 임피던스   |    | 약 125 [Ω]           | 0.36 Ω                  | 0.25 Ω                  |
| 전류 입력 단자의 오프셋 전압 |    | 0.7 V               | 40 mV                   | 1.1 mV                  |
| 단위 R의 3-dB 주파수   |    | 30 MHz              | 4 MHz                   | 4 MHz                   |
| 소비 전력            |    | -                   | 11.25 mW                | 11.25 mW                |
| 입력 전류 범위         |    | $I_{IN1} > I_{IN2}$ | $(\pm I_B) \times 80\%$ | $(\pm I_B) \times 80\%$ |
| 출력 전압의 스윙 폭      |    | $2.1V < v_o < 1.7V$ | $2.1V < v_o < 1.7V$     | $2.1V < v_o < 1.2V$     |

서, 제안한 오프셋 보상된 바이폴라 TRA는 고정도의 전류-모드 신호 처리 회로의 기본구성 소자로서 유용할 뿐만 아니라, 고정도의 각종 아날로그 전자 회로에 응용될 것으로 기대된다.

참 고 문 헌

[1] A. B. Grebene, Bipolar and MOS analog integrated circuit design ; John Wiley & Sons, chap. 7.9, 1984.  
 [2] A. S. Sedra and K. C. Smith, Microelectronic circuits ; Oxford Univ. Press, chap. 1, 1998.  
 [3] National Operation Amplifier Databook, pp. 283, 1995.  
 [4] 차 형우, 김 동용, 김 종필, 정 원섭, "고정도 바이폴라 트랜스레지스틴스 증폭기", 대한전자 공학회 1998년도 추계종합학술대회 논문집, 제21권, 제2호, pp. 668~671, 1998  
 [5] H-W. Cha and K. Watanabe, "Wideband CMOS current conveyor," Electron. Lett., vol. 32, no. 14, pp. 1245~1246, July 1996.  
 [6] 차 형우, 임 동빈, 손창훈, 정 원섭, "오프셋 보상된 바이폴라 트랜스레지스틴스 증폭기의 설계", 대한전자공학회 2000년도 추계종합학술대회 논문집, 제23권, 제2호, pp. 63~66, 2000

저 자 소 개



車 炯 雨(正會員)  
 1989년 2월 : 청주대학교 반도체공학과 졸업. 1991년 2월 : 청주대학교 대학원 전자공학과 공학석사 학위 취득. 1997년 3월 : 일본 静岡 (Shizuoka)대학 대학원 전자과학연구과 공학박사 학위 취득. 1997년 9월~현재 : 청주대학교 이공대학 전자·정보통신·반도체 공학부 교수. 1991년 3월~1993년 6월 : 대덕연구단지(내) BlueCode 근무. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호처리 회로 설계, 계측장비 시스템 회로 설계 등임



任 東 彬(正會員)  
 2000년 2월 : 청주대학교 전자정보통신반도체 공학부 졸업. 2000년 2월 : 청주대학교 대학원 전자공학 입학. 현재 : 회로 및 시스템전공 재학중. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계, 전류-모드 신호 처리 회로 설계, CMOS full-custom ASIC설계 등



孫 昌 勳(正會員)  
 2000년 2월 : 청주대학교 전자정보통신반도체 공학부 졸업. 2000년 3월 : 청주대학교 전자공학과 입학. 현재 : 회로 및 시스템 전공 재학중. <주관심분야> Bipolar 및 CMOS 아날로그 집적회로 설계와 마이크로 컨트롤러를 이용한 제어기 및 계측 장비 설계 등