

論文2001-38SD-11-1

## 고유전율 AlN 절연층을 사용한 비휘발성 강유전체 메모리용 MFIS 구조의 제작 및 특성

(Fabrications and Properties of MFIS Structures using high Dielectric AlN Insulating Layers for Nonvolatile Ferroelectric Memory)

鄭焯元\*, 金光浩\*\*, 丘庚完\*\*\*

(Soon-Won Jung, Kwang-Ho Kim, and Kyung-Wan Koo)

### 요 약

고온 급속 열처리시킨 LiNbO<sub>3</sub>/AlN/Si(100) 구조를 이용하여 MFIS 소자를 제작하고, 비휘발성 메모리 동작 가능성을 확인하였다. 고유전율 AlN 박막 위에 Pt 전극을 증착시켜 제작한 MIS 구조에서 측정된 1MHz C-V 특성곡선에서는 히스테리시스가 전혀 없고 양호한 계면특성을 보였으며, 축적 영역으로부터 산출한 비유전율 값은 약 8 이었다. Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조에서 측정된 1MHz C-V 특성의 축적영역에서 산출한 LiNbO<sub>3</sub> 박막의 비유전율 값은 약 23 이었으며, ±5 V의 바이어스 범위 내에서의 메모리 윈도우는 약 1.2 V이었다. 이 MFIS 구조에서의 게이트 누설전류밀도는 ±500 kV/cm의 전계 범위 내에서 10<sup>-9</sup> A/cm<sup>2</sup> 범위를 유지하였다. 500 kHz의 바이폴러 펄스를 인가하면서 측정된 피로특성은 10<sup>11</sup> cycle 까지 초기값을 거의 유지하는 우수한 특성을 보였다.

### Abstract

Metal-ferroelectric-insulator-semiconductor(MFIS) devices by using rapid thermal annealed (RTA) LiNbO<sub>3</sub>/AlN/Si(100) structures were successfully fabricated and demonstrated nonvolatile memory operations. Metal-insulator-semiconductor(MIS) C-V properties with high dielectric AlN thin films showed no hysteresis and good interface properties. The dielectric constant of the AlN film calculated from the capacitance at the accumulation region in the capacitance-voltage(C-V) characteristics was about 8. The C-V characteristics of MFIS capacitor showed a hysteresis loop due to the ferroelectric nature of the LiNbO<sub>3</sub> thin films. Typical dielectric constant value of LiNbO<sub>3</sub> film of MFIS device was about 23. The memory window width was about 1.2 V at the gate voltage of ±5 V ranges. Typical gate leakage current density of the MFIS structure was the order of 10<sup>-9</sup> A/cm<sup>2</sup> at the range of within ±500 kV/cm. The ferroelectric capacitors showed no polarization degradation up to about 10<sup>11</sup> switching cycles when subjected to symmetric bipolar voltage pulse(peak-to-peak 8 V, 50 % duty cycle) in the 500 kHz.

\* 正會員, 淸州大學校 電子工學科

(Electronic Engineering, Cheongju University)

\*\* 正會員, 淸州大學校 電子·情報通信·半導體工學部

(School of Electronic, Semiconductor, Computer & Communication Engineering, Cheongju University)

\*\*\* 正會員, 永同大學校 情報·電子工學部

(Faculty of Information & Electronic Engineering, Youngdong University)

※ 본 연구는 한국과학재단 목적기초연구(98-0300-0901-3)지원으로 수행되었음.

接受日字:2001年6月14日, 수정완료일:2001年10月4日

## I. 서 론

최근 강유전체 박막을 이용하여 비휘발성 강유전체 메모리(non-volatile FeRAM)에 적용하고자 하는 연구가 활발하게 전개되고 있다. 이들 재료를 사용한 비휘발성 기억소자는 강유전체 박막의 분극반전과 그 히스테리시스 특성을 이용한 빠른 스위칭 속도에 의한 고속구동, 데이터의 비휘발성으로 인한 저소비전력화를 실현할 수 있는 장점을 갖는다. 현재 DRAM의 1T/1C 구조 또는 2T/2C 구조에서 커패시터 부분을 강유전체 박막으로 대체시킨 FeRAM들이 실용화되고 있는데, 이러한 구조에서는 셀 면적의 증가와 공정상의 복잡성 등의 문제점들이 해결되지 않고 있다. 이러한 문제점들을 해결하고 나아가 한 개의 셀로서 이러한 기능을 가능케 할 수 있는 구조가 바로 강유전체 게이트 MFSFET이다.<sup>[1]</sup> 본 연구실에서는 최근까지 산화물계 강유전체인 LiNbO<sub>3</sub>와 비산화물인 불화물 강유전체 BaMgF<sub>4</sub> 박막을 실리콘 위에 초고진공 상태에서 형성시켜 고온 급속 열처리를 수행한 후, 이것을 이용한 MFS 디바이스를 제작한 결과와 비휘발성 메모리로서의 동작 가능성을 확인한 결과를 보고한 바 있다.<sup>[2-6]</sup> 이러한 MFS 구조에서는 실리콘 기판 위에 직접 강유전체 박막을 증착시키는 것이므로, 전기적으로 우수한 특성을 얻기 위해서는 강유전체와 반도체의 계면이 안정하여야 하며 계면 준위 밀도(D<sub>it</sub>)가 낮아야 한다. 그러나 실제 실리콘 기판 위에 강유전체 박막을 직접적으로 증착시키게 되면 실리콘 기판과 강유전체 물질 사이의 계면에서 반응이 일어나기 때문에 우수한 강유전성을 얻기가 어렵다.<sup>[7-8]</sup> 이러한 문제점을 해결하기 위해서 제안된 구조가 강유전체 박막과 실리콘 기판 사이에 절연층을 삽입한 MFISFET(Metal/ferroelectric/insulator/semiconductor field-effect-transistor)구조이다. 삽입되는 절연 물질은 우수한 계면 특성과 높은 유전율을 가져야 하며, 우수한 확산방지 특성을 갖는 물질이어야 한다. 또한 고온의 공정에서도 안정하여 그 위에 증착되는 박막의 강유전성 특성을 유지할 수 있어야 한다. 현재, 대부분 사용하고 있는 MFIS 구조에서는 고유전율 강유전체 재료와 저유전율 절연체 재료를 이용하고 있다. 예를 들어 실리콘 계면에 형성시킨 그 비유전율이 약 4 정도인 얇은 SiO<sub>2</sub> 위에 비유전율이 수백인 PZT나 SBT 막을 제작할 경우에 이 두 막

이 직렬 커패시터 회로를 형성하게 된다. 이때, 산화막과 강유전체 막의 이중막에 전압이 인가될 때, 그 전압 분배는 유전율이 낮고 막이 얇은 쪽에 주로 걸리게 되어(즉, 계면에 형성된 얇은 산화막인 SiO<sub>2</sub>에 걸림) 강유전체의 특성을 이용할 수 없게 된다. 강유전특성을 유용하게 이용하기 위해서는 낮은 유전율의 강유전체 재료와 높은 유전율의 절연막을 사용할 필요가 있다.

본 논문에서는 이러한 MFIS 구조에서 지금까지 절연물질로 사용된 적이 없는 고유전율( $\epsilon=8.5$ ) 절연 물질인 AlN 박막을 사용하여 그 위에 저유전율 강유전체 물질인 LiNbO<sub>3</sub>를 증착시킨 MFIS 구조의 특성에 관하여 보고하기로 한다. 이용하는 AlN 박막은 넓은 에너지 밴드 갭(6.2 eV)을 가지며, Si과 열팽창 계수가 거의 일치하여 열적 부정합이 작고<sup>[9-10]</sup>, 결정구조도 LiNbO<sub>3</sub>와 같은 hexagonal이기 때문에 그 위에 형성되는 LiNbO<sub>3</sub> 강유전체 박막은 우수한 결정성이 얻어질 것으로 예상되므로 절연층으로 선택하였다.

## II. 실험 및 결과

### 1. Pt/AlN/Si(100) 구조(MIS)의 제작 및 특성

본 실험에서는 RF 마그네트론 스퍼터링 시스템을 이용하여 AlN 박막을 증착하였다. 실험에는 저항율이 21~25  $\Omega \cdot \text{cm}$ 인 boron이 도핑된 p-type Si(100)과 세게 도핑된(0.001~0.0025  $\Omega \cdot \text{cm}$ ) p-type Si(100) 웨이퍼를 사용하였다. 먼저 유기 세정법과 RCA법<sup>[11]</sup>으로 Si 웨이퍼 표면을 세척한 후 희석된 HF 용액에 담구어 실리콘 자연 산화막을 제거하였다. 이렇게 처리한 웨이퍼를 챔버 내부에 장착하여 초기 진공을  $1 \times 10^{-6}$  Torr 이하로 유지시켰다. AlN 박막 증착에는 순도가 99.99%, 크기가 3 인치인 Al 타겟을 사용하였으며, 기판 온도 400 °C에서 0.01~0.02 nm/s의 증착 속도로 20 nm의 AlN을 증착하였다. AlN 박막 증착 시 반응가스로는 Ar과 N<sub>2</sub>를 1:2의 비율로 사용하였으며, 박막 증착시 진공도는 8 mTorr로 유지하였다. 타겟과 기판 사이의 거리는 55 mm로 고정하였으며, RF power는 25 W로 고정하였다. 증착이 끝난 AlN 박막을 ex-situ 에서 1000 °C, N<sub>2</sub> 분위기에서 1 분간 고온 급속 열처리하였다. 이렇게 준비된 AlN/Si(100) 구조를 가지고 구조적 특성을 평가하기 위해 XRD(X-ray diffraction)를 사용하였으며, E-beam evaporator를 사용하여 Pt 금속을 증착시켜 MIS 구조로 제작하여 제작된 소자의 전기적 특성평

가를 병행하였다. 전기적 특성 평가에는 Semiconductor Parameter Analyzer(HP4145B)와 LF Impedance Analyzer(HP4192A), pA meter(HP4140B)를 사용하였다.

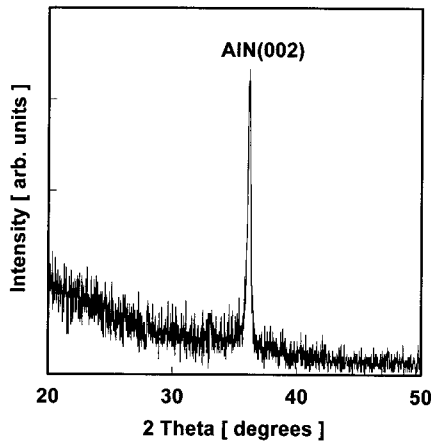


그림 1. AlN/Si(100) 구조의 XRD 패턴  
Fig. 1. XRD pattern of AlN/Si(100) structure.

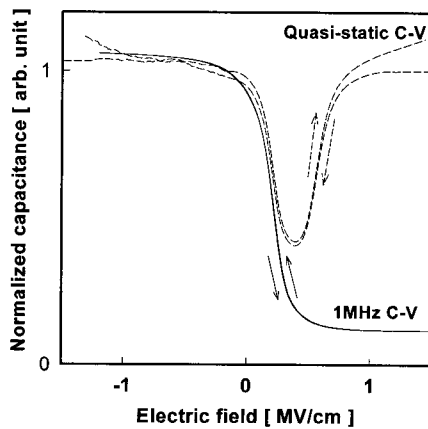


그림 2. Pt/AlN/Si(100) 구조를 갖는 MIS 커패시터의 1MHz C-V 특성과 quasi-static C-V 특성곡선  
Fig. 2. 1MHz and quasi-static C-V characteristics curves of MIS capacitors with Pt/AlN/Si(100) structures.

그림 1은 기판온도 400 °C, RF power 25 W에서 증착시킨 후 ex-situ 1000 °C, N<sub>2</sub> 분위기에서 1 분간 고온 급속 열처리 한 AlN/Si(100) 구조의 XRD 패턴을 보인 것이다. 그림에서 보는 바와 같이 2θ가 약 36° 부근에서 AlN(002) 피크가 나타나는 것을 확인할 수 있는데, 이것은 AlN이 결정화되었음을 의미하는 것이

다. 이 결과로 미루어 볼 때 AlN 절연층 위에 형성될 LiNbO<sub>3</sub> 박막이 c 축 배향성이 강한 hexagonal 구조라는 점을 감안하면, 보다 우수한 LiNbO<sub>3</sub> 결정성을 얻을 수 있으리라 기대된다.

그림 2는 1000 °C, N<sub>2</sub> 분위기에서 1 분간 고온 급속 열처리 한 Pt/AlN/Si(100) 구조를 갖는 MIS 커패시터의 1MHz C-V 특성 곡선과 quasi-static C-V 특성 곡선을 함께 나타낸 것이다. 그래프에서 보는 바와 같이 히스테리시스가 전혀 없는 양호한 특성을 얻을 수 있었다. 그래프의 축적 영역에서 산출한 AlN 박막의 비유전율 값은 약 8 이었으며, 이 값은 벌크의 비유전 값 (8.5)과 거의 일치한다.

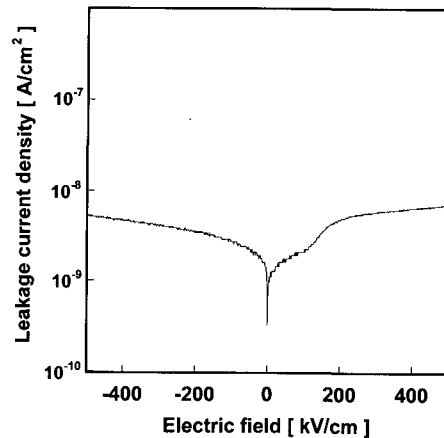


그림 3. Pt/AlN/Si(100) 구조를 갖는 MIS 커패시터의 게이트 누설전류밀도  
Fig. 3. Gate leakage current density of MIS capacitor with Pt/AlN/Si(100) structure.

그림 3은 Pt/AlN/Si(100) 구조를 갖는 MIS 커패시터의 게이트 누설전류밀도를 측정한 것이다. 양 및 음의 방향으로 인가시킨 전계범위 내에서는 그림에서 보는 바처럼 누설전류가 10<sup>-8</sup> A/cm<sup>2</sup> 이하로 매우 우수함을 알 수 있다. 인가 전계가 500 kV/cm일 때의 저항율을 계산하면 5.6×10<sup>13</sup> Ω·cm이다.

### 2. Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조(MFIS)의 제작 및 특성

Si(100) 기판상에 20 nm의 AlN 박막을 갖는 시료 위에 RF 마그네트론 스퍼터링법으로 LiNbO<sub>3</sub> 박막을 증착하였다. LiNbO<sub>3</sub> 박막은 기판온도 300 °C 이하에서 0.01~0.02 nm/s의 증착 속도로 약 150 nm 두께를 증착하였다. 반응 gas는 Ar과 O<sub>2</sub>를 각각 80 sccm, 20

sccm으로 고정하였으며, 박막 증착이 끝난 후 ex-situ 850 °C, O<sub>2</sub> 분위기에서 1 분간 고온 급속 열처리를 행하였다. 이렇게 형성된 LiNbO<sub>3</sub>/AlN/Si(100) 구조에 E-beam evaporator를 이용하여 Pt 금속을 증착하여 MFIS 구조를 완성하였다.

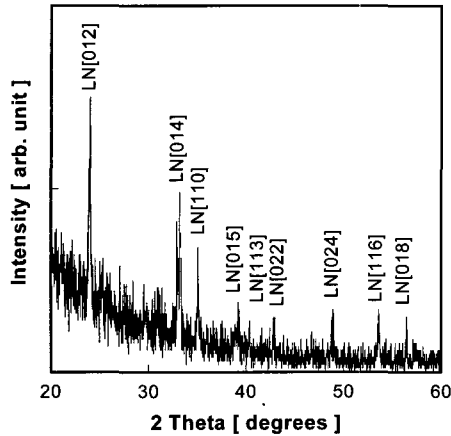


그림 4. LiNbO<sub>3</sub>/AlN/Si(100) 구조의 XRD 패턴  
Fig. 4. XRD pattern of LiNbO<sub>3</sub>/AlN/Si(100) structure.

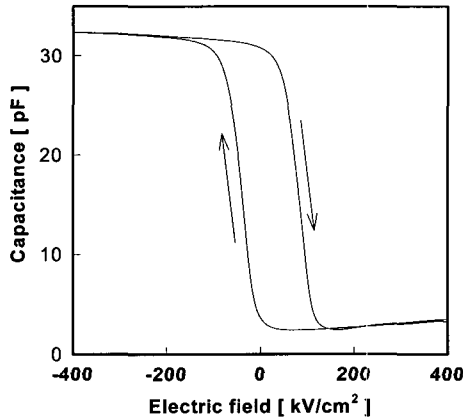


그림 5. Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조를 갖는 MFIS 커패시터의 1MHz C-V 특성곡선  
Fig. 5. 1MHz C-V characteristic of MFIS capacitor with Pt/LiNbO<sub>3</sub>/AlN/Si(100) structure.

그림 4에 제작한 LiNbO<sub>3</sub>/AlN/Si(100) 구조에 대한 XRD 패턴을 보인다. 그림에서 확인할 수 있듯이 single phase를 갖는 다결정 LiNbO<sub>3</sub> 피크들이 관측되었다. AlN 절연층이 삽입된 구조에서도 고온에서의 짧은 시간동안 행한 열처리로 쉽게 다결정으로 변한다는

것을 알 수 있다. LiNbO<sub>3</sub> 박막을 입히기 전의 시료인 AlN/Si(100) 구조 중에서 일부를 별도로 준비하여 XRD 평가를 행하였는 바, 그림 1에서 보인 바와 같은 AlN 피크를 관측하였지만, 그림 4의 LiNbO<sub>3</sub>/AlN/Si(100) 구조에서는 LiNbO<sub>3</sub> 막이 AlN 막에 비해 상대적으로 두껍기 때문에 AlN 피크가 약하여 관측이 되지 않았다.

그림 5는 Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조를 갖는 MFIS 커패시터의 1MHz C-V 특성곡선을 보인 것이다. 그래프에서 보는 것과 같이 LiNbO<sub>3</sub> 박막의 강유전성으로 인한 히스테리시스 특성이 관측됨을 확인할 수 있다. 측정된 메모리 윈도우는 약 1.2 V였다. 1MHz C-V 특성 곡선의 측정상태로부터 계산한 유전율은 약 23 이었다.

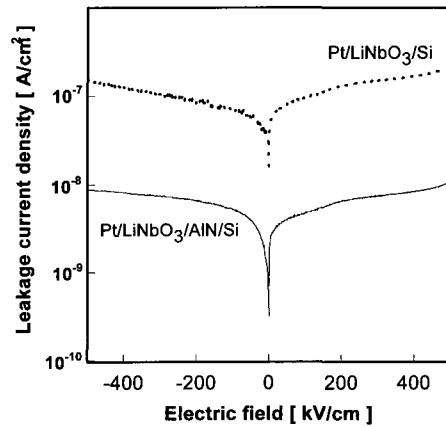


그림 6. Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조를 갖는 MFIS 커패시터의 게이트 누설전류밀도  
Fig. 6. Gate leakage current density of MIS capacitor with Pt/LiNbO<sub>3</sub>/AlN/Si(100) structure.

그림 6은 MFIS 커패시터의 게이트 누설전류밀도를 보인 것이다. 참고를 위해 MFS 구조에서의 게이트 누설전류밀도도 함께 나타냈는데, 그래프에서 보는 바와 같이 MFIS 구조에서의 게이트 누설전류밀도는 MFS 구조에서의 게이트 누설전류밀도보다 10 배 이상 우수함을 알 수 있다. 전계가 500 kV/cm일 때의 저항율을 계산하면 MFS 구조에서는  $2.5 \times 10^{12} \Omega \cdot \text{cm}$ , MFIS 구조에서는  $9.5 \times 10^{13} \Omega \cdot \text{cm}$ 로 AlN 절연층을 사용함으로써 누설전류밀도 특성이 개선됨을 알 수 있다.

그림 7은 세계 도핑시킨 Si(100) 위에 형성시킨 MFIS 커패시터의 분극-전계에 대한 히스테리시스 특성을

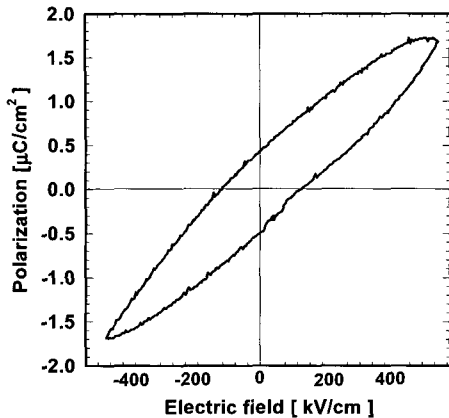


그림 7. RT-66A 강유전체 측정 시스템을 이용하여 측정된 세계 도핑시킨 Si(100) 위에 형성시킨 MFIS 커패시터의 분극-전계에 대한 히스테리시스 곡선

Fig. 7. P-E hysteresis loop of a MFIS capacitor fabricated on highly doped Si(100) substrate using a RT-66A standardized ferroelectric test system.

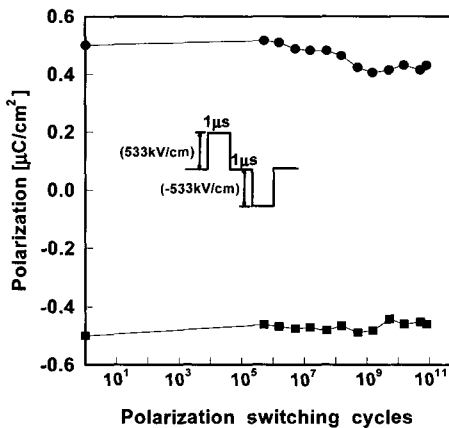


그림 8. 스위칭 주기에 따른 잔류 분극

Fig. 8. The remanent polarization of the films as a function of number of switching cycles.

RT-66A 강유전체 측정 시스템을 이용하여 측정된 것이다. 제작된 MFIS 커패시터로부터 측정된 잔류분극 값은 약  $0.5 \mu\text{C}/\text{cm}^2$ , 항전계는 약  $120 \text{ kV}/\text{cm}$ 이었다.

그림 8은 스위칭 주기에 따른 잔류 분극의 변화를 나타낸 것이다. 강유전체 커패시터의 분극반전을 반복하면, 즉, FeRAM에서 데이터의 읽기/쓰기를 반복하다 보면 P-E 곡선의 모양이 변형되고,  $+P_r$ ,  $-P_r$  값이 점점 작아져 최후에는 그 값이 0 이 되어 강유전성을 소멸하게 되어 비휘발성 메모리로서의 역할을 하지 못하게

되는 현상이 발생하는데, 이를 fatigue(피로) 현상이라고 한다. 본 실험에서는 일반적인 RT-66A 강유전체 측정 시스템 내의 자체 펄스를 이용한 측정이 아니라, Pulse Generator(HP8110A)를 사용하여 삽입한 그림에 보이는 것처럼 임의의 바이폴라 펄스를 만들어 external mode로 측정하였다. 측정 pulse의 period, width, frequency는 각각  $2 \mu\text{s}$ ,  $1 \mu\text{s}$ ,  $500 \text{ kHz}$ 이다. 제작한 커패시터의 전극 면적은  $3.27 \times 10^{-4} \text{ cm}^2$  이고, 강유전체 박막의 두께는  $150 \text{ nm}$ 이다. 그림에서 보면  $10^{11}$  cycle 까지 측정된 잔류분극 값이 초기값의 80 % 이상 유지됨을 확인할 수 있다. 참고로  $10^{11}$  cycle 동안의 스위칭 동작 후에도 잔류 분극 값은 피로측정을 하기 전의 값과 거의 차이가 없는 특성을 확인하였다.

### III. 결 론

RF 마그네트론 스퍼터링법을 사용하여 고유전율 절연층이 삽입된 Pt/LiNbO<sub>3</sub>/AlN/Si(100) 구조의 MFIS 커패시터를 구현하여, 비휘발성 메모리로서의 응용 가능성을 확인하였다. 절연층으로 사용한 AlN 박막의 특성을 확인하기 위하여 Pt/AlN/Si(100) 구조를 갖는 MIS 커패시터를 제작하여 1MHz C-V 특성곡선의 측정상태로부터 계산한 비유전율 값은 약 8 이었다. AlN/Si(100) 구조 위에 LiNbO<sub>3</sub> 박막을 제작한 MFIS 구조에서는 LiNbO<sub>3</sub> 박막의 강유전성으로 인한 히스테리시스 특성을 관측됨을 확인하였으며, 이 때의 메모리 윈도우는 약 1.2 V였다. 세계 도핑시킨 Si(100) 위에 형성시킨 MFIS 커패시터의 분극-전계에 대한 히스테리시스 특성곡선으로부터 산출한 잔류분극 값은 약  $0.5 \mu\text{C}/\text{cm}^2$ , 항전계는 약  $120 \text{ kV}/\text{cm}$ 이었다. 이 MFIS 구조에서의 게이트 누설전류밀도는  $\pm 500 \text{ kV}/\text{cm}$ 의 전계 범위 내에서  $10^{-9} \text{ A}/\text{cm}^2$  범위를 유지하였다. 또한,  $10^{11}$  cycle 동안의 fatigue 측정 후의 잔류 분극 값이 초기값과 거의 변화가 없는 아주 우수한 피로 특성을 보였다. 상기 결과들로부터 향후 비휘발성 메모리 응용을 위한 MFISFET로의 응용 가능성이 충분하다고 판단하고 있다.

### 참 고 문 헌

[1] S.-Y. Wu, "A New Ferroelectric Memory Devices, Metal-Ferroelectric-semiconductor

Transistor”, IEEE Trans. Electron Devices, Vol. ED-21, No. 8, pp. 499~504, Aug., 1974.

[2] K. H. Kim, J. D. Kim, and H. Ishiwara, “Improvement of the Electrical Properties of Metal-Ferroelectric BaMgF<sub>4</sub>-Silicon Capacitor by Rapid Thermal Annealing”, Appl. Phys. Lett., vol. 66, no. 23, pp. 3143~3145, 1995.

[3] K. H. Kim, J. D. Kim, and H. Ishiwara, “Properties of Ferroelectric BaMgF<sub>4</sub> on Si (100), (110), and (111) Substrates by Post-Deposition Rapid Thermal Annealing”, Jpn. J. Appl. Phys., vol. 35, no. 2B, pp. 1557~1559, 1996.

[4] K. H. Kim, S. W. Lee, J. S. Lyu, B. W. Kim, and H. J. Yoo, “Properties of Lithium Niobate Thin Films by RF Magnetron Sputtering with Wafer Target”, Journal of the Korean Physical Society, vol. 32, pp. S1506~S1508, 1998.

[5] Kwang-Ho Kim, “Metal-Ferroelectric-Semiconductor(MFS) FET’s Using LiNbO<sub>3</sub>/Si (100) Structures For Nonvolatile Memory Operation”, IEEE Electron Device Letters, vol. 19, no. 06, pp. 204~206, 1998.

[6] 김광호, 정순원, 김채규, “LiNbO<sub>3</sub> 강유전체 박막을 이용한 저전압용 MFS 디바이스의 특성”, 전자공학회논문지, 제36권, D편, 제11호, pp. 925~930, 1999

[7] Y. Matsui, M. Okuyama, M. Noda and Y. Hamakawa, Appl. Phys., A28, p 161, 1982.

[8] D. R. Lampe, D. A. Adams, M. Austin, M. Polinsky, J. Dzimianski, S. Sinhaloy, H. Buhay, P. Brabant and Y. M. Liu, Ferroelectrics, 133, p 61, 1992.

[9] G. A. Slack, “Nonmetallic crystals with high thermal conductivity”, J. Phys. Chem. Solids, vol. 34, p 321, 1973.

[10] M. G. Norton, B. C. H. Steele and C. A. Leach, “Characterization and metallization of AlN ceramics”, Science of Ceramics, vol. 14, p 545, 1988.

[11] K. Werner, and D. A. Puotinen, “Cleaning Solutions Based on Hydrogen Peroxide for use in Silicon Semiconductor Technology”, RCA Review. 31, pp. 187~206, June, 1970.

저 자 소 개



鄭焯元(正會員)

1998년 2월 : 영동대학교 전자공학부 전자공학전공(공학사). 2000년 2월 : 청주대학교 전자공학과 반도체전공(공학석사). 2000년 3월~현재 : 청주대학교 전자공학과 반도체전공 박사과정. <주관심분야> 강

유전체 박막/반도체 구조의 연구 및 전자·광학 소자로의 응용

金光浩(正會員) 第30卷 A編 第3號 參照

현재 : 청주대학교 전자·정보통신·반도체공학과 교수



丘庚完(正會員)

1983년 2월 : 충남대학교 전자공학과(공학사). 1985년 2월 : 충남대학교 대학원 전자공학과(공학석사). 1992년 2월 : 충남대학교 대학원 전자공학과(공학박사). 1998년 2월~1999년 2월 : 일본 우츠노미야

대학 박사후 연구(광파회로소자 연구). 1987년 6월~1989년 2월 : 현대전자 반도체연구소 선임연구원. 1989년 3월~1994년 2월 : 충청전문대학 전자과 조교수. 1994년 3월~현재 : 영동대학교 정보·전자공학부 부교수. <주관심분야> 반도체공정 및 MEMS, 광파회로소자 및 반도체소자