

論文2001-38SD-7-6

On-line 테스트를 위한 새로운 내장형 전류 감지 회로의 설계 (Design of New Built-In Current Sensor for On-Line Testing)

郭 哲 昊 * , 金 政 範 *

(Chol Ho Kwak and Jeong Beom Kim)

요 약

기존의 논리 테스트에 비하여 여러 가지 장점을 가지는 전류 테스트를 위하여 새로운 내장형 전류 감지 회로를 설계하였다. 본 논문에서 제안된 내장형 전류 감지 회로는 시험 대상 회로에서 발생하는 전류와 인버터의 전류 발생 특성에 의해 복사되어진 전류를 비교함으로써 시험 대상 회로의 고장 존재 여부를 감지하여 Pass/Fail 신호로 발생시킨다. 설계된 회로는 차동 증폭 형태의 증폭기와 비교기로 이루어져 있으며, 시험 대상 회로의 전류를 복사해 내기 위한 인버터를 포함하고 있어서 총 10개의 트랜지스터와 3개의 인버터를 사용한다. 본 논문에서 제안된 내장형 전류 감지 회로는 고장 테스트를 위하여 별도의 클럭을 사용하지 않는다. 또한 모드 선택이 필요하지 않아 on-line 테스트가 가능하며, Pass/Fail 신호를 칩의 외부로 전달하는 출력단자 하나를 제외하고는 별도의 제어단자가 필요하지 않은 장점을 가진다. HSPICE를 사용한 컴퓨터 모의 실험을 통하여 시험 대상 회로에 삽입된 고장을 정확하게 검출해 낼 수 있음을 확인하였다. 제안된 내장형 전류 감지 회로가 칩의 전체 면적에서 차지하는 면적소모는 8×8 병렬 승산기를 시험 대상 회로로 사용한 경우에 약 4.34 %로 매우 작아서 내장형 전류 감지회로에 의한 면적 소모에 대한 부담은 거의 없는 것으로 측정되었다.

Abstract

This paper propose a new built-in current sensor(BICS) for current testing that has some advantages compared with conventional logic testing. The designed BICS detects the fault in circuit under test (CUT) and makes a Pass/Fail signal by comparison between CUT current and duplicated inverter current. The proposed circuit consists of a differential amplifier, a comparator and a inverter. It requires 10 MOSFETs and 3 inverters. Since the designed BICS do not require the extra clock, the added extra pin is only one output pin. The mode selection is not used in this circuit. Therefore we can apply the circuit to on-line testing. The validity and effectiveness are verified through the HSPICE simulation of circuits with defects. When CUT is a 8×8 parallel multiplier, area overhead of the BICS is about 4.34%.

* 正會員, 江原大學校 電子工學科

(Dept. of Electronics, Kangwon National Univ.)

※ 이 논문은 8차년도 산학연 공동기술개발 지역 컨소시엄사업에 의해 지원(과제번호 2000-C-7)되었으며, 본 연구에 사용된 설계용 툴은 IDEC(반도체 설계교육센터) 지원에 의한 것 임.

接受日字:2001年2月9日, 수정완료일:2001年6月12日

I. 서론

CMOS 기술을 사용한 집적회로의 집적도와 크기가 매우 크게 증가함에 따라 복잡도(complexity)가 점점 증가하게 되었고, 칩의 제조 과정에서 여러 가지 요인에 의하여 많은 물리적 결함(physical defect)들의 발생으로 인한 고장들이 생겨나고 있다. 집적도의 증가로 인해 발생하는 고장들은 기존의 모델로 사용되어지던

고착고장(stuck-at) 보다는 내부 노드(node)간의 저항성 합선(short)에 의한 브리징 고장(bridging fault)과 트랜지스터 단자들 사이의 합선에 의한 고장(short fault)이 더 많은 발생 빈도를 나타내고 있다.^[1,2] 이처럼 CMOS 집적회로에서 고장 발생 가능성이 증가하면서 회로가 정상적으로 동작하는지 여부를 검증하는 테스트가 매우 어렵게 되었고 이로 인하여 많은 시간과 인력 그리고 비용을 필요로 하게 되었다.

CMOS 회로는 구조의 특성상 과도상태(transient state)에서만 과도전류(transient current)가 흐르고, 정상상태(steady state)에서는 p-n 접합 누설 전류(p-n junction leakage current) 이외에는 전류가 흐르지 않는다. 그러나 CMOS 회로에서 브리징 고장이나 합선 고장이 발생하게 되면 전원(VDD)에서 접지(GND)로 정전류 경로가 형성되어 정상상태에서도 전류(I_{DDQ} : quiescent current)가 흐르게 되고, 이러한 고장들은 대부분 논리 고장은 발생시키지 않으면서 신호지연(signal delay), 열 발생 등의 고장을 일으키게 되며 시간이 지날수록 상태가 더욱 악화되어 집적회로를 사용하는 도중에 전자 시스템 내에서 고장을 일으키므로 시스템 및 집적회로의 신뢰도(reliability)를 감소시키는 결과를 가져온다.

따라서 I_{DDQ} 를 흐르게 하는 고장은 기존의 테스트 방식인 논리 테스트 즉 전압 테스트으로는 검출하기가 매우 어렵고, CMOS 회로의 고장에 의해 변화하는 정상상태의 전류 값을 관찰하여 회로 내에 존재하는 다양한 형태의 고장을 용이하게 검출할 수 있는 전류 테스트 방법을 사용하여야 한다. 전류 테스트 방법은 전압 테스트에 비하여 적은 수의 테스트 패턴을 사용하면서도 브리징 고장과 같은 물리적 고장뿐만 아니라 게이트 누설전류와 같이 회로의 신뢰도에 관계되는 고장도 검출이 가능하다. 또한 고장의 영향을 출력 단까지 전파할 필요가 없고, 회로의 전원에서 공급되는 전류 즉 I_{DDQ} 값만을 측정하고 기준 전류 값(reference current)과 비교하여 고장을 검출할 수 있는 장점을 가진다.^[3]

전류 테스트 방법에는 고장 전류를 칩의 외부에서 측정하는 외부 전류 테스트(off-chip current testing) 방법과 고장 전류 테스트를 위한 부가회로를 칩의 내부에 내장하는 내장형 전류 테스트(built-in current testing) 방법이 있다.^[3] 외부 전류 테스트 방법은 외부에 테스트 장비가 테스트 대상회로(CUT : circuit under test)에 비해 상당히 큰 충전부하(capacitive load)를 가지고 있

어 정교하게 작은 양의 고장 전류를 감지하는 데에 어려움이 있고, 테스트 장비의 임피던스에 의한 지연 때문에 고속 테스트가 불가능하다. 또한 종래의 테스트 장비들은 전압을 측정하도록 되어있어 별도의 전류 테스트 장비가 필요하게 되어 비용의 문제도 가지게 된다. 이러한 단점들을 해결하기 위하여 내장형 전류 테스트 방법을 고려할 수 있는데, 고장 전류를 검출해 내기 위하여 내장형 전류 감지 회로(BICS : built-in current sensor)를 칩 속에 내장하는 방법이다. 이 방법은 측정이 어려운 전류 값의 변화를 이에 대응하는 전압 값(논리 값)의 변화로 관찰할 수 있도록 하여 기존의 테스트 장비를 그대로 사용할 수 있고, 테스트 대상회로의 전류만을 기준전류와 비교하므로 고장 전류의 판단이 쉽다. 또한 외부의 부하가 존재하지 않으므로 고속테스트가 가능한 장점을 가진다. 그러나 이 방법의 경우에는 전류 감지 회로가 칩 내부에 내장되기 때문에 칩의 면적이 증가하고 회로의 동작 성능이 저하되는 단점도 지니고 있다.

따라서 본 연구자는 기존의 테스트 방법에 비하여 우수한 테스트 성능을 가지는 전류 테스트를 위하여 새로운 내장형 전류 감지 회로를 제안하였다. 본 논문에서 제안되어지는 새로운 내장형 전류 감지 회로는 내장형 전류 테스트의 단점인 칩의 면적 소모와 회로의 동작 성능 저하가 최소가 되도록 설계하였기 때문에 전체적인 테스트 성능 향상으로 집적회로의 신뢰도 향상에 기여할 수 있도록 하였으며, 특히 모드 선택이 필요 없어 on-line 테스트가 가능한 회로를 구현하였다.

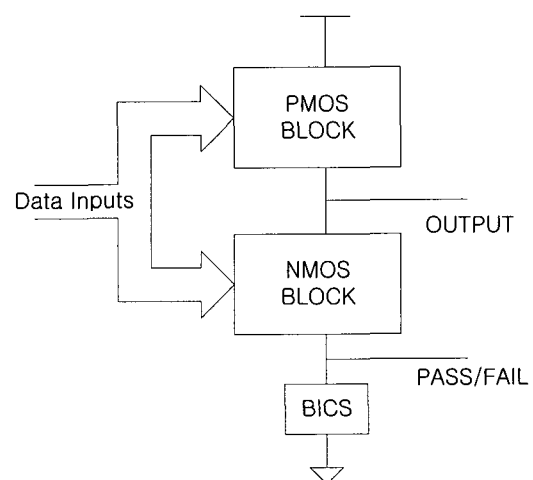


그림 1. 내장형 전류 테스트의 개략도

Fig. 1. Diagram of a built-in current testing.

II. 내장형 전류 감지 회로 (BICS : built-in current sensor)

기존의 연구자들에 의하여 I_{DDQ} (Quiescent current) 테스트 및 내장형 전류 감지 회로에 대한 연구가 활발히 진행되어 많은 내장형 전류 감지 회로가 설계 및 제작되어졌다. 본 장에서는 본 연구자의 내장형 전류 감지 회로와 비교를 위하여 여러 연구자들의 내장형 전류 감지 회로를 정리하였다.

1. Maly의 내장형 전류 감지 회로^[4]

Maly의 내장형 전류 감지 회로는 차동 증폭기(differential amplifier)를 사용하며 기준 전압과 비교하여 고장 전류를 검출한다. 이 때 두 개의 제어용 클럭(control clock)을 사용하고 고장 전류에 의해 생겨나는 전압을 발생시키기 위해 수평형 NPN BJT를 사용한다. 이 회로의 장점은 BJT를 사용함으로써 매우 작은 고장 전류의 검출이 가능하지만, 반면에 외부의 기준 전압이 필요하고 두 개의 클럭을 필요로 하며 BiCMOS 공정 필요하기 때문에 비용이 증가되는 문제점을 가지고 있다.

2. Favalli의 내장형 전류 감지 회로^[5]

Favalli의 내장형 전류 감지회로는 시험 대상 회로의 각 게이트마다 연결되는 2개씩의 트랜지스터와 예비 충전(pre-charge) 트랜지스터로 구성되어 있으며 아날로그 고장을 고착 고장으로 변환하여 테스트한다. 테스트 모드와 정상 동작 모드를 구분하는 모드 설정 라인(N)을 사용한다. 제작이 간단하고 용이한 장점을 가지지만, 디지털 회로에서만 사용이 가능하고 면적 소모가 매우 큰 문제점을 가진다. Chang의 설계에서 트랜지스터 수를 감소시키기는 하였지만 최종 면적 소모는 크게 줄지 않았다.

3. Miura의 내장형 전류 감지 회로^[6]

Miura의 내장형 전류 감지 회로는 V-I 변환기(translator), 레벨(level) 변환기, 적분 회로(integrator circuit)로 구성되어 있다. 이 회로는 외부 전류 소스 사용으로 BICS 자체 테스트 가능한 장점을 가지지만 큰 커패시터와 저항 사용으로 면적 소모가 크고 고장 유무 판단 위해 적분 회로를 사용하는 문제점을 가진다.

4. Shen의 내장형 전류 감지 회로^[7]

Shen의 내장형 전류 감지 회로는 차동형 증폭 비교

기와 출력 회로로 구성되었으며, 비 증첩 2상 클럭을 사용하고 외부 제어 신호 3개를 사용한다. 2ns의 검출 시간으로 비교적 고속 테스트가 가능한 장점을 가지지만 다이오드 전압 강하에 의해 시험 대상 회로의 동작 특성이 저하되고 부가 회로의 면적 소모가 큰 단점을 가진다.

5. Tang의 내장형 전류 감지 회로^[8]

Tang의 내장형 전류 감지 회로는 연산 증폭기, 전류 감지용 저항, 전류 감지기로 구성되었으며, 2개의 서로 다른 공급 전원을 사용한다. 전류 분석도(resolution) 조절이 가능하고 외부 기준 전류/전압 불필요하지만, 공급 전원 2개가 필요하고 BJT 공정 혼용으로 제작이 어렵다.

6. Kim의 내장형 전류 감지 회로^[9]

Kim의 내장형 전류 감지 회로는 V-I 트랜지스터와 전류 미러(current mirror) 형태 회로를 사용하여 구성되었다. 이 회로는 매우 작은 트랜지스터를 사용함으로써 면적소모 면에 있어서 최소를 가져왔으나, 모드 선택이 필요하고 이를 위하여 외부 제어 단자가 필요하다.

III. 제안된 내장형 전류 감지 회로(BICS : Built-In Current Sensor)

1. 새로운 내장형 전류 감지 회로

본 논문에서 제안된 전류 감지 회로는 비슷한 구조의 비교기 회로를 사용하는 Kim의 회로^[9]와는 달리 시험 대상 회로의 정상 동작에 영향을 미치는 모드 선택(mode selection)이 필요 없어서 on-line 테스트가 가능하며, 비교적 적은 수의 트랜지스터를 사용하여 회로를 구현함으로써 면적 소모 문제(area overhead problem)를 최소화 할 수 있도록 하였다. 또한 제안된 내장형 전류 감지 회로를 사용하면 시험 대상 회로에 따라 전류-전압 변환 트랜지스터 하나의 크기만 조절하여 곧바로 적용이 가능하도록 함으로써 여러 가지 회로의 테스트에 응용 가능하도록 설계하였다.

그림 2에 본 논문에서 제안된 내장형 전류 감지 회로의 블럭도를 나타내었다. 제안된 내장형 전류 감지 회로는 전류-전압 변환 트랜지스터 2개, 증폭기 1개, 전류 제작용 인버터 1개 그리고 차동 증폭기 형태의 비교기 1개로 구성되었다. 시험 대상 회로에서 공급 전원(VDD)와 접지(GND) 사이에 발생한 전류는 트랜지스터

Q1에 의하여 전압으로 바뀌고 전압으로 바뀌어진 신호는 비교를 위하여 비교기의 두 개의 입력 중 하나의 입력으로 들어가며 동시에 증폭을 위하여 증폭기로 들어간다. 증폭되어진 신호는 인버터의 입력으로 들어가 전류를 만들어 내고 이 전류는 트랜지스터 Q2를 통하여 전압 신호로 변환되어진다. 시험 대상 회로의 신호를 복사하여 만들어진 신호는 비교기의 또 다른 입력으로 들어가고, 비교기에서는 본래의 전압 신호와 복사되어진 전압 신호를 비교하여 Pass/Fail 신호를 만들어낸다.

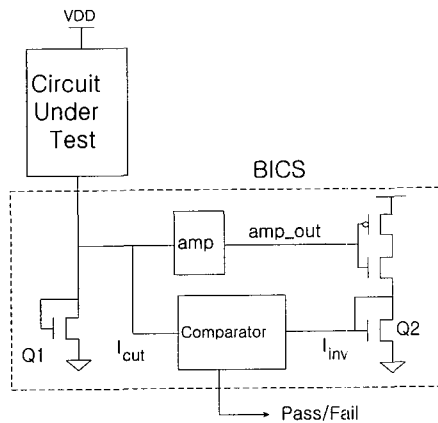


그림 2. 제안된 내장형 전류 감지 회로의 블럭도
Fig. 2. Diagram of a proposed built-in current sensor.

2. 전류-전압 변환 트랜지스터

본 논문에서 제안된 전류 감지 회로에서는 2개의 트랜지스터(Q1, Q2)가 전류를 전압으로 변환하여 주는 역할을 한다. Q1은 시험 대상 회로에서 공급전원과 접지 사이에 발생하는 모든 전류를 전압으로 변환시키고, Q2는 인버터를 사용하여 복사된 전류를 전압으로 변화시킨다. 특히 Q1 트랜지스터에 의해서 발생하는 전압 강하가 시험 대상 회로의 동작에 중대한 영향을 미쳐서는 안되기 때문에 Q1 트랜지스터의 크기를 결정하는 것은 매우 중요하고 신중해야 한다. 또한 두 트랜지스터에 의해 변환된 전압 신호는 비교기에 의하여 비교되어지기 때문에 Q1, Q2 두 트랜지스터 크기의 비는 전류의 크기를 고려해서 설계하여야 한다. 시험 대상 회로에서 발생하는 전류가 인버터에서 발생하는 전류에 비해 훨씬 크기 때문에 본 논문에서는 Q1과 Q2 트랜지스터의 크기 비를 약 10:1 정도로 설계하였다. 제안된 전류 감지 회로는 시험 대상 회로가 바뀌어도 시험 대상 회로의 크기와 전류에 따라 Q1과 Q2 두 트랜지스터의 크기

만 조절하면 전류 감지 회로의 수정 없이도 곧 바로 적용이 가능하다.

3. 증폭기 회로

본 논문에서 제안된 전류 감지 회로에 사용된 증폭기는 그림 3에 보여지는 것과 같이 차동 증폭기(differential amplifier)의 형태를 이용하였다. 상단 두 개의 pMOS 트랜지스터(P1, P2)는 전류 미러 형태로 연결되어 있다. nMOS 트랜지스터인 N1 트랜지스터는 다이오드 연결되어져 있고, 이 트랜지스터의 크기를 조절하여 기준 전류의 값을 조절할 수 있다. 증폭기 회로는 트랜지스터 Q1에 의하여 변환되어진 전압을 N2 트랜지스터에 입력 신호로 받아들이고, 입력된 신호를 접지부터 공급전원까지의 전압 크기를 가지는 출력신호(full swing)로 증폭한다. 증폭되어진 출력 신호는 전류 제작을 위한 인버터의 입력으로 연결된다.

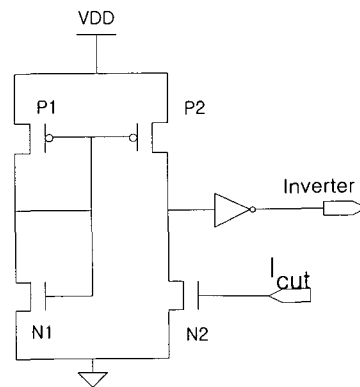


그림 3. 증폭기 회로
Fig. 3. Amplifier circuit.

4. 인버터

인버터는 증폭기에 의해 증폭된 신호를 입력으로 받아들이고 전류를 만들어내는 역할을 한다. 일반적으로 full CMOS 회로의 경우에는 입력이 천이 하는 경우에 전류(I_{DDT})를 발생한다. 그러나 인버터의 경우에는 pMOS와 nMOS 두 트랜지스터의 크기를 작게 만들고, 두 트랜지스터의 크기 비를 같게 하면 입력이 Low에서 High로 천이하는 경우에만 과도 전류를 발생시키고 반대의 경우에는 거의 과도 전류를 발생시키지 않는다. 이러한 성질 때문에 시험 대상 회로에 고장이 없는 경우에는 시험 대상 회로의 전류와 같은 형태의 전류를 만들어 내지만, 고장이 존재하는 경우에는 고장이 활성화되는

부분에서 다른 모양의 전류를 만들어 내게 된다.

5. 비교기 회로

전류 감지 회로에 사용된 비교기는 증폭기와 같이 차동 증폭의 형태를 사용하였고, 시험 대상 회로에서 발생한 전류를 변환한 전압과 복사하여 만들어진 전류를 변환한 전압을 각각 N3과 N4 트랜지스터에 입력으로 받아들이고, 이 두 신호의 모양을 비교하여 시험 대상 회로의 고장 존재 여부를 Pass/Fail 신호로 발생시킨다.

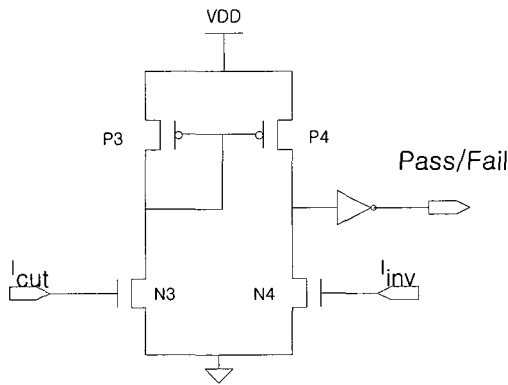


그림 4. 비교기 회로
Fig. 4. Comparator circuit.

6. 고장의 검출

본 논문에서 제안된 전류 감지 회로의 고장 검출은 그림 5와 6으로 설명할 수 있다. 그림 5는 시험 대상 회로에 고장이 없는 경우이고, 그림 6은 시험 대상 회로에 고장이 존재하여 전류 감지 회로가 고장을 검출해 내는 경우이다.

그림 5에서처럼 시험 대상 회로에 고장이 없을 때에는 입력신호가 바뀌는 경우 즉 과도 상태에서만 공급전원에서 접지까지 전도 경로가 형성되어 전류가 발생하고 정상상태에서는 전류가 흐르지 않는다. 시험 대상 회로에서 발생한 전류는 트랜지스터 Q1에 의하여 전압으로 바뀌고 증폭기를 거쳐 완전한 신호로 증폭되어 인버터에 입력된다. 인버터에 의해 시험 대상 회로와 같은 전류 신호가 발생되면 트랜지스터 Q2에 의해 전압으로 변환되어 비교기로 입력되고, 비교기는 Q1에 의해 변환된 전압과 Q2에 의해 변환된 전압을 비교하여 Pass/Fail 신호를 발생시킨다. 이 경우처럼 고장이 없으면 두 전류의 형태가 같아지기 때문에 Pass/Fail 신호는 'High' 값을 유지하게 된다.

그림 6은 시험 대상 회로에 고장이 존재할 때의 각 부분의 전류 또는 전압 신호를 나타내는데, 이 경우 입력력 벡터에 의해 시험 대상 회로내의 고장이 활성화되면서 정상상태에서도 공급전원에서 접지로 전도 경로가 형성되어 고장전류가 발생하게 되어 고장이 활성화된 구간에서 I_{DDQ} 가 p-n 접합 누설 전류 이상의 값을 가지게 된다. 이 전류 신호가 증폭기에서 설정된 기준 전류보다 큰 경우, 증폭기의 출력신호는 그림 6의 amp_out처럼 두 과도상태의 증폭신호가 병합(merging)되게 된다. 병합된 신호가 인버터에 입력되면 I_{inv} 와 같은 전류가 제작되어지는데, 이 신호는 일부 구간에서 시험 대상 회로의 전류 신호와 차이를 가지는 신호로 만들어진다. 이렇게 제작된 신호와 원래의 시험 대상 회로의 전류 신호를 비교기가 비교하게 되면 병합된 부분에 의해서 두 신호 사이에 차이가 생기게 되어 Pass/Fail 신호가 'High'를 유지하지 못하고 'Low'로 떨어져서 시험 대상 회로에 고장이 있음을 표시한다.

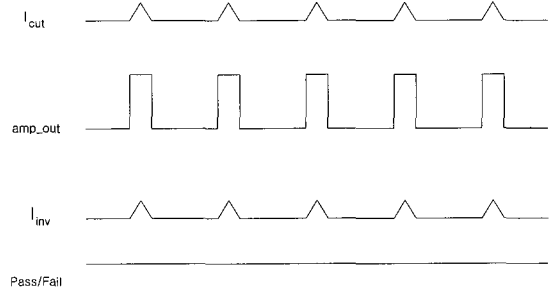


그림 5. 고장이 존재하지 않는 경우
Fig. 5. Case of fault-free CUT.

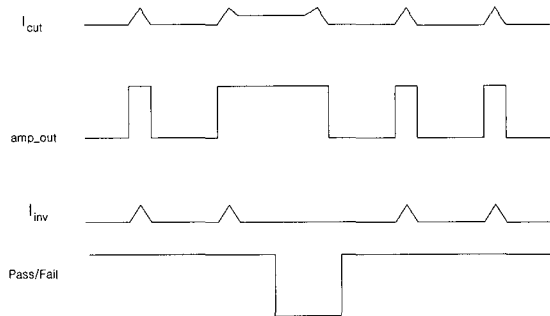


그림 6. 고장이 존재하는 경우
Fig. 6. Case of faulty CUT.

7. 시험 대상 회로 및 고장의 삽입

본 논문에서 사용된 시험 대상 회로는 8×8 병렬 승

산기와 4-bit ripple carry adder를 사용하였으며 full CMOS 공정을 사용하였다. 시험 대상 회로에 삽입된 브리징 고장은 금속 배선을 사용하여 회로의 내부 노드를 합선시키는 방법을 사용하여 인위적인 고장을 삽입하였다.

IV. 실험 결과 및 고찰

1. 배치설계 및 제작

본 논문에서 설계한 내장형 전류 감지 회로 및 시험 대상 회로는 0.25 μm 기술을 사용하여 배치설계(mask layout) 하였다. 그림 7에 내장형 전류 감지 회로와 시험 대상 회로를 포함한 테스트용 IC의 마스크 배치설계를 보였다. 총 80개의 입출력 패드를 사용하는 IC로 제작 할 수 있도록 배치설계 하였고, 4개의 블록으로 나누어 각각 시험 대상 회로와 내장형 전류 감지 회로를 삽입하였다. 이 중 1개의 시험 대상 회로에는 고장을 삽입하지 않았고 나머지 3개의 시험 대상 회로에는 각기 다른 위치에 발생할 수 있는 고장을 금속 배선을 이용하여 삽입함으로써 내장형 전류 감지 회로의 고장 검출 유무를 확인할 수 있도록 하였다.

그림 8은 본 연구에서 시험 대상 회로로 사용한 8×8 병렬 승산기와 내장형 전류 감지 회로의 배치설계 그림이다. 설계되어진 내장형 전류 감지 회로는 시험 대상 회로의 좌측 하단에 위치하고 있으며, 시험 대상 회로와 접지 사이에 위치하여 시험 대상 회로에서 발생하는 전류를 감지하고 복사된 신호와 비교하여 고장의 존재 유무를 검출해 내며, 검출된 결과는 Pass/Fail 단자를 통하여 외부에 전달되어진다. 그림에서 보여지는 것과 같이 내장형 전류 감지 회로는 가로로 긴 형태를 가지고 있어서 시험 대상 회로에 삽입되었을 때 면적의 소모가 최소로 되도록 하였으며, 형태의 특성상 가로로 긴 모양이나 더 짧은 길이를 가지는 직사각형의 형태로 변형이 가능하기 때문에 시험 대상 회로의 여유 공간이 존재하게 되면 삽입이 용이하여 내장형 전류 감지 회로에 의한 면적 소모는 무시 가능할 정도로 매우 작게 할 수 있어서 매우 유용할 것으로 생각되어진다.

시험 대상회로가 8×8 병렬 승산기인 경우, 시험 대상 회로와 내장형 전류 감지 회로를 포함한 전체 테스트 칩의 면적은 360 × 265 μm^2 였고, 내장형 전류 감지 회로의 면적은 360 × 11.5 μm^2 였다. 따라서 전체 칩의

면적 중에서 내장형 전류 감지 회로가 차지하는 면적은 약 4.34 %로 아주 작음을 확인할 수 있었다.

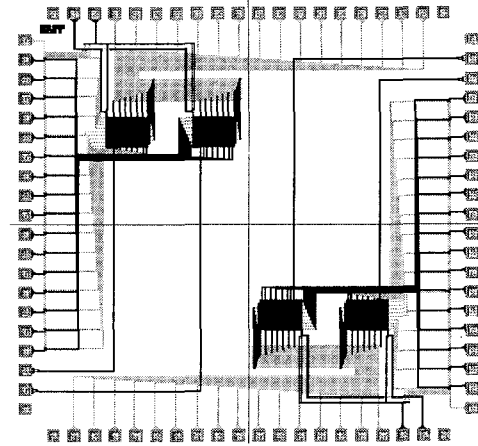


그림 7. 테스트용 칩의 마스크 배치설계
Fig. 7. Mask layout of the test chip.

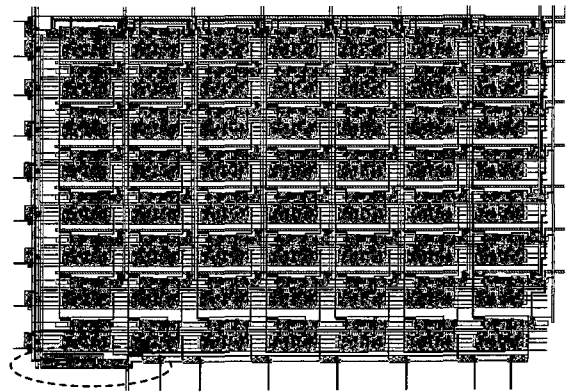


그림 8. 8×8 병렬 승산기와 내장형 전류 감지 회로의 배치설계
Fig. 8. Layout of 8×8 parallel multiplier and the BICS.

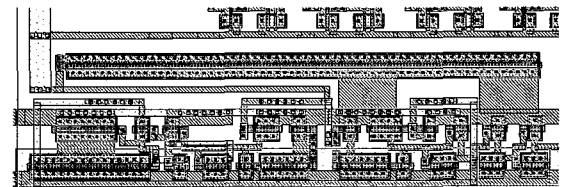


그림 9. 내장형 전류 감지 회로의 배치설계
Fig. 9. Mask layout of the built-in current sensor(BICS).

그림 9에 내장형 전류 감지 회로의 배치설계를 나타내었다. 전류 감지 회로의 상단에 가로로 긴 형태의 트

랜지스터가 시험 대상 회로의 전류를 전압으로 변환하여 주는 Q1 트랜지스터이다. Q1 트랜지스터는 전류 감지 회로에 의한 전압 강하에 의해 시험 대상 회로가 받는 동작의 영향을 최소한으로 하게 하기 위하여 충분히 크게 설계되어졌고, W/L 크기는 $40\mu\text{m}/0.5\mu\text{m}$ 로 설정되었다. Q2 트랜지스터의 경우는 인버터에 의해 복사되어지는 전류의 크기가 시험 대상 회로에 비교하여 매우 작기 때문에 W/L의 크기를 $4\mu\text{m}/0.5\mu\text{m}$ 설정하여 Q1에 의해 변환된 전압과의 크기와 비슷하게 있도록 조절함으로써 기준 전압의 역할을 할 수 있도록 하였다.

시험 대상 회로에 고장 삽입은 그림 10에 보이는 것과 같이 금속 패턴을 이용하여 금속 브리징(metal bridging)을 일으킬 수 있도록 하였다.

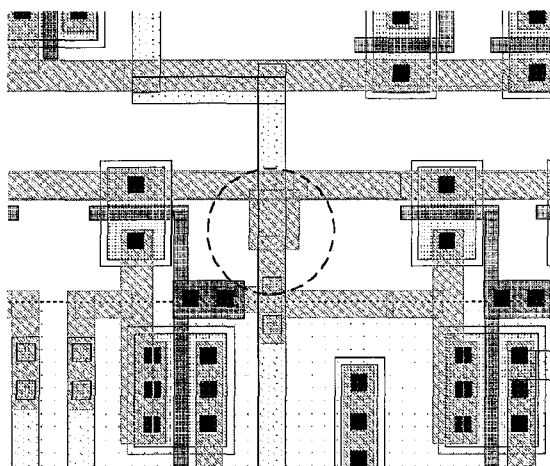


그림 10. 테스트 칩에 삽입된 금속 브리징 고장
Fig. 10. Mask layout of the test chip with a metal bridging defect.

2. 모의 실험 결과

본 논문에서 설계한 내장형 전류 감지 회로의 고장 검출 동작을 확인하기 위하여 HSPICE를 사용하여 모의 실험을 실시하였다. 그림 11부터 14까지에 모의 실험 결과를 보인다. 그림 11과 13에서 보여지는 것과 같이 시험 대상 회로에 고장이 없는 경우에는 시험 대상 회로에서 발생하는 전류(×)와 복사된 전류(○)의 모양이 같기 때문에 비교기에서 이를 비교하여 Pass/Fail 신호(△)를 내고, Pass/Fail 신호는 “High”로 유지되어 고장이 없음을 표시하고 있다. 그림 12와 14처럼 시험 대상 회로에 고장이 존재하는 경우에는 시험 대상 회로에서 발생하는 전류(× or □)와 복사되는 전류(○ or ⊗)의 형태가 서로 다르게 나타나기 때문에 이를 비교

기에 비교하게 되면 특정한 입력에 대하여 Pass/Fail 신호(△ or *)가 “Low”로 떨어져서 시험 대상 회로에 고장이 존재함을 표시하였다. 그림 14의 경우 시험 대상 회로에서 발생하는 전류와 비교되어지는 전류 사이의 차이점을 발견하기가 용이하지 않는데 90 ~100 ns의 구간을 살펴보면 시험 대상 회로에서 발생하는 전류가 다른 부분 보다 조금 큰 것을 확인할 수 있다. 비교기는 이 차이를 감지하여 고장 신호를 발생 시켰다. 모의 실험 결과에 의해 내장형 전류 감지 회로가 대부분의 브리징 고장은 검출이 가능한 것으로 나타났지만, 일부의 절선 고장을 검출이 불가능하였다. 이는 절선 고장의 경우 주변 회로의 상태에 큰 영향을 받기 때문에 여러 가지 입력에 대하여도 고장이 활성화되지 않는 경우가 많기 때문으로 생각되어진다.

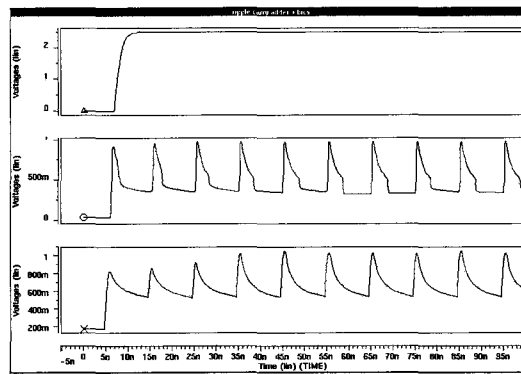


그림 11. 시험 대상 회로(4-bit ripple carry adder)에 고장이 없는 경우
Fig. 11. Simulation of a defect-free test chip(4-bit ripple carry adder).

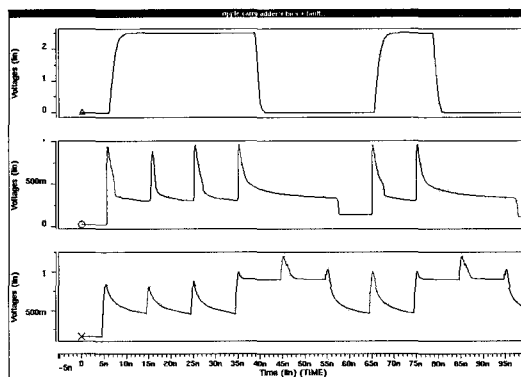


그림 12. 시험 대상 회로(4-bit ripple carry adder)에 고장이 존재하는 경우
Fig. 12. Simulation of a defective test chip(4-bit ripple carry adder).

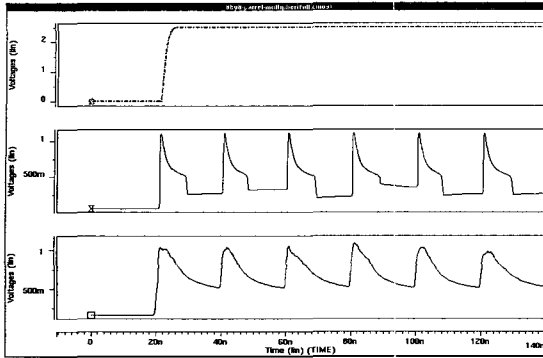


그림 13. 시험 대상 회로(8×8 병렬 승산기)에 고장이 없는 경우
 Fig. 13. Simulation of a defect-free test chip(8×8 parallel multiplier).

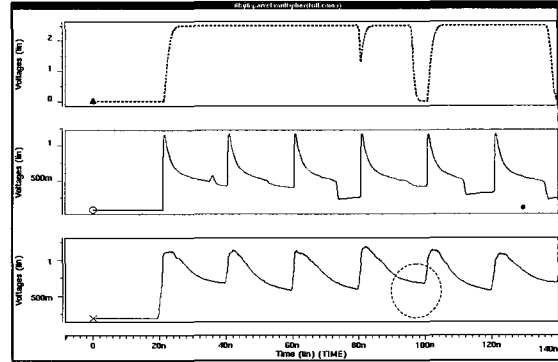


그림 14. 시험 대상 회로(8×8 병렬 승산기)에 고장이 존재하는 경우
 Fig. 14. Simulation of a defective test chip(8×8 parallel multiplier).

표 1. 모의 실험에 의한 전력 소모 결과
 Table 1. Simulation results of power consumption.

CUT	Defect-free test chip without BICS	Defect-free test chip with BICS	Defective test chip with BICS
4-bit ripple carry adder	0.13 mW	1.20 mW	1.28 mW
8×8 parallel multiplier	3.67 mW	2.33 mW	2.38 mW

3. 비교 및 분석

표 2에 기존의 여러 연구자들에 의해 설계되어진 내장형 전류 감지 회로와 본 논문에서 제안한 내장형 전류 감지 회로에 대하여 여러 가지 동작 성능 및 회로의 구성을 비교하여 나타내었다. 표에서 나타내어지는 것과 같이 본 논문에서 제안된 내장형 전류 감지 회로는 고장 테스트를 위하여 별도의 클럭을 사용하지 않으며,

표 2. 여러 가지 내장형 전류 감지 회로의 비교
 Table 2. Comparison of BICS's.

	Number of Device	Clock Signal	Speed Degradation	Mode Select	Control Pin	Output Pin
Maly's Design ^[4]	Tr : 10 Inv : 2 NAND : 1	Single Clock	not reported	Y	5	1
Favalli's Design ^[5]	Tr : 2×gate+1	not used	not reported	Y	1	1
Miura's Design ^[6]	Tr : 16 R : 1 C : 1	not used	not reported	Y	3	1
Shen's Design ^[7]	Tr : 13 Diode : 1	Two Phase Clock	14.4 %	N	3	2
Tang's Design ^[8]	Tr : 24 R : 1	Single Clock	negligible	N	3	1
Kim's Design ^[9]	Tr : 6 Inv : 1	not used	negligible	Y	2	1
Proposed Design	Tr : 10 Inv : 3	not used	negligible	N	not used	1

10개의 MOSFET와 인버터 3개를 사용하고 있다. 또한 모드 선택이 필요하지 않고 on-line 테스트가 가능한 장점을 가지고 있으며, Pass/Fail 신호를 칩의 외부로 전달하는 출력 단자 하나를 제외하고는 별도의 제어 단자가 전혀 필요하지 않은 장점을 가진다. 따라서 본 논문에서 제안된 내장형 전류 감지 회로는 기존의 연구자들이 의해 설계된 내장형 전류 감지 회로에 비하여 우수한 성능을 보임을 표에서 확인할 수 있다.

V. 결 론

본 논문에서는 기존의 논리 테스트에 비하여 여러 가지 장점을 가지는 전류 테스트를 위하여 새로운 내장형 전류 감지 회로를 설계 및 제안하였다. 본 논문에서 제안된 내장형 전류 감지 회로는 시험 대상 회로에서 발생하는 전류와 인버터의 전류 발생 특성에 의해 복사되어진 전류를 비교함으로써 시험 대상 회로의 고장 존재 여부를 감지하여 Pass/Fail 신호로 발생시킨다. 설계된 회로는 차동 증폭 형태의 증폭기와 비교기로 이루어져 있으며, 시험 대상 회로의 전류를 복사해 내기 위한 인버터를 포함하고 있다. 제안된 내장형 전류 감지 회로가 칩의 전체 면적에서 차지하는 면적소모는 8×8 병렬 송산기를 시험 대상 회로로 사용한 경우에 약 4.34 %로 매우 작아서 내장형 전류 감지회로에 의한 면적 소모에 대한 부담은 거의 없는 것으로 측정되었다. HSPICE를 사용한 컴퓨터 모의 실험을 통하여 시험 대상 회로에 삽입된 고장을 정확하게 검출해 낼 수 있음을 확인하였다. 본 논문에서 제안된 내장형 전류 감지 회로는 고장 테스트를 위하여 별도의 클럭을 사용하지 않으며, 10개의 MOSFET와 인버터 3개를 사용하고 있다. 또한 모드 선택이 필요하지 않고 on-line 테스트가 가능한 장점을 가지고 있으며, Pass/Fail 신호를 칩의 외부로 전달하는 출력 단자 하나를 제외하고는 별도의 제어 단자가 전혀 필요하지 않은 장점을 가진다. 제안된 내장형 전류 감지 회로의 구조를 사용하면 시험 대상 회로에 따라 전류-전압 변환 트랜지스터 하나의 크기만 조절하여 곧 바로 적용이 가능하도록 함으로써 여러 가지 회로의 테스트에 응용 가능하도록 설계하였다.

따라서 본 논문에서 제안된 내장형 전류 감지 회로는 전자 시스템의 사용 중에 고장의 발생 여부를 확인할 수 있어서 전자 시스템의 신뢰도를 증가시키는데 큰 역

할을 할 수 있을 것으로 생각되어지며, 앞으로 ATE(automatic test equipment)와의 인터페이스, 테스트 패턴 생성, 그리고 큰 회로에 대한 분할 등에 대한 연구가 더욱 필요할 것으로 생각된다.

참 고 문 헌

- [1] W. Maly, "Realistic fault modeling for VLSI testing," in *Proc. Design Automation conf.*, pp. 173~180, 1987.
- [2] F. J. Ferguson and J. P. Shen, "A CMOS fault extractor for inductive fault analysis," *IEEE Trans. Computer-Aided Design*, vol. 7, pp. 1181~1194, Nov. 1988.
- [3] R. Rajsuman, "Iddq Testing for CMOS VLSI," Boston, MA : Artech House, 1995.
- [4] W. Maly, and M. Patyra, "Built-in current testing," *IEEE J. Solid-State Circuits*, vol. 27, no. 3, pp. 425~428, Mar. 1992.
- [5] M. Favalli, P. Olivo, M. Damiani, and B. Ricco, "Novel design for testability schemes for CMOS IC's," *IEEE J. Solid-State Circuits*, vol. 25, pp. 1239~1246, Oct. 1990.
- [6] Y. Miura and K. Kinoshita, "Circuit design for built-in current testing," in *Proc. International Test Conference*, pp. 873~881, Nov. 1992.
- [7] T. L. Shen, J. C. Daly, and J. C. Lo, "A 2-ns detecting time, $2\text{-}\mu\text{m}$ CMOS built-in current sensing circuit," *IEEE J. Solid-State Circuits*, vol. 28, pp. 72~77, Jan. 1993.
- [8] J. J. Tang, K. J. Lee, and B. D. Liu, "A practical current sensing technique for IDDQ testing," *IEEE Trans. VLSI systems*, vol. 3, no. 2, pp. 302~310, June. 1995.
- [9] J. B. Kim, S. J. Hong, and J. Kim, "Design of a built-in current sensor for IDDQ testing," *IEEE J. Solid-State Circuit*, vol. 33, no. 8, pp. 1266~1272, Aug. 1998.
- [10] J. P. Hurst, and A. D. Singh, "A differential built-in current sensor design for high-speed IDDQ testing," *IEEE J. Solid-State Circuit*,

vol. 32, pp. 122~125, Jan. 1997.

[11] V. Stopjakova, H. Manhaeve, and M. Sidiropulos, "On-chip transient current monitor for testing of low-voltage CMOS IC," in *Proc. European Test conf.*, pp. 266-270, 1997.

[12] 홍성제 외, "테스팅 및 테스트를 고려한 설계," *홍릉과학출판사*, 1998

저 자 소 개



郭 哲 昊(正會員)

1995년 강원대학교 재료공학과(공학사), 1997년 강원대학교 재료공학과(공학석사), 2000년 강원대학교 전자공학과(박사과정 수료), 1999년~2000년 (주)Webnara 연구원, 2001년 3월~현재 송호대학 정보산업계열

멀티미디어전공 겸임교수



金 政 範(正會員)

1985년 인하대 전자공학과(공학사). 1987년 인하대 전자공학과(공학석사). 1997년 포항공대 전자전기공학부 (공학박사). 1987~1992년 금성반도체(현 현대전자) 중앙연구소 선임연구원. 1994년~1997년 현대전자

시스템 IC 연구소 책임연구원. 1997년~1999년 충북대학교 전기전자공학부 교수. 현재 강원대학교 전기전자 정보통신공학부 조교수