

論文2001-38SD-7-2

# 집적도 향상을 위한 비대칭 n-MOSFET의 전기적 특성 및 모델링

## (Electric Characteristics and Modeling of Asymmetric n-MOSFETs for Improving Packing Density)

孔棟郁\*, 李在成\*\*, 南基泓\*\*\*, 李龍鉉\*\*\*\*

(Tong-Ook Kong, Jae-Sung Lee, Ki-Hong Nam, and Yong-Hyun Lee)

### 요약

집적도 향상을 위해 사용되는 비대칭 n-MOSFET를 0.35  $\mu\text{m}$  CMOS공정으로 제조하여 그 전기적 특성을 조사하고 전기적 모델을 제시하였다. 비대칭형 n-MOSFET는 대칭형 n-MOSFET에 비해 포화영역의 드레인 전류는 감소하였으며, 선형영역의 저항은 증가하였다. 그리고 비대칭형 n-MOSFET에서 보다 낮은 기판 전류가 측정되었다. 측정결과를 참조하여 비대칭 n-MOSFET를 회로설계에 용이하게 사용할 수 있도록 기존의 대칭형 소자 모델을 개선한 새로운 모델을 제시하였다. 이 모델링의 정확성을 MEDICI 시뮬레이션을 통해 확인하였고, 대부분의 게이트 폭 범위에서 계산된 비대칭 n-MOSFET의 포화 전류 값은 측정값과 거의 일치하였다.

### Abstract

Asymmetric n-MOSFET's for improving packing density have been fabricated with 0.35  $\mu\text{m}$  CMOS process. Electrical characteristics of asymmetric n-MOSFET show a lower saturation drain current and a higher linear resistance compared to those of symmetric devices. Substrate current of asymmetric MOSFET is lower than that of symmetric devices. Asymmetric n-MOSFET's have been modeled using a parasitic resistance associated with abnormally structured drain or source and a conventional n-MOSFET model. MEDICI simulation has been done for accuracy of this modeling. Simulated values of reverse as well as forward saturation drain current show good agreement with measured values for asymmetric device.

\* 正會員, 텔레포스(株) 研究開發部

(Telephus Co. Research Lab.)

\*\* 正會員, 威德大學校 情報通信工學科

(Uiduk University., Dept. of computer &amp; Communication Eng.)

\*\*\* 正會員, 慶日大學校 電子情報工學科

(Kyungil University, Dept. of Electronic &amp; Information Eng.)

\*\*\*\* 正會員, 慶北大學校 電子電氣工學部

(Kyoungpook National University, School of Electronic &amp; Electric Eng.)

接受日字:2000年7月11日, 수정완료일:2001년6월12일

### I. 서론

반도체 회로의 고집적화가 더욱 가속화되고 있는 상황에서 반도체 소자의 칩 밀도(packing density)를 높이기 위해서는 다양한 형태의 고성능 MOSFET의 개발이 필수적이다. MOSFET의 일반적인 구조는 소오스와 드레인의 형태가 동일한 대칭형을 갖는다. 높은 칩 밀도를 위해서는 MOSFET의 크기를 줄여야 하는데, 이를 위해 고해상도를 갖는 마스크 공정 작업이 필요하다. 그러나 이러한 작업은 마스크 해상도의 한계 및 높은 제조 단가로 인해 현실화에 어려움이 따르게 되었다. 따라서, 현재의 마스크 해상도에서 칩 밀도를 높이기

위해 반도체 칩 상에서 대칭형 MOSFET를 배치하기 부적합한 곳에 비대칭 MOSFET를 설계하여 넣는 방법이 필요하게 되었고,<sup>[1,2]</sup> 반도체 제조 회사에서는 비대칭 구조의 MOSFET를 submicron 로직 반도체 기술에서부터 적용하게 되었다.

집적도 향상을 위한 비대칭 MOSFET에는 소오스/드레인이 비대칭 구조를 가지는 MOSFET,<sup>[1,3]</sup> 소오스/드레인이 게이트를 직각이 아닌 각도로 교차하는 MOSFET<sup>[4,5]</sup> 그리고 소오스/드레인의 금속 배선 접촉 개수가 다른 MOSFET<sup>[2]</sup> 등이 제시되었다. 비대칭 MOSFET는 소자의 비대칭 구조로 인한 기생 저항 성분이 대칭형 소자보다 더 크게 존재하게 되어 일반적으로 전기적 특성이 열화된다.<sup>[1~5]</sup> 이러한 단점은 salicide (self-aligned silicide) 공정으로 소오스/드레인 전 영역을 silicide함으로써 극복할 수 있다.<sup>[6,7]</sup> 그러나 수  $\Omega/\square$  정도의 silicide의 비저항과 silicide와 소오스/드레인 영역과의 접촉 저항이 존재하게 되어 소자의 크기가 큰 경우에는 salicide로 그 열화된 전기적 특성을 모두 보상할 수 없다. 비대칭 MOSFET는 그 전기적 특성이 대칭형 구조와는 차이가 나기 때문에 이들 소자를 회로 설계시 사용 할 경우에는 설계자들은 비대칭 MOSFET에 대한 정확한 이해가 필요하다.

본 논문에서는 소오스/드레인 구조가 비대칭 구조와 정상적인 대칭 구조를 각각 갖는 n 채널 MOSFET를 단일 웨이퍼 상에 동시에 제조하여 그 전기적 특성을 조사하였다. 게이트, 드레인 및 소오스의 면적 변화에 따른 기생 저항 값들의 변화를 용이하게 관찰하기 위해 금속 배선 접촉을 제외한 나머지 영역에는 salicide 공정을 적용하지 않았다. 그리고 측정된 결과를 바탕으로 비대칭 MOSFET의 전기적 특성을 대칭형 MOSFET와 비교한 후, 비대칭형 MOSFET를 모델링 하였다. 소자 제조 공정을 공정 시뮬레이션을 통해 확인하였으며, 또한 소자 시뮬레이션을 행하여 본 연구에서 제시한 비대칭 MOSFET의 모델의 정확성을 확인하였다.

II. 실험

대칭형 및 비대칭 MOSFET는 단일 웨이퍼 상에서 동시에 제조되었으며, LOCOS 소자 분리와 CMOS 공정으로 제조되었다. 기판으로는 약  $2 \times 10^{15} \text{cm}^{-3}$ 의 붕소가 도핑된 p형 (100) 실리콘 웨이퍼를 사용하였다. 제조된 소자의 게이트 산화막의 두께는 약 70 Å 정도

이고, 마스크상의 게이트 길이는  $0.35 \mu\text{m}$ , 유효 게이트 길이는 약  $0.27 \mu\text{m}$  정도이다. 다결정 실리콘의 측벽 산화막(side wall spacer)의 두께는 1800 Å이었다. 제조된 소자의 형태를 그림 1에 나타냈다. 게이트 폭은  $3.2 \mu\text{m}$ 에서  $27.2 \mu\text{m}$ 까지 변화시켰으며, 금속 배선을 위한 접촉(contact) 부분의 크기는  $0.6 \times 0.6 \mu\text{m}^2$ 이었다. 금속 배선 접촉 1 개가 갖는 드레인 또는 소오스는  $1.6 \times 1.6 \mu\text{m}^2$ 의 면적을 갖도록 설계법(design rule)을 정하였다. 금속 배선 접촉이 존재하지 않는 소오스 영역의 면적을 변화시키기 위해 그림 1b)에서 l 을 0.4, 0.5, 0.6 및  $0.7 \mu\text{m}$ 로 각각 변화시켰다. 이는 비대칭 구조에서 나타나는 기생저항 값을 변화시키기 위해 시도하였다.

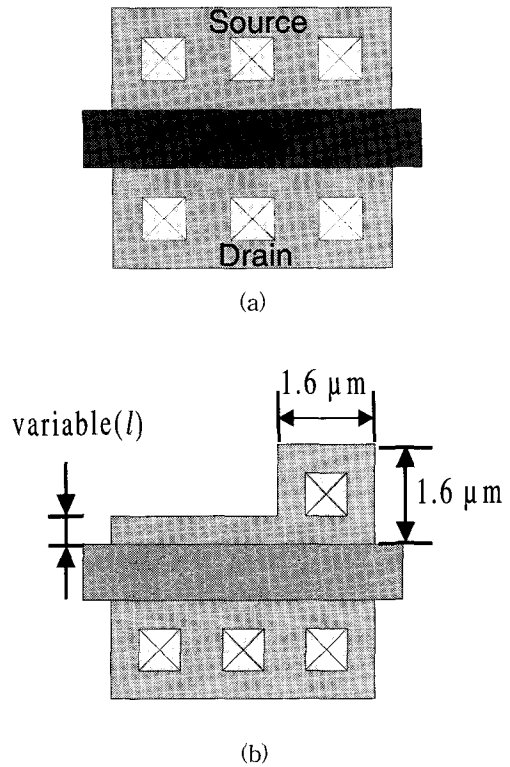


그림 1. 제조된 n-MOSFET 소자의 형태.  
(a) 대칭형 및 (b) 비대칭형  
Fig. 1. Structure of fabricated n-MOSFETs.  
(a) symmetric and (b) asymmetric

제조된 소자의 전기적 특성은 HP-4145B 반도체 파라미터 분석기를 이용하여 측정되었다. 포화 드레인 전류는  $V_{GS} = V_{DS} = 3.3 \text{V}$ 에서 측정되었으며, 선형 영역에서 드레인/소오스 간 직렬저항은  $V_{DS} = 0.1\text{V}$ ,  $V_{GS} = 3.3 \text{V}$ 에서 측정되었다. 직렬저항에는 드레인 및 소오스

저항 뿐 아니라 채널 저항도 포함된다. 그리고 소자의 신뢰성 및 hot carrier 특성을 알아보기 위한 기판 전류는  $V_{DS} = 3.3$  V로 고정하고,  $V_{GS} = 0 \sim 6$  V 까지 변화시키며 측정하였다.

제조된 소자의 동작을 확인하고 본 연구에서 제시한 비대칭 n-MOSFET 모델링법의 정확성을 검증하기 위하여 공정 시뮬레이터인 TSUPREM-4와 소자 시뮬레이터인 MEDICI로 시뮬레이션을 각각 행하였다.

### III. 결 과

#### 1. 드레인 포화전류 특성

이상적인 n-MOSFET의 포화 드레인 전류는

$$I_D = \frac{1}{2} \overline{\mu}_{ns} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T)^2 (1 + \lambda V_{DS}) \quad (1)$$

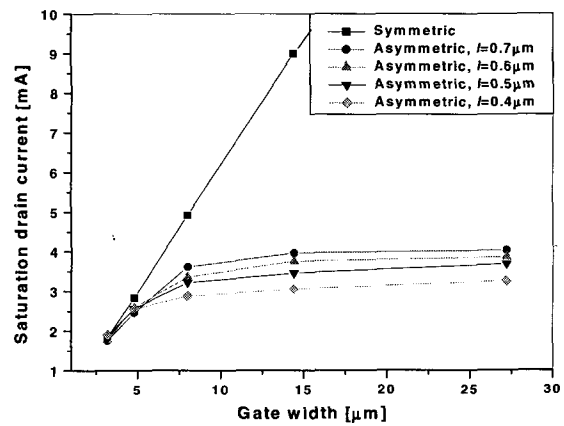
로 주어진다.<sup>[8-9]</sup> 여기서,  $0 \leq (V_G - V_T) \leq V_{DS}$ 이며,  $V_{GS}$ 와  $V_{DS}$ 는 각각 게이트와 소오스 및 드레인과 소오스 사이의 전압이고,  $C_{ox}$ 은 단위 면적 당 게이트 용량이며,  $V_T$ 는 문턱전압이다.  $\overline{\mu}_{ns}$ 는 전자의 표면이동도의 평균치로서 채널에서의 게이트 전압에 의한 수직전장, 온도, 드레인 바이어스에 의한 수평 전장, 불순물 및 계면상태밀도 등에 의존하는 상수이다.  $\lambda$ 는 채널길이 변조현상을 나타내는 상수이고,  $W_{eff}$ ,  $L_{eff}$ 는 각각 유효 채널 폭과 길이이다. 소오스 저항( $R_S$ ) 및 드레인 저항( $R_D$ )이 있을 경우 포화 드레인 전류는

$$I_D = \frac{1}{2} \overline{\mu}_{ns} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T - I_D R_S)^2 [1 + \lambda (V_{DS} - I_D (R_S + R_D))] \quad (2)$$

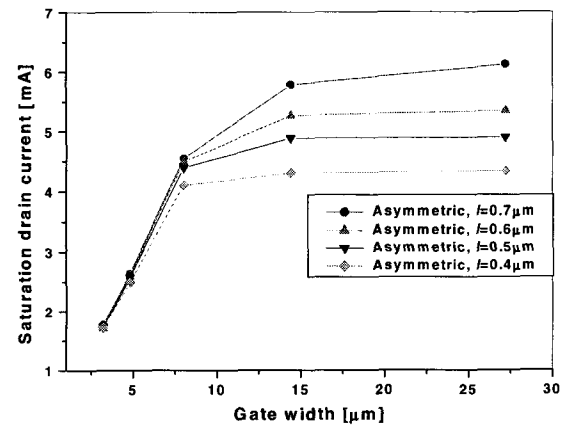
로 주어진다. 식 (2)로부터 소오스 저항 및 드레인 저항이 드레인 포화전류에 큰 영향을 미침을 알 수 있다.

그림 2는  $V_{GS} = V_{DS} = 3.3$  V 일 때 측정된 각 소자의 순방향 및 역방향 포화 드레인 전류 변화를 게이트 폭에 대해 나타냈다. 그림 2(a)에서 대칭형 n-MOSFET는 포화드레인 전류가 게이트 폭에 비례하는 특성을 나타내었으나, 비대칭형 n-MOSFET의 경우에는 전류의 증가폭이 크게 감소함을 알 수 있다. 특히 약  $15\mu\text{m}$  이상의 게이트 폭에 대해서는 포화 드레인 전류가 거의 증가하지 않았으며, 소오스의 금속 배선 접촉이 없는

부분의 길이(그림 1b에서 l)가 짧을수록 포화 드레인 전류의 크기가 더욱 감소하였다. 즉, 동일한 게이트 폭에서 금속 배선 접촉이 없는 소오스의 면적이 적을수록 기생저항이 증가하여 소자의 특성이 더욱 열화되었다. 그림 2(a)와 2(b)를 비교해 보면 게이트 폭이 증가할수록 순방향 포화 전류가 역방향 포화전류 보다 그 양이 적어짐을 알 수 있다. 이는 포화 드레인 전류는 드레인 저항보다 소오스 저항에 더 큰 영향을 받기 때문이다. 제조된 소자의 구조에서 소오스 저항이 드레인 저항보다 더 크음을 알 수 있다.



(a)



(b)

그림 2, 게이트 폭에 따른 대칭형 및 비대칭형 n-MOSFET의 포화 드레인 전류 특성 (a) 순방향 바이어스 (b) 역방향 바이어스

Fig. 2. Saturation drain current as a function of gate width (a) Forward bias, (b) reverse bias

2. 선형영역에서의 드레인과 소오스 사이의 직렬저항 특성

선형영역에서의 드레인 전극과 소오스 전극사이의 직렬저항은 게이트 전압이 3.3 V이고 드레인 전압이 0 ~ 0.1 V일 때의 드레인 전류 대 드레인/소오스간 전압의 그래프를 구하여 이 그래프의 기울기의 역수로 구해졌다. 이상적인 n-MOSFET의 선형영역에서의 드레인 전류 식은 다음과 같이 주어진다.

$$I_D(\text{linear}) = \overline{\mu_{ns}} C_{ox} \frac{W_{eff}}{L_{eff}} (V_{GS} - V_T - \frac{V_{DS}}{2}) V_{DS} \quad (3)$$

여기서,  $0 \leq V_{DS} \leq (V_{GS} - V_T)$ 이다. 즉, 식 (3)은 소오스와 드레인 영역의 접촉저항, channel-end-spreading 저항과 소오스/드레인의  $L_{DD}$ 영역 및 n+ 영역의 벌크 저항을 무시한 드레인 전류 수식이다. 이러한 이상적인 MOSFET의 드레인 소오스간 전압을 드레인 전류로 나눈 값을 channel 저항이라 한다. 이상적인 MOSFET의 선형영역에서의 채널저항은  $V_{DS}$ 가  $(V_{GS} - V_T)$ 보다 아주 작을 때

$$R_{ch} = \frac{V_{DS}}{I_D} = \frac{L_{eff}}{\overline{\mu_{ns}} C_{ox} W_{eff} (V_{GS} - V_T)} \quad (4)$$

이다. 여기서,  $0 \leq V_{DS} \ll (V_{GS} - V_T)$ 로 주어진다. 그러나, 실제 측정된 드레인/소오스간 전압을 드레인 전류로 나눈 값은 channel 저항과 channel 저항 이외의 저항 즉 소오스 저항과 드레인 저항으로 대변할 수 있는 기생저항을 합한 값이다. 이런 기생 저항 값이 커질수록 선형영역의 드레인 전류 대 게이트전압의 선형성이 떨어지게 되고, 포화드레인 전류의 크기가 감소한다. 소오스 저항 및 드레인 저항을 포함한 선형영역에서의 드레인 전류 수식은

$$I_D(\text{linear}) = \overline{\mu_{ns}} C_{ox} \frac{W_{eff}}{L_{eff}} \left\{ V_{GS}' - I_D R_S - V_T - \frac{V_{DS} - I_D (R_S + R_D)}{2} \right\} \times \left\{ V_{DS}' - I_D (R_S + R_D) \right\} \quad (5)$$

이다. 여기서,  $V_{GS}'$ ,  $V_{DS}'$ 은 각각 외부에서 인가한 게이트/소오스 전극간 전압과 드레인/소오스 전극간 전압이다. 그리고, 선형영역에서의 드레인 소오스간 직렬저항은 외부에서 인가한 드레인/소오스간 전압을 드레인 전류로 나누면 된다. 이를 식 (6)에 나타내었다.

$$R_{TOT} = \frac{V_{DS}'}{I_D} = R_{ch} + R_S + R_D \quad (6)$$

소오스 저항 및 드레인 저항을 합한 비대칭 n-MOSFET의 기생저항을 분석하기 위하여, 제조된 대칭형 및 비대칭형 MOSFET에 대해서 선형영역에서의 드레인/소오스 사이 직렬저항을 측정하여 그 결과를 그림 3에 나타내었다. 대칭형 MOSFET는 직렬저항이 게이트 폭에 반비례하는 특성을 나타내었으나, 비대칭 MOSFET는 감소 폭이 매우 적었다. 이것은 비대칭 MOSFET에서 드레인 저항은 게이트 폭이 증가함에 따라 감소하지만, 소오스 저항은 소오스 접촉이 하나뿐이므로 게이트 폭이 증가하더라도 크게 감소하지는 않기 때문이다. 이러한 저항은 실제 소자에 걸리는 전압을 감소시키기 때문에 드레인 포화전류 특성에 직접적으로 영향을 미친다.

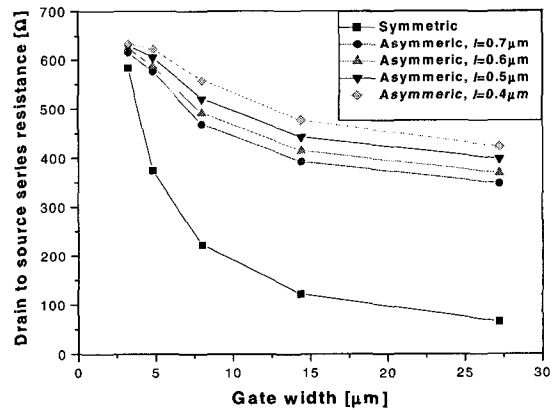


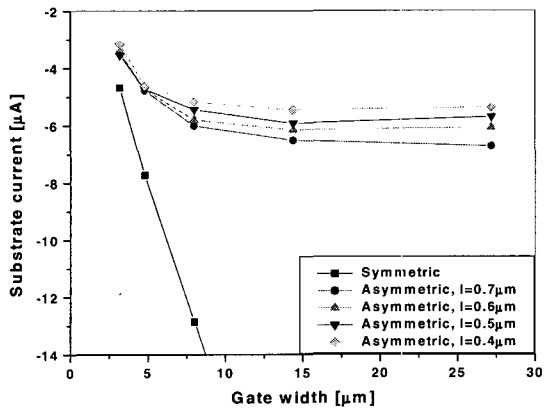
그림 3. 게이트 폭 변화에 따른 선형영역에서의 드레인/소오스 사이 직렬저항 특성

Fig. 3. Drain to source series resistance as a function of gate width in linear region.

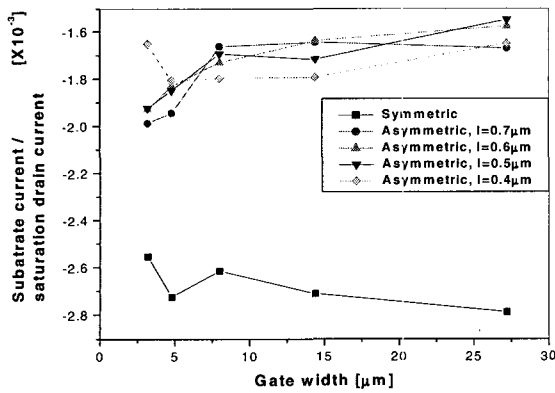
### 3. 기관 전류 특성

기관 전류는 hot carrier 열화의 정도를 나타내는 척도이다. 일반적으로 드레인 영역을 소오스 영역에 비해 좁게 만들어 hot carrier의 열화를 억제하는 방법이 제시되고 있다.<sup>[10]</sup> 그러나 본 연구에서는 드레인 보다는 소오스 영역이 변형된 형태이다. 비대칭 n-MOSFET의 기관 전류 특성을 게이트 폭을 증가하면서 분석하였다. 그림 4는 제조된 각 소자의 게이트 폭에 대한 기관전류 특성 및 단위 포화 드레인 전류에 대한 기관전류 특성을 나타낸 것이다. 대칭형 소자의 경우 기관전류의 크

기가 게이트 폭에 비례하여 증가하나 비대칭 소자의 경우 그 증가폭이 크게 둔화됨이 그림 4(a)에 나타나있다. 그림 4(b)에는 같은 양의 포화 드레인 전류가 흐를 때, 대칭형 소자보다 비대칭형 소자가 더 적은 기판전류를 나타냄이 나타나있다. 이 그림으로부터 대칭형 소자보다 비대칭형 소자가 더 우수한 hot carrier 열화 억제 특성을 나타냄을 알 수 있고, 따라서 기판전류를 효과적으로 줄일 수 있는 한 방안이 될 것으로 생각된다.



(a)



(b)

그림 4. 게이트 폭에 따른 (a) 기판 전류특성 (b) 단위 포화 드레인 전류에 대한 기판 전류 특성  
Fig. 4. (a) Substrate current characteristics and (b) substrate current per unit saturation drain current as a function of gate width.

4. 비대칭 n-MOSFET의 시뮬레이션

TSUPREM-4 공정시뮬레이터로 소자의 구조를 설계한 후, 이 구조로 소자 시뮬레이터인 MEDICI로 전기적 특성을 분석하였다. TSUPREM-4 및 MEDICI는 2차원적인 시뮬레이터로 단위 폭에 대한 값을 시뮬레이션 한

다. 따라서 실제 측정값과 비교하기 위해서는 실제 폭으로 환산해 주어야 한다.

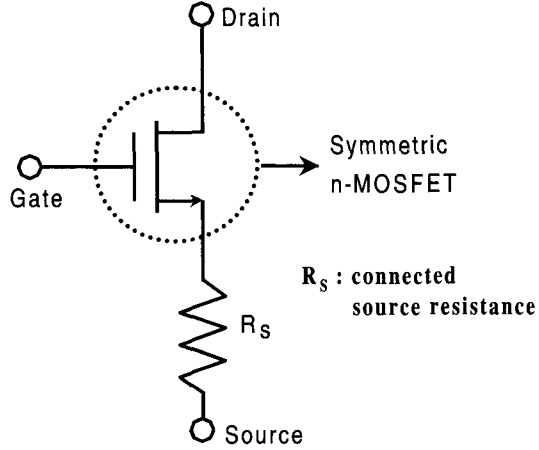


그림 5. 대칭형 n-MOSFET와 소오스 저항으로 모델링한 비대칭 n-MOSFET

Fig. 5. Asymmetric n-MOSFET modeled with symmetric n-MOSFET and source resistance.

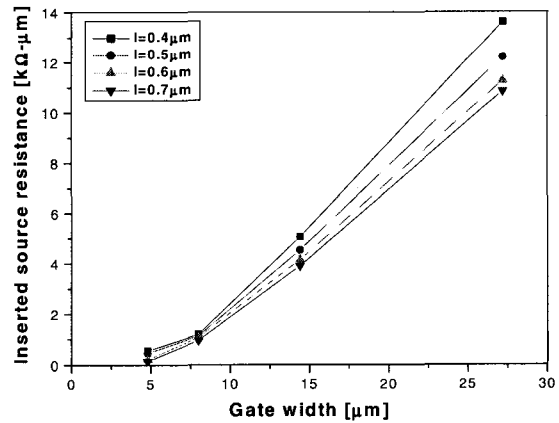


그림 6. 비대칭 n-MOSFET의 시뮬레이션시 첨가한 소오스 저항의 게이트 폭에 대한 특성

Fig. 6. Calculated source resistance as a function of gate width.

비대칭형 소자의 드레인 포화전류의 특성을 분석한 결과 순방향 특성은 대칭형 보다 열화된 특성을 나타내고, 역방향 특성은 게이트 폭이 클 때 드레인 전류가 포화되지 않는 특성을 나타내었다. 따라서, 비대칭형 소자의 열화의 원인을 소오스 접촉이 하나임으로 인해 증가한 소오스 저항 때문인 것으로 가정할 수 있으리라 판단되어, 비대칭 MOSFET를 일반적인 대칭형 소자에

소오스에 저항을 첨가하여 모델링 하였다. 이를 도식적으로 그림 5에 나타내었다. 시뮬레이션을 행할 때  $V_{GS} = V_{DS} = 3.3$  V에서의 포화 드레인 전류가 일치하도록 소오스저항을 변화시켰다.

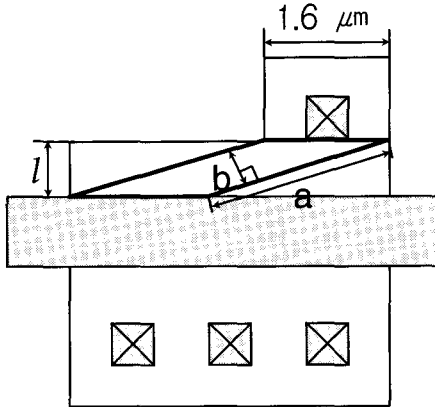


그림 7. 소오스 구조에 의존하는 소오스 저항값의 계산을 위한 소자 구조적 해석.

Fig. 7. Structural analysis for calculation of source resistance depending on source structure.

그림 6에 소오스 접촉이 없는 부분의 길이 ( $l$ )가 0.4, 0.5, 0.6, 0.7  $\mu\text{m}$ 인 비대칭 MOSFET에 대해 게이트 폭에 의존하여 변화하는 소오스 저항 값을 계산하여 나타냈다. 이들 저항값은 게이트 폭의 1.9~2.0승에 비례하여 증가하는 특성을 나타내었다. 주어진 비대칭 소자의 구조에서 전류의 흐름을 억제하는 기생 저항의 크기는 그림 7에서처럼 소오스 접촉과 드레인 접촉사이의 거리에 의존하게 된다. 가장 큰 기생저항은 가장 멀리 떨어진 두 접촉사이에 존재하게 된다. 그림 7에서 기생 저항 요소의 길이 및 너비를 각각  $a$ 와  $b$ 라고 할 때, 이들은 식 (7)과 식 (8)으로 각각 주어진다.

$$a = \sqrt{(W_{gate} - 1.6)^2 + l^2} \quad (7)$$

$$b = 1.6 \frac{l}{a} \quad (8)$$

여기서  $W_{gate}$ 는 게이트 폭이고,  $a$ ,  $b$ ,  $l$ ,  $W_{gate}$ 의 단위는 [ $\mu\text{m}$ ]이다. 각 접촉사이의 저항은  $a/b$ 에 비례하게 된다. 두 수식으로부터 저항 요소의 저항 값은 게이트 폭의 약 2승에 비례함을 알 수 있고, 시뮬레이션할 때 첨가한 소오스 저항 값과 비슷한 경향을 보인다. 따라서, 식 (7)과 (8)을 참조하여 시뮬레이션할 때 첨가한 소오스 저항값을 용이하게 계산할 수 있다. 그러나, 게이트 폭

이 1.6  $\mu\text{m}$ 에 가까울 경우 오차가 크고, 게이트 폭이 너무 넓으면 대칭형 MOSFET에 소오스 저항을 연결하여 모델링하기에 어려움이 따른다.

#### IV. 고찰

비대칭 MOSFET을 기존의 대칭형 MOSFET에 소오스 기생 저항을 포함시켜 모델링이 가능한지의 여부를 확인하기 위하여 측정된 포화 드레인 전류의 그래프와 모델링된 비대칭 소자의 시뮬레이션으로부터 얻어진 그래프를 서로 비교하였다. 먼저 시뮬레이션의 정확성을 확인하기 위하여 게이트 폭 14.4  $\mu\text{m}$ 인 대칭형 MOSFET의 측정치와 시뮬레이션으로 얻어진 그래프를 서로 비교하여 그림 8에 나타내었다. 여기서, 게이트 전압은 1.1, 2.2 및 3.3 V이다. 게이트 전압이 1.1 및 2.2 V일 때는 측정치가 조금 큰 값을 나타내었지만 전체적인 그래프의 형태는 매우 비슷하였다.

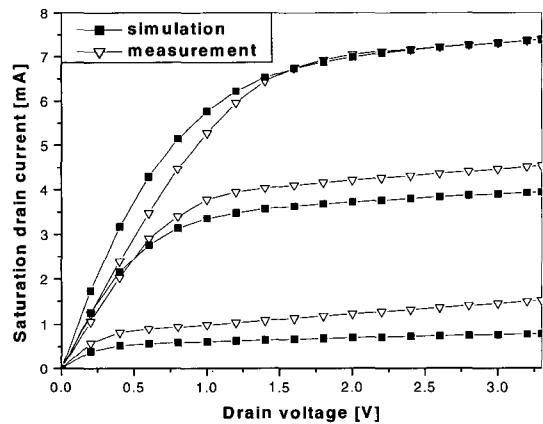
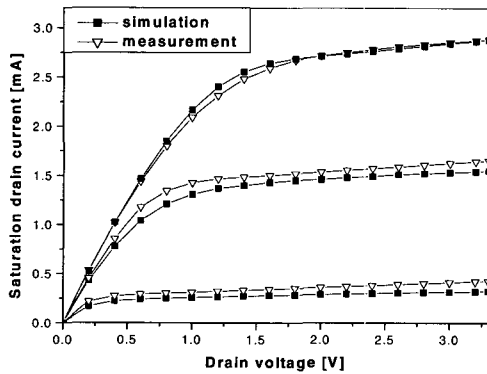


그림 8. 게이트 폭이 14.4  $\mu\text{m}$ 인 대칭형 소자에 대한 포화 드레인 전류의 계산값과 측정값의 비교

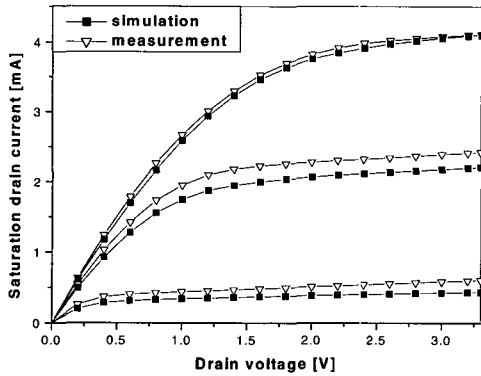
Fig. 8. Comparison between measured and calculated saturation drain current of symmetric MOSFET with gate width of 14.4  $\mu\text{m}$ .

게이트 폭이 8.0, 14.4, 및 27.2  $\mu\text{m}$ 이고, 소오스 영역의 접촉이 없는 부분의 길이( $l$ )가 0.4  $\mu\text{m}$ 인 비대칭 소자의 포화 드레인 전류 측정 그래프와 모델링한 비대칭 소자의 시뮬레이션에 의한 그래프를 서로 비교하여 그림 9에 나타내었다. 순방향 포화 드레인 전류의 경우 모두 거의 일치하였다. 게이트 전압 1.1과 2.2 V에서는 대칭형 소자에서와 비슷한 정도의 차이를 나타내었으므로

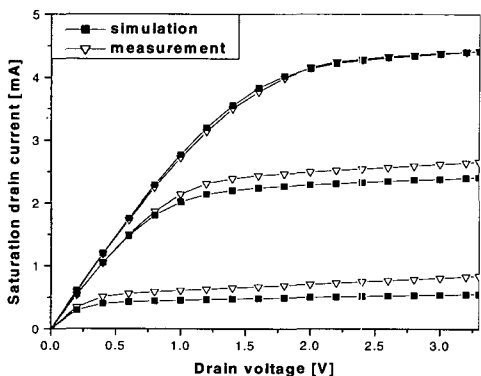
모델링에 의한 오차는 아니었다. 역방향 포화 드레인 전류의 경우 게이트 폭이 8.0과 14.4  $\mu\text{m}$ 일 때는 거의 비슷하였으나, 27.2  $\mu\text{m}$ 일 때는 그래프의 형태가 조금 어긋났다. 그러나, 게이트 폭이 14.4  $\mu\text{m}$ 일 때까지는 순방향 및 역방향 포화 드레인 전류의 그래프가 서로 상당히 일치하였고, 그 차이도 대칭형 소자에서의 비슷한 정도의 오차를 두고 있으므로, 게이트 폭이 14.4  $\mu\text{m}$ 정도까지는 모델링이 비교적 정확하다고 판단된다.



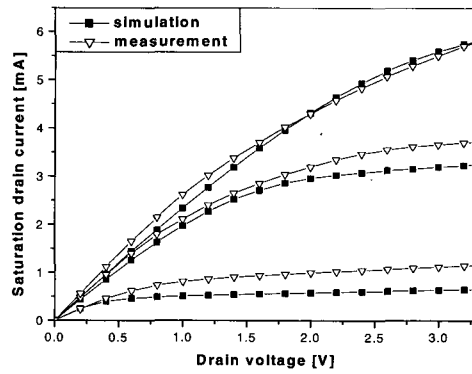
(a)



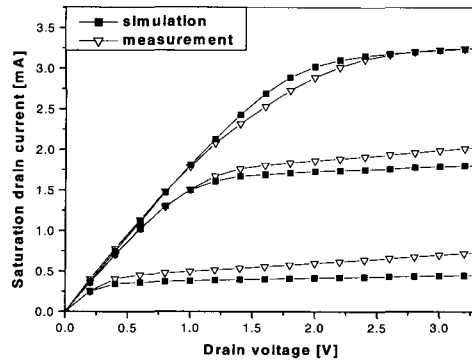
(b)



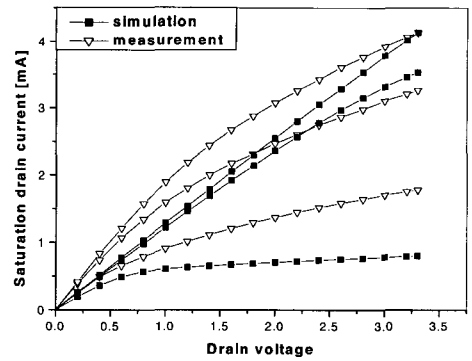
(c)



(d)



(e)



(f)

그림 9.  $l=0.4\mu\text{m}$ 인 비대칭형 소자에 대한 포화 드레인 전류의 계산 값과 측정값의 비교  
(a) 게이트 폭= $8\mu\text{m}$ , 순방향 바이어스, (b) 게이트 폭= $8\mu\text{m}$ , 역방향 바이어스, (c) 게이트 폭= $14.4\mu\text{m}$ , 순방향 바이어스, (d) 게이트 폭= $14.4\mu\text{m}$ , 역방향 바이어스, (e) 게이트 폭= $27.2\mu\text{m}$ , 순방향 바이어스, (f) 게이트 폭= $27.2\mu\text{m}$ , 역방향 바이어스.

Fig. 9. Comparison between measured and calculated saturation drain current.  
(a) gate width= $8\mu\text{m}$ , forward bias, (b) gate width= $8\mu\text{m}$ , reverse bias, (c) gate width= $14.4\mu\text{m}$ , forward bias, (d) gate width= $14.4\mu\text{m}$ , reverse bias, (e) gate width= $27.2\mu\text{m}$ , forward bias, (f) gate width= $27.2\mu\text{m}$ , reverse bias.

## V. 결 론

본 논문에서는 비대칭 n-MOSFET에 대한 전기적 특성을 대칭형 n-MOSFET와 비교하여 분석하였으며, 그 전기적 모델을 제시하였다. 비대칭형 소자는 포화영역에서 낮은 드레인 전류 및 선형영역에서 높은 드레인/소오스 사이 직렬저항을 나타내어 대칭형 소자에 비해 열화된 전기적 특성을 보였다. 이러한 특성 저하는 소자의 비대칭 구조로 인해 나타나는 기생저항과 직접적인 관련이 있다. 소오스 영역에 나타나는 기생저항은 게이트 폭의 증가에 대해 이차 함수적으로 증가하였다. 계산된 기생 저항 값을 포함시켜 비대칭형 n-MOSFET의 전기적 특성을 컴퓨터 시뮬레이션 한 결과, 그 계산 값이 측정값과 거의 동일하게 나타났다. 따라서 본 논문에서 제시한 비대칭 구조를 갖는 소자의 특성 분석으로 비대칭 트랜지스터를 포함하는 집적 회로의 보다 정확한 설계를 기대할 수 있다.

## 참 고 문 헌

- [1] Patrice Grignoux and Randall L. Geiger, "Modeling of MOS Transistors with Nonrectangular-Gate Geometries," *IEEE Trans. Electron Devices*, vol. ED-29, pp. 1261~1269, August 1982.
- [2] Jin-Kyu Park, Chang-Hoon Choi, Young-Kwan Park, Chang-Sub Lee, Jeong-Taek Kong, Moon-Ho Kim, Kyung-Ho Kim, Taek-Soo Kim, and Sang-Hoon Lee, "A Characterization Tool for Current Degradation Effects of Abnormally Structured MOS Transistors," *Proceedings of the 1997 International Conference on Simulation of Semiconductor Processes and Devices*, pp. 41~43, 1997.
- [3] Jaesung Lee, Kwangsoo Kim, Jinsu Han, Jaegab Kim and Hunsub Park, "Electrical Characteristics of Ti-Saliced n-MOSFETs with Asymmetric Source/Drain Regions," *1997 International Sym. on VLSI Technology, System and Applications*, pp. 34~36, June 1997.
- [4] T. Ohzone and N. Matsuyama, "Electrical characteristics of CMOSFET's with gates crossing source/drain regions at 90° and 45°," *Proc. IEEE 1995 Int. Conf. Microelectron Test Structures*, vol 8, pp. 197~192, 1995.
- [5] Hyunsang Hwang, Hyungsoon Shin, Dae-Gwan Kang, and Dong-Hyuk Ju, "Current-crowding effect in diagonal MOSFET's," *IEEE Electron Device Letters*, vol. 14, no. 6, pp. 289~291, 1993.
- [6] Tohru Mogami, Hitoshi Wakabayashi, Yukishige Saito, Toru Tatsumi, Takeo Matsuki, and Takemitsu Kunio, "Low-Resistance · Self-Aligned Ti-Silicide Technology for Sub-Quarter Micron CMOS Devices," *IEEE Trans. Electron Devices*, vol. 43, pp. 932~939, 1996.
- [7] Jorge A. Kittl, Q. Z. Hong, M. Rodder, and T. Breedijk, "Novel Self-Aligned Ti Silicide Process of Scaled CMOS Technologies with Low Sheet Resistance at 0.06- $\mu\text{m}$  Gate Lengths," *IEEE Electron Device Letters*, vol. 19, pp. 151~153, May 1998.
- [8] Ron M. Kielkowski, *SPICE Practical Device Modeling*, McGraw-Hill Inc, 1995.
- [9] Daniel P. Foty, *MOSFET MODELING WITH SPICE Principles and Practice*, Prentice-Hall Inc, 1997.
- [10] A. El-Hennawy and Al-Ghamdi, "Performance improvement of MOSFET lasers by using trapezoidal gate MOSFET's," *Proc. Inst. Elect. Eng., Circuits Device Syst.*, vol. 141, 1994, pp. 69~72.



## 저 자 소 개



孔棟郁(正會員)

1971년 7월 15일생. 1995년 8월 경북대학교 전자전기공학부 졸업(공학사). 2000년 2월 경북대학교 대학원 전자공학과 졸업(공학석사). 2000년 4월~현재 텔레포스(주) 연구개발부 근무 중. 주관심분야는 MOS 소자 개발, RF Amp. 설계, RF Passive 회로 설계 및 RF 측정 등

李在成(正會員) 論文 第38卷 SD編 第1號 參照  
현재 위덕대학교 정보통신공학과 조교수



南基泓(正會員)

1951년 8월 8일생. 1975년 2월 경북대학교 전자전기공학부 졸업(공학사). 1982년 2월 경북대학교 대학원 전자공학과 졸업(공학석사). 1989년 경북대학교 대학원 전자공학과 졸업(공학박사). 2001년 6월 현재 경일대학교 전자정보공학과 교수. 주관심분야는 광도전막, 가스센서 및 박막재료 등.

李龍鉉(正會員) 論文 第37卷 SD編 第2號 參照  
현재 경북대학교 전자전기공학부 교수