

論文2001-38SD-6-8

GPS를 이용한 정밀 동기 클록 발생기 설계

(Design of The Precise Synchronized Clock Generator using GPS)

金贊模*, 趙鏞範**

(Chan Mo Kim and Yong Beom Cho)

요약

본 논문은 GPS 수신기를 이용한 정밀 동기 클록 발생기의 PLD 구현에 관한 것이다. GPS 수신기에서는 동기화 된 1PPS 신호를 발생하는데, 이를 이용하여 시각동기와 클록 보정 등을 행할 수 있다. 본 연구에서는 저가격의 오실레이터로부터 높은 정확도의 클록을 발생시킬 수 있는 DPLL 구조의 정밀 동기 클록 발생기를 ALTERA FLEX EPM6016TC144-3 PLD를 이용하여 구현하였다. 이를 이용하여 GPS 수신기를 함께 이용하여 높은 정밀도를 가지며 동기화 된 1MHz 클록을 발생시키는 하드웨어를 설계하고 구현한다

Abstract

In this paper, the precise synchronized clock generator using GPS receiver is presented. The GPS receiver provides a synchronized 1PPS signal which guaranties a reliable standard time mark. This signal allows us to do time synchronization and correct the time step. We designed and implemented the precise synchronized clock generator based on DPLL in order to generate a high-resolution clock from a low-cost inaccurate oscillator with ALTERA FLEX EPM6016TC144-3. We also implemented a hardware unit and proved that the unit provides 1MHz clock output which had a high resolution and accuracy when it was combined with GPS receiver.

I. 서론

최근 세계적인 무선 이동 통신 수요의 급증에 따른 고속 디지털 통신의 시장이 확대되고 있다. 이로 인하여 고 정밀 동기 클록 장치의 분야의 필요성이 대두되고 있으며, 정밀 클록 장치를 이용하는 분야도 통신, 무선통신, 전기 전력 시스템, 분산 시스템 등 매우 다양해지고 있다. 최근에 정밀 동기 클록 장치의 타이밍/주파수 소스로 가장 각광 받는 것이 GPS^[1-3]의 1PPS 신호

호이다. GPS는 원래 미국 국방성에서 개발한 군용 시스템이나 민간용으로 제한된 범위에서 사용 가능하게 되어 항법 시스템, 정밀 측정 등에 널리 사용되고 있다. 위성을 이용한 GPS 시스템은 위성에서 전파도달 시간으로 거리를 측정하여 정확한 3차원 위치, 속도, 시각 측정을 항법 해를 통하여 구할 수 있는 시스템이다. GPS 중앙 관제소와 모든 관측소는 초정밀 시계(세슘 원자시계), GPS 위성은 세슘과 루비듐 원자시계가 각각 설치되어 있어 GPS위성에서 수신된 시각을 관찰하여 보정 오차를 전송한다. GPS의 시각 정밀도는 8-15ns이다. 이러한 고 정밀도를 바탕으로 GPS 수신기 기술에 바탕을 둔 정밀 동기 클록 장치는 상대적으로 정확한 시각 정밀도와 성능 대 가격 비에서도 우월한 장점을 지니고 있다.

* 學生會員, ** 正會員, 建國大學校 電子工學科

(Dept. of Electronic Engineering, Konkuk University)

※ 본 연구는 한국과학재단 특정기초연구(97-0101-02-01-3) 지원으로 수행되었음.

接受日字:2001年2月9日, 수정완료일:2001年5月29日

GPS의 1PPS 신호는 1초에 한번만 발생하는 기준만을 출력하므로 다른 클럭 장치와 결합하여 사용하여야 한다. 이에 쓰이는 클럭 입력 장치로 크리스탈(Crystal)이나 오실레이터(Oscillator)가 있다. 그러나 이들은 온도, 잡음, 진동 등에 의해 주기의 불규칙적인 변동을 가지고 있는 문제로 정확한 클럭을 발생시킬 수 없다. 따라서 GPS의 1PPS 신호를 기준으로 하여 클럭 발생 주파수를 보정해야 하는 방법으로 정밀 동기 클럭 장치를 구현한다.

본 연구에서는 GPS 수신기에서 출력되는 1PPS 신호를 이용하여 이를 기준으로 클럭을 보정하여 높은 정밀도를 가지며 동기화 된 클럭을 발생시키는 DPLL(Digital Phase Loop Lock) 구조의 정밀 동기 클럭 동기 발생기를 설계하고 PLD(Programmable Logic Device)로 구현한다. 이는 HDL(Hardware Description Language)중 하나인 VHDL(Very High Speed Integrated Circuit HDL)과 회로 설계용 EDA(Electrical Design Automation) Tool인 Synopsys사의 VHDL Debugger, Design Analyzer와 ALTERA사의 Maxplus2를 이용하여 설계, 구현되었다. 이는 실제 보드로 제작되어 GPS 수신기와 연결하여 동작을 검증하였다.

II. 시각시스템

동기성(Synchronized)을 지니는 정밀한 클럭의 발생을 위하여 이를 보정할 기준 시각시스템이 요구된다. 시각시스템의 종류는 UT(Universal Time), Ephemeris 시각, UTC(Universal Coordinated Time), GPS 시각(GPST) 등이 있다. UT는 UT0, UT1, UT2가 있다. UT0은 영국 Greenwich 자오선에서의 평균태양시(mean solar time)에 수정을 가한 시각이다. 가상적인 평균 태양에 관한 수학적 표현이라 할 수 있으며, 경도, 일주광차, 시차, 장동, 세차 등을 보상을 한다. UT1은 지구의 극점 변화를 보정한 것으로 지구의 자전이 불규칙하므로 일정하지 않다. UT2는 UT1을 Smooth 한 것으로, UT1과 약 3ms/day 차이를 보인다. Ephemeris Time은 태양 주위를 도는 지구의 운동(공전)에 기반을 둔 태양시각으로 우주인들이 주로 사용한다. 1 태양년은 365.244220 평균 태양일이다. UTC는 과학기술을 발달로 10^{-13} 정도의 오차(one part per 10^{13})로 시각측정이 가능해졌다. 고정밀 원자 및 초전도체를 이용하여

모든 물리량 중에서 가장 정확히 측정 가능하다. 파리의 BIH(Bureau International de l'Heure)에 의한 기준 원자시계에 의한 시각이다. US Naval Observatory 와 Paris Observatory 의 UTC는 GPS위성을 통해 동기를 유지시킨다. UTC는 원자시계와 지구의 자전과 맞추기 위해 6월 30일, 12월 31일에 초를 가감하여 윤초를 한다.

GPST는 GPS 중앙 관제소와 모든 관측소는 초정밀 시계(Cesium 원자시계)가, GPS 위성은 Cesium과 rubidium 원자시계가 각각 설치되어있어 GPS위성에서 수신된 시각을 관찰하여 보정 오차를 Upload한다. GPS Time는 UTC Time과 원자시계에 의존하는 점이 비슷하나, GPS Time은 윤초하지 않는다. UTC Time과는 윤초(정수)만큼 차이가 있고, 관제소는 GPS Time이 UTC(US Naval Observatory)와 1us 이내로 유지되도록 한다. 중앙 관제소는 GPS 위성 시계에 오차를 계산하고 예측하여 시각 정보를 보상하고 이를 Upload하여 사용자에게 이러한 정보들이 전달되게 한다. GPS 시각의 0 시점은 1980년 1월 5일 자정 / 1월 6일 0시이다. 매주는 토요일 자정/일요일 0시 (GPS Time)에 시작한다. Z-Count는 1024주(약 19년)마다 갱신한다. 실제로 시각동기에 사용되는 시각시스템은 UTC와 GPST이다. UTC 시각시스템의 시각 정밀도의 비교가 표 1에 표시하였다.

표 1. 각 시각시스템의 시각 정밀도
Table 1. time accuracy of each time system.

	OCXO	Rubidium	Cesium	GPS
Time Accuracy(ns)	19	10	5	8-15

GPS 시각동기 장치의 경우 GPS 자체에서 발생하는 S/A(Selective Availability), 바이어스 에러, 그리고 위성 신호의 수신에 불가능한 상태의 대비와 같이 사용되는 클럭 장치의 에러에 대해 여러 가지 고려해야 할 사항이 있지만, 낮은 가격으로 루비듐을 사용하는 클럭 발생기와 유사한 성능을 낼 수 있으므로 큰 장점이 있다.

III. GPS(Global Positioning System)

1. GPS

GPS(Global Positioning System)^[1-3]는 위성들로부터 위성들의 위치, 시간, 궤도 정보 등을 포함한 GPS신호

를 수신하여 사용자 자신의 위치를 기하학적 삼각법을 이용하여 측정하기 위한 시스템으로서 선박의 위치 측정, 자동차 항법(Car Navigation), 측지 및 시각동기 등에 폭 넓게 사용되며 기존의 나침반 또는 자이로 센서(Gyro Sensor) 등에 의존한 측위 시스템에 비해 그 정밀도가 우수하고 상대적으로 가격 측면에서도 월등해 국외에서는 이미 GPS를 이용한 위치 측정 시스템이 상용화되고 있다. GPS는 미국 정부가 1970년대 초반부터 개발에 착수하여 약 60억불의 예산을 투자하여 구축한 항법 지원 시스템이며 1995년에 완전가동(Full Operation) 되었다. 원래는 군사 목적으로 개발을 시작하였지만, GPS신호의 일부를 민간인이 사용할 수 있도록 하는 것을 전제로 미 의회가 예산을 승인하게 되어 GPS신호 중 L1(C/A) 코드는 민간에 개방되었다. GPS는 전 세계 하루 24시간 이용이 가능하고, 무제한 수의 사용자가 이용이 가능하다는 장점이 있다.

GPS가 어떠한 원리로 작동되는가를 이해하는 것은 개념적으로 매우 단순하다. 그림 1은 GPS의 위치 계산 방법이다. 근본적으로 GPS는 삼각측량의 원리를 사용하는데 전형적인 삼각측량에서는 알려지지 않은 지점의 위치가 그 점을 제외한 두 각의 크기와 그 사이 변의 길이를 측정함으로써 결정되는데 반해 GPS에서는 알고싶은 점을 사이에 두고있는 두 변의 길이를 측정함으로써 미지의 점의 위치를 결정한다는 것이 고전적인 삼각측량과의 차이점이라 할 수 있겠다. 인공위성으로부터 수신기까지의 거리는 각 위성에서 발생시키는 부호 신호의 발생 시점과 수신 시점의 시간 차이를 측정 한 다음 여기에 빛의 속도를 곱하여 계산한다. 실제로

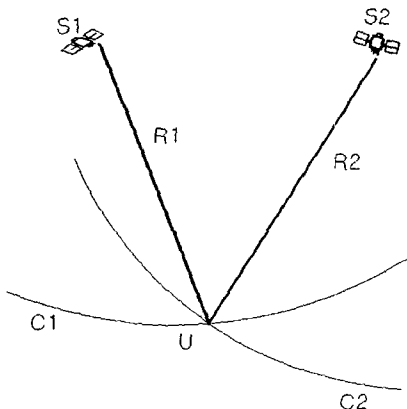


그림 1. GPS의 위치 계산
Fig. 1. Position computing of GPS.

위성의 위치를 기준으로 수신기의 위치를 결정하기 위해서는 이 거리 자료 이외에도 위성의 정확한 위치를 알아야 하는데 이 위성의 위치를 계산하는데는 GPS 위성으로부터 전송되는 궤도력을 사용한다.

2. Time Mark 1PPS 신호

본 연구에서는 정밀 동기 클록 발생기의 보정 신호로 GPS 수신기에서 출력되는 Time Mark Output 1PPS^[4,5]를 이용한다. Time Mark는 항법 출력이 유효할 때 상승 에지(Rising Edge)에 일치하는 1Hz 신호이며 신호는 각 수신기마다 동기되어 발생하므로 시각동기에 사용될 수 있다.

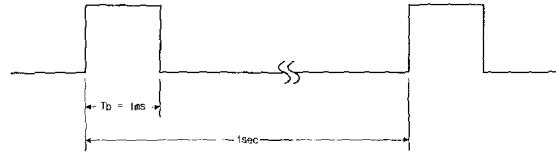


그림 2. GPS의 1PPS 신호
Fig. 2. 1pps signal of GPS.

본 연구에서 구현된 정밀 동기 클록 발생기에는 CNC(Canadian Marconi Company)사의 GPS 수신기^[6]가 사용되었다. 그림 2는 GPS의 1PPS 신호^[7]를 나타낸 것으로 1ms의 폭을 갖는 펄스가 1초에 한번씩 발생한다.

IV. 정밀 동기 클록 발생기

정밀 동기 클록 발생기는 DPLL(Digital Phase Lock Loop) 등을 이용하여 설계된다. 그림 3은 정밀 동기 클록 발생기의 전체 블록도이다. 그림을 참조하면 정밀 동기 클록 발생기는 1PPS Sampler, 위상검출기(Phase Detector), GPS_CNT, NCO(Numerical Controlled Oscillator), NCO 디코더, 클록 카운터 블록들로 구성된다.

GPS 수신기의 1PPS 신호는 그림 2의 T_b 가 1.01ms $\pm 0.01ms$ 이므로 1PPS Sampler는 GPS 수신기로부터의 1PPS 입력을 조정한다. 그림 4는 1PPS Sampler 블록의 회로도이다. 그림을 참조하면 1PPS Sampler 블록은 D-플립플롭, NOT 게이트, AND 게이트로 구성된다. 그림 5는 1PPS Sampler 블록의 Simulation 결과이다. 그림을 참조하면 기준 클록의 1 클록 이상의 길이를

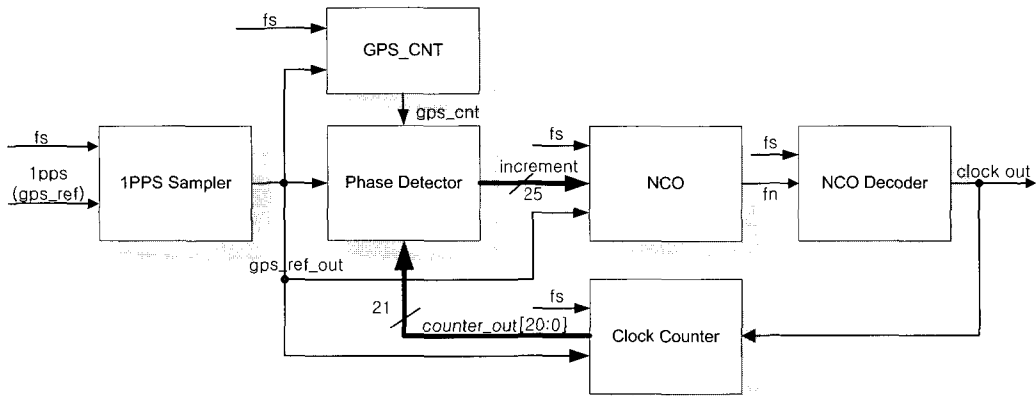


그림 3. 정밀 동기 클럭 발생기의 블록도

Fig. 3. Block diagram of precise synchronized clock generator.

가지는 1PPS 신호가 인가되었을 때 1PPS Sampler는 정밀 동기 클럭 발생기의 기준 클럭의 1주기의 크기로 조정하여 1회의 1PPS 신호를 1클럭에서만 검출할 수 있도록 한다. 이를 사용하여 다른 블록들은 1PPS 신호를 기준 클럭의 상승 에지에서 검출하면 된다.

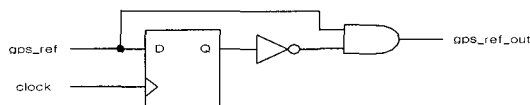


그림 4. 1PPS Sampler 블록 회로도

Fig. 4. schematic of 1PPS Sampler block.

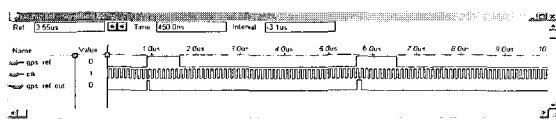


그림 5. 1PPS Sampler 블록의 Simulation

Fig. 5. Simulation of 1PPS Sampler block.

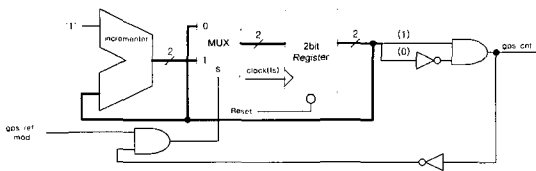


그림 6. GPS_CNT 블록 회로도

Fig. 6. Schematic of GPS_CNT block.

처음으로 입력되는 1PPS 신호에서는 보정 기준이 정확하지 않으므로 위상검출기는 2번째로 입력되는 1PPS 신호부터 증가치를 보정한다. 이를 위하여 GPS_CNT block에서 두 번째 1PPS 신호부터 gps_cnt 신호를 발

생한다. 따라서 Phase Detector 블록은 gps_cnt 신호가 '1'일 때만 보정 값을 계산하면 된다. 그림 6은 GPS_CNT 블록의 회로도이며, 그림 7은 GPS_CNT 블록의 Simulation 파형이다.

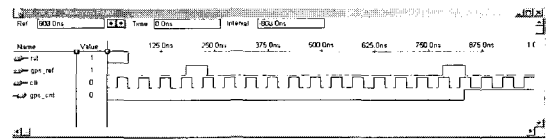


그림 7. GPS_CNT 블록 Simulation

Fig. 7. Simulation of GPS_CNT block.

NCO 블록은 위상검출기에서 입력되는 증가치를 이용하여 클럭을 발생한다. 그림 8은 NCO 블록의 회로도이다. 그림을 참조하면 NCO는 Adder와 n-비트 홀딩 레지스터(Holding Register)로 구성된다. 본 논문에서는 $n=25$ 이므로 25비트의 레지스터가 사용되었다.

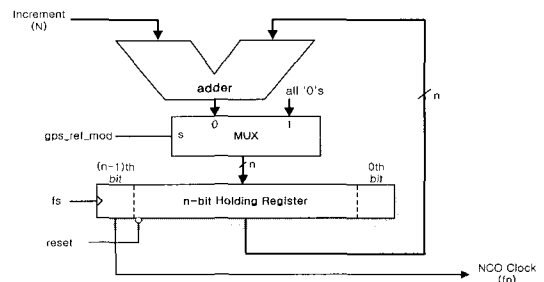


그림 8. NCO 블록 회로도

Fig. 8. Schematic of NCO block.

홀딩 레지스터의 값은 클럭의 상승 에지에서 증가치

N을 누적하며 오버플로우(Overflow)는 버려진다. 이때 Holding 레지스터의 최상위 비트가 토글(Toggle)되는 것으로 클록을 발생시킨다. 즉, 최상위 비트는 증가치(Increment)에 따라서 변하는 속도가 바뀌게 되므로 NCO의 출력 클록은 증가치로 조정할 수 있다. 이 증가치 N은 Phase Detector 블록으로부터 입력된다. NCO에서 발생하는 클록의 주파수는 식 (1)과 같다.

$$f_n = \frac{N}{2^n} \cdot f_s \quad (1)$$

또한 NCO의 정밀도(Resolution)는 식 (2)와 같다.

$$\frac{f_s}{2^n} \quad (2)$$

본 연구에서는 f_s 는 10MHz, f_n 은 1MHz이며 25비트의 레지스터를 사용하였으므로 정밀 동기 클록 발생기의 정밀도는 $10MHz/2^{25} = 0.298023224Hz$ 이다.

NCO의 위상은 Holding Register의 값이므로, 각 정밀 동기 클록 발생기마다의 위상을 일치시키기 위하여 n-비트의 홀딩 레지스터는 1PPS 신호가 검출되면 초기화된다. 따라서 그림 9와 같이 여러 개의 정밀 동기 클록 발생기는 GPS의 1PPS 신호에 따라 위상이 동시에 초기화된다. GPS 수신기는 동기된 1PPS 신호를 제공하므로 본 논문에서 구현하는 정밀 동기 클록 발생기는 독립적으로 분리되어 있어도 발생되는 f_n 은 위상이 동기된다.

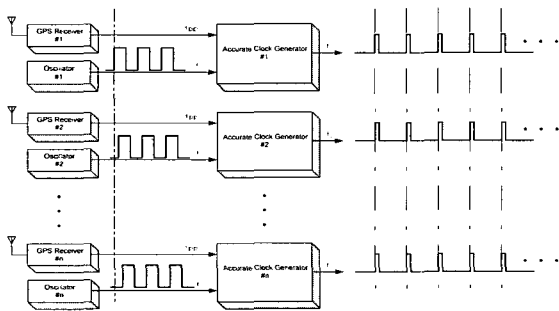


그림 9. 정밀 동기 클록 발생기의 동기화
Fig. 9. Synchronization of clock generator.

각각의 정밀 동기 클록 발생기는 자신의 기준클록 f_s 에서 GPS의 1PPS 신호를 Sampling하므로 그림 10과 같이 각 클록 발생기의 위상이 초기화되는 시간차가 존재한다.

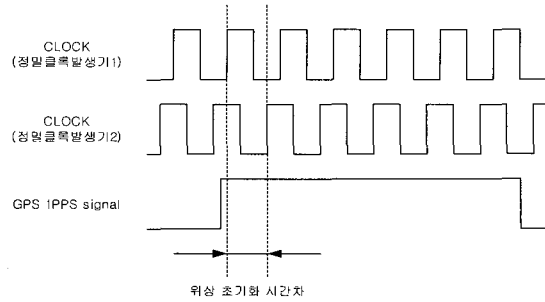


그림 10. NCO의 위상 초기화 시간차
Fig. 10. Time difference of phase reset in NCO.

그림을 참조하면, GPS 1PPS 신호는 각 정밀 동기 클록 발생기로 입력되지만 각 정밀 동기 클록 발생기의 클록의 상승 에지가 최대 클록의 한 주기만큼 나타날 수 있는 것을 볼 수 있다. 따라서 구현된 정밀 동기 클록 발생기의 동기 정밀도는 식 3과 같다.

$$\frac{1}{f_s} \quad (3)$$

본 논문에서는 $f_s = 10MHz$ 이므로 동기정밀도는 100ns이지만 용도에 따라 f_s 의 값을 증가시킴으로써 동기 정밀도를 향상시킬 수 있다.

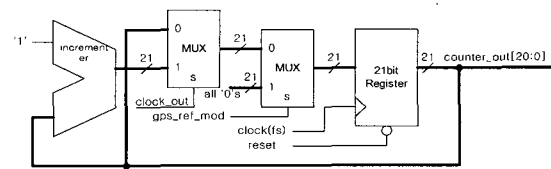


그림 11. Clock Counter 블록의 회로도
Fig. 11. Schematic of Clock Counter block.

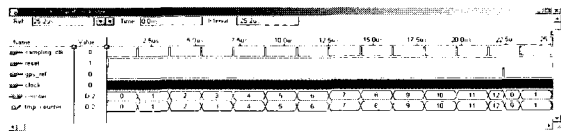


그림 12. Clock Counter 블록 Simulation
Fig. 12. Simulation of Clock Counter block.

Clock Counter 블록은 NCO Decoder의 출력을 입력 받아 1PPS 신호사이에서 f_s 의 상승 에지에서 NCO Decoder의 출력 클록이 '1' 일 때를 카운트함으로써 NCO 클록의 주파수를 측정하며 이 결과를 Phase Detector 블록으로 전송한다. 1PPS 신호의 사이에서 발생하는 f_n 만을 카운트하여야 하므로 gps_ref_mod 신호

가 '1'이면 초기화된다. 그림 11은 Clock Counter 블록의 회로도이며 그림 12는 Simulation 결과이다.

Phase Detector 블록은 1PPS Sampler 블록의 gps_ref_out, GPS_CNT 블록의 gps_cnt, 그리고 Clock Counter 블록의 counter_out값을 입력받아 증가치(N)를 출력한다. gps_ref_out 신호가 '1' 이고 gps_cnt 값이 '1' 일 때, 클럭 카운터의 결과를 이용하여 f_n 의 빠르고 느림을 판별하여 NCO의 증가치를 갱신한다. 이 증가치는 NCO 블록에서 사용된다.

입력 클럭인 f_s 는 오실레이터에서 발생되므로 오차를 가지고 있다. Clock Counter에서 카운트한 값이 1000000과 다르다면 1PPS 마다 증가치 값을 조정한다. Clock Counter 블록에서 NCO의 출력 클럭을 카운트한 값을 c_n 이라고 한다면 식 (4) ~ 식 (7)에 의해 보정치 a 가 계산된다.

$$f_n' = \frac{1}{c_n} \quad (4)$$

$$f_s' = \frac{2^n}{N} \cdot f_n \quad (5)$$

$$N = 2^n \cdot \frac{f_n}{f_s'} \quad (6)$$

$$a = N - N \quad (7)$$

본 논문에서 구현하는 정밀 동기 클럭 발생기는 하드웨어로 구현하는 문제로 위의 계산식에 의하여 a 값을 계산하지 않았으며 오차율에 따른 룩 업 테이블(Look-Up Table) 방식을 사용하였다. 오실레이터의 오차가 짧은 시간에 크게 발생하지 않고 서서히 오차가

발생하므로 룩 업 테이블 방식을 사용하여 구현하여도 보정에 문제가 크게 있지 않았다.

NCO Decoder 블록은 NCO의 출력을 입력받아 1PPS Sampler 블록과 같이 신호가 '1' 인 길이를 f_s 의 한 주기 폭으로 조정하여 출력한다. 이는 그림 4의 1PPS Sampler 블록과 동일한 회로를 사용하여 구현된다.

V. 하드웨어 설계 및 구현

1. DPLL의 PLD 설계

본 연구에서 설계된 GPS를 이용한 정밀 동기 클럭

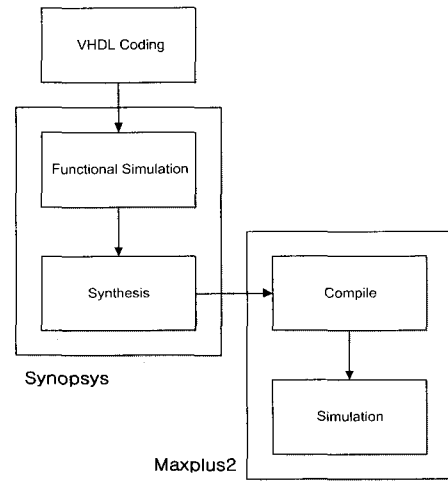


그림 13. 설계 흐름도

Fig. 13. Design Flow.

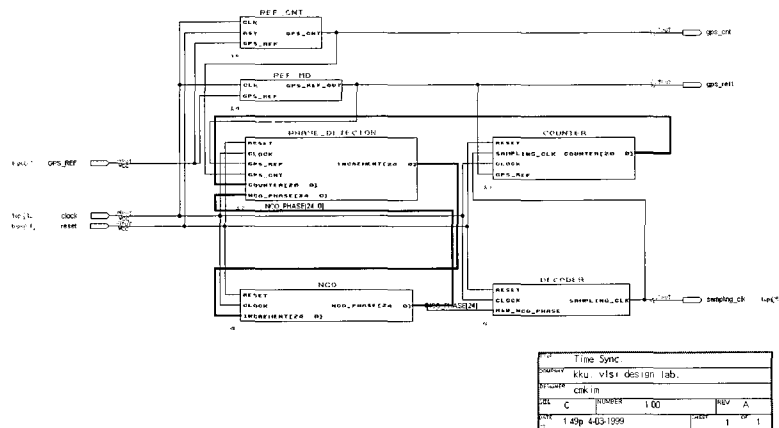
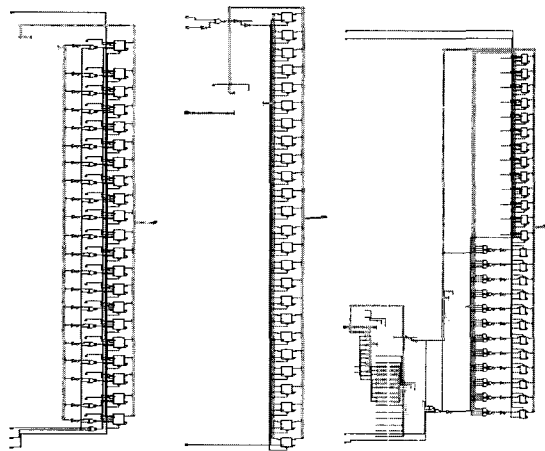


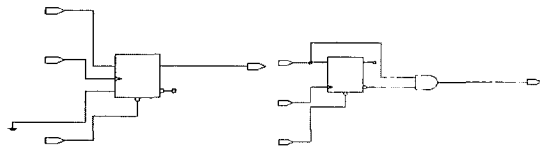
그림 14. ALTERA Maxplus2로 작성된 최상위 블록 회로도

Fig. 14. Schematic of top block in ALTERA Maxplus2.

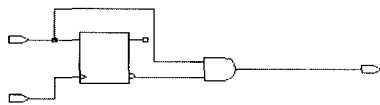
발생기는 PLD를 이용하여 구현되었다. 그림 13에 설계 흐름도가 나타나있다. 그림을 참조하면, 각 블록은 VHDL로 코딩(Coding)을 하였으며, 이를 Synopsys사의 VHDL Debugger에서 Functional Level Simulation을 한 후에 Design Analyzer에서 합성(Synthesis)하였다. 합성된 결과는 EDIF(Electrical Design Interface Format) 인터페이스를 거쳐 ALTERA사의 Maxplus2로 옮겨져서 Compile, Simulation 및 Programming 되었다.



(a) Phase Counter (b) NCO (c) Phase Detector



(d) Reference Counter (e) NCO Decoder



(f) Reference Modulation

그림 15. 각 블록의 합성결과
Fig. 15. Synthesis result of each block.

그림 16은 Synopsys사의 VHDL Debugger에서 수행한 최상위 블록의 Functional Simulation 결과이다. 그림을 참조하면 GPS_CNT신호가 high일 때, GPS 1PPS 신호가 입력되면 GPS_CNT 값에 따라 증가치 값이 변화시킴을 볼 수 있다. Simulation에서는 증가치의 보정이 잘 이루어지는지 보기 위하여 1PPS 신호를 실제로

다 짧게 입력하였다. 1PPS 신호가 두 번째 발생하였을 때 보정을 시작하며 Clock Counter에서 카운트한 Sampling Clock의 값이 106보다 작으므로 주파수를 높이기 위해서 증가치를 0333333h(3355443)에서 0333334h(3355444)로 증가시키는 것을 확인할 수 있다. 그림 17은 Maxplus2에서 수행한 최상위 블록의 Simulation 결과이다. Maxplus2에서 보여지는 Simulation결과도 역시 정밀 동기 클럭 발생기가 10MHz 오실레이터로부터의 입력을 분주하여 클럭을 발생시키면서 1PPS 신호의 입력이 있을 때 증가치를 변화시키는 것을 보여주고 있다(그림 16의 결과와 유사한 결과이다). 즉, 그림 16과 그림 17을 참조하면, System Reset이 입력되고 난 후, 첫 번째 1PPS 신호에는 증가치 값을 보정하지 않으며 두 번째 1PPS 신호의 입력부터 증가치 값을 보정함을 볼 수 있다.

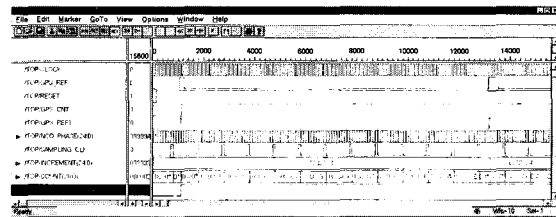
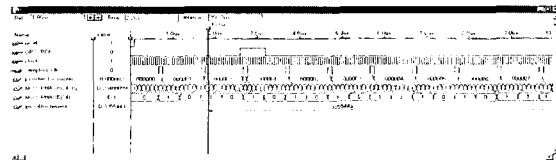
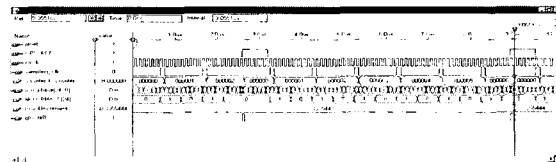


그림 16. 최상위 블록 functional simulation
Fig. 16. Functional simulation of top block.



(a)



(b)

그림 17. 최상위 블록 gate-level simulation
Fig. 17. Gate-level simulation of top block.

2. 정밀 동기 클럭 발생기 보드

설계된 정밀 동기 클럭 발생기는 PLD를 이용하여 구현되며 보드로 제작되었다. 그림 18은 OrCAD를 이

용하여 작성된 정밀 동기 클럭 발생기 보드의 회로도이다. 그림을 참조하면, 구현된 보드는 10MHz의 오실레이터, ALTERA사의 PLD인 EPF6016TC144-3, Configuration EPROM인 EPC1PC8, ByteBlasterMV 다운로드 인터페이스 포트, GPS 수신기의 1PPS 신호 연결 포트, 정밀 동기 클럭의 출력 포트, 그리고 NCO 위상의 외부 출력 포트 구성되어 있다.

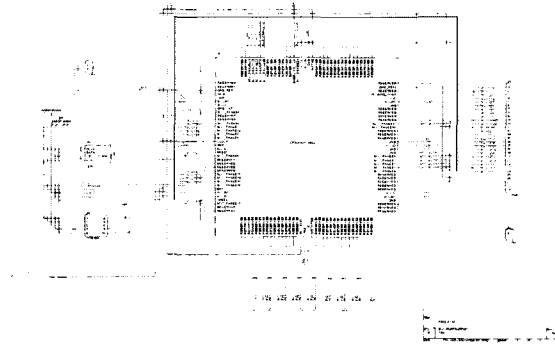


그림 18. 보드 회로도
Fig. 18. Board schematic.

설계된 회로는 실제 기판 위에 제작되었으며 GPS 수신기와 연결되어 실제 동작을 검증하였다. GPS 수신기는 PC의 직렬포트로 연결되어 동작이 컨트롤된다.

3. 동작 결과

그림 19는 본 연구에서 구현된 정밀 동기 클럭 발생기이다. 구현된 정밀 동기 클럭 발생기는 CNC사의 GPS 수신 보드와 연결되어 1PPS 신호를 받아들인다. GPS 수신기는 일정시간 후 항법 해를 구하기 위한 위성을 찾으면 1PPS 신호를 출력한다. 사진의 모니터에



그림 19. 정밀 동기 클럭 발생기
Fig. 19. precise synchronized clock generator.

는 GPS 수신보드의 상태가 나타나 있다. 1PPS 신호의 입력을 받은 정밀 동기 클럭 발생기는 10MHz의 클럭을 입력받아 NCO에서 정밀한 1MHz의 클럭을 발생한다. 그림 20은 HP사의 Infinium 54810A 오실로스코프로 측정된 보드의 입출력 파형이다. 상단의 파형은 10MHz의 입력 클럭이며 하단의 파형은 정밀 동기 클럭 발생기에서 발생된 1MHz의 결과이다. 측정된 결과를 보면 정밀한 1MHz클럭을 발생시키고 있음을 볼 수 있다.

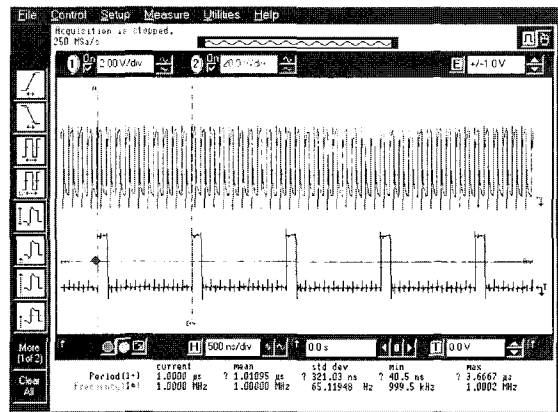


그림 20. 보드의 입출력 파형
Fig. 20. input and output wave of board.

만약 기상상태의 악화 등으로 인하여 GPS 위성이 일정시간 검색이 되지 않으면 GPS 수신기에서 1PPS 신호가 발생되지 않게 된다. 이런 경우 Clock Counter 블록의 카운트 값이 오버플로우(Overflow)가 발생하며 계속 Sampling Clock의 에지를 카운트하게 되며 도중에 다시 1PPS 신호가 입력될 경우 증가치 값이 크게 변할 수 있다. 따라서 본 논문에서는 증가치 값의 변화를 5% 이내에서만 수정하도록 하였다. 만약 식(4) ~ 식(7)에 따라 증가치 값을 변화시킬 때에도 일정 경계 이하의 오차수정만 가능하도록 하여야 발생 주파수의 급격한 변화를 막을 수 있다.

VI. 결론

본 논문에서는 GPS 수신기에서 출력되는 1PPS 신호를 이용하여 높은 정밀도를 가지며 동기화 된 클럭을 발생시키는 정밀 동기 클럭 발생기를 PLD를 이용하여 설계하고 구현한다. 이는 GPS를 이용한 시간동기의 좋은 한 예라 하겠다. GPS는 지구상 어느 위치에 있더라

도 위치 해를 구할 수 있도록 되어 있으므로 멀리 떨어져 있는 위치에서도 정확하게 동기된 IPPS 신호를 사용할 수 있다. 구현된 GPS를 이용한 정밀 동기 클록 발생기는 데이터 습득 시스템(Data Acquisition System)을 이용한 이벤트 로깅 시스템이 사용되면 원격의 각 이벤트 로깅 시스템마다 동기를 맞출 수 있으며 정밀한 클록을 가지고 데이터를 저장하는 것이 가능토록 한다. 이 이외에도 전기 전력 시스템의 고장 진단을 위한 감시 시스템 등에도 적용이 가능할 것이다.

현재 GPS를 사용한 정밀 시각동기 장치는 HEWLETT PACKARD^[8]사의 SmartClock 등을 다수의 업체에서 출시하고 있으나, 대개 프로세서를 사용한 소프트웨어 PLL을 사용한 방식을 취하고 있다.^[9] 그러나, 본 연구에서 구현한 정밀 동기 클록 발생기는 NCO를 사용하는 DPLL 구조이므로 디지털 회로로 쉽게 구현할 수 있으며 PLD 등을 이용하면 원칩화가 용이하다. 본 논문에서는 DPLL구조의 정밀 동기 클록 발생기를 VHDL과 EDA Tool들을 이용하여 ALTERA사의 FLEX6000 Series인 EPF6016TC144-3의 PLD로 구현되었다. 이후 보드로 제작되어 GPS 수신기와 연결되어 실제로 정밀한 클록을 발생시키는 것이 검증되었다.

구현된 정밀 동기 클록 발생기는 용도에 따라 요구되는 클록 정밀도와 동기 정밀도를 입력주파수와 NCO의 홀딩 레지스터의 비트를 변화시킴으로써 얻을 수 있다. 즉, 클록의 정밀도를 향상시키려면 입력되는 주파수를 높이거나 TXCO, VCTCXO, OCXO 등의 높은 신뢰도의 발진기를 사용하거나 NCO의 홀딩 레지스터의 비트 수를 늘리면 가능하다. 동기의 정밀도는 높은 입력주파수를 사용하면 된다. 본 논문에서는 일반적인 오실레이터를 입력 클록으로 사용하였으며 25비트의 홀딩 레지스터를 사용하여 0.298023224Hz의 클록 정밀도와 100ms의 동기 정밀도를 가진다.

본 연구에서는 클록의 보정방법을 록업 테이블 방식으로 행하였으나 추후 PC와의 인터페이스를 가져 위상 검출기 블록을 소프트웨어로 처리함으로써 정확한 보정치를 계산하도록 할 수 있을 것이다. 현재 이동통신 기지국의 시각동기를 위하여 실제로 GPS를 사용하

고 있으나 GPS 위성이 때에 따라 위치 해를 얻는데 필요한 충분한 수가 검출되지 않는 경우가 있다. 이런 경우 본 논문에서 구현된 정밀 동기 클록 발생기는 이전의 IPPS 신호를 이용하여 동기된 클록을 발생하고 있으므로 발생된 정밀 클록을 분주 회로를 거쳐 다시 Pseudo IPPS 신호를 발생한다면 순간적으로 발생되지 않는 IPPS 신호를 대신하여 사용할 수 있을 것이다.

참 고 문 헌

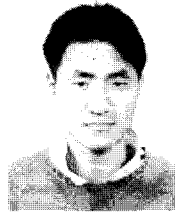
- [1] Elliot D. Kaplan and Editor, Understanding GPS : Principles and Applications. Artech House, 1996.
- [2] Bradford W. Parkinson and James J. Spilker Jr. Global Positioning System : Theory and Applications Vol 1, American Institute of Aeronautics and Astronautics, Inc., 1996.
- [3] Alfred Leick, GPS Satellite Surveying Second Edition, John Wiley & Sons, Inc., 1995.
- [4] L.E Young, C. E. Dunn, "Sub-nanosecond GPS Time Transfer ; Global Solutions using Carrier Phase and Pseudorange", IEEE International Frequency Control Symposium Sanfrancisco, California, USA. May 31 - June 2, 1995.
- [5] Wlozimierz Lewaidowski and Claudine Thomas, "GPS Time Transfer", Proceedings of the IEEE, Vol. 79, No. 9, July 1991.
- [6] ALLSTAR OEM(CMT-1200) Specification Manual, REV H, Canadian Marconi Compay, 1996.
- [7] Global Positioning Product Handbook, GEC Plessey semiconductors, 1996.
- [8] Hewlett Packerd, "HP SmartClock Technology", Application Note 1279, 1996.
- [9] 이영중, 이호근, "GPS Precise Timing Unit Design for General Purpose", GPS Workshop Proceeding, 1996.

저 자 소 개



趙鏞範(正會員)

1959년 5월생. 1981년 경북대 전자공학과 졸업. 1988년 University of South Carolina 졸업(석사). 1992년 Case Western Reserve University 졸업(박사). 1990년~1992년 J.W. Harley Inc. (GE Reuter-Stokes) 선임연구원. 현재 건국대학교 전자공학부 부교수. 주 관심분야 : VLSI설계, 신경망



金贊模(正會員)

1975년 2월생. 1997년 건국대 전자공학과 졸업. 1999년 2월 동대학원 졸업(석사). 현재 동 대학원 박사과정 재학중. 주 관심분야 : VLSI설계, 신경망, 영상시스템